ЭНЦИКЛОПЕДИЯ ЭЛЕКТРОННЫХ КОМПОНЕНТОВ

ТОМ 1

БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ



ISBN 5-9900833-1-9
9 785990 083318

Макро Тим

ЦАП

АЦП

Синтезаторы

Процессоры

Контроллеры

DSP

ПЛИС

Память

Детекторы

Кодеки



Богатырев Е. А., Ларин В. Ю., Лякин А. Е.

ЭНЦИКЛОПЕДИЯ ЭЛЕКТРОННЫХ КОМПОНЕНТОВ

Том 1

Большие интегральные схемы



Москва, 2006

ПРЕДИСЛОВИЕ

Появление этой книги — мера вынужденная, обусловленная отсутствием небольших по объему изданий, содержащих основные сведения о современной элементной базе в объеме, достаточном для понимания принципов, заложенных в основу функционирования изделий современной микроэлектроники и необходимом для грамотного их применения. Однако это не краткий конспект учебника и не справочник инженера, а энциклопедия, содержащая короткие статьи о физике процессов, основных принципах построения и топологии БИС, справочную информацию о типовых схемах подключения, назначении выводов БИС и перечень ведущих фирм-производителей.

Развитие микроэлектроники происходит настолько стремительно, что издание справочной литературы по данной тематике идет с некоторым опозданием. Информация, представленная в настоящем издании базируется на данных, доступных в 2006 году, однако мы понимаем, что некоторые недостатки могут быть обнаружены в ходе ее практического использования.

Будем признательны за информацию обо всех замеченных неточностях, которые мы обязательно устраним в последующих изданиях энциклопедии.

Генеральный директор ООО «МАКРО ТИМ»
Л.Ю. Биленко

ISBN 5-9900833-1-9 (978-5-9900833-1-8)

МИКРОСХЕМЫ ЦИФРО-АНАЛОГОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ (ЦАП)

МИКРОСХЕМЫ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ (АЦП)

БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ ЦИФРОВЫХ СИНТЕЗАТОРОВ ЧАСТОТ

ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ ПАМЯТИ

БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ УНИВЕРСАЛЬНЫХ МИКРОПРОЦЕССОРОВ

БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ МИКРОКОНТРОЛЛЕРОВ

ЦИФРОВЫЕ СИГНАЛЬНЫЕ ПРОЦЕССОРЫ (DSP)

ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛИС)

БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ ЦИФРОВЫХ КВАДРАТУРНЫХ ПРЕОБРАЗОВАТЕЛЕЙ СИГНАЛА

ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ КОДЕКОВ

ЧАСТЬ 1. АНАЛОГО-ЦИФРОВЫЕ БИС

ЧАСТЬ 2. ЦИФРОВЫЕ БИС И СБИС

ЧАСТЬ 1

АНАЛОГО-ЦИФРОВЫЕ БИС

1.1 МИКРОСХЕМЫ ЦАП

1.1.1. Характеристики и классификация ЦАП

Цифро-аналоговый преобразователь (ЦАП) предназначен для преобразования цифрового сигнала, заданного в виде двоичного N-разрядного кода, в соответствующее напряжение или ток. Зависимость выходного напряжения (тока) $U_{вых}(t)$ от входного цифрового сигнала $D(t)$, изменяющегося от 0 до 2^{N-1}, называют характеристикой преобразования ЦАП. Эта характеристика может быть представлена в виде ступенчатой кривой. Величина ступеньки соответствует единице младшего значащего разряда (МЗР).

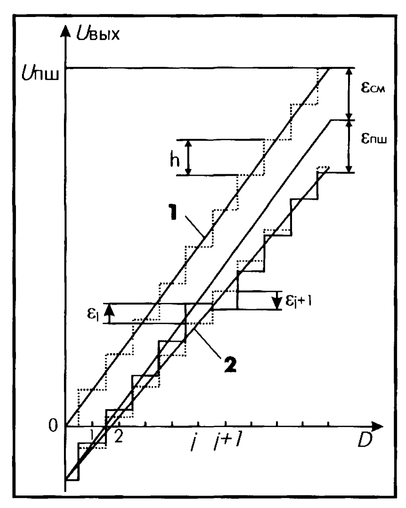


Рис. 1.1.1. Характеристика преобразования ЦАП

В отсутствие аппаратных погрешностей средние точки ступенек расположены на прямой 1, которой соответствует идеальная характеристика преобразования (рис. 1.1.1). Реальная характеристика преобразования может отличаться от идеальной расположением, размерами и формой ступенек. Для количественного описания этих различий используются характеристики, называемые статическими. Изменения выходного сигнала во времени при скачкообразном изменении входного кода от минимума («все нули») до максимума («все единицы») описываются динамическими характеристиками ЦАП.

1.1.1.1. Статические характеристики ЦАП

Разрядность. Число разрядов (двоичных символов) N, передающих кодированный входной сигнал. Ему соответствует число уровней квантования 2^N.

Число каналов. Число аналоговых выходов ЦАП, на которых формируется выходное напряжение. В зависимости от схемы построения цифровой код для каждого из каналов подается либо на различные цифровые входы ЦАП, либо на один и тот же с разделением по времени. Как правило, частота преобразования и напряжение полной шкалы для всех каналов ЦАП равны. Однако в некоторых моделях ИМС ЦАП напряжение полной шкалы для каждого канала задается отдельно и зависит от опорного напряжения.

Разрешающая способность. Приращение $U_{вых}$ при увеличении кода на единицу называется шагом квантования. Номинальное значение шага квантования составляет:

$$h = \frac{U_{ПШ}}{2^N - 1}, \qquad (1.1)$$

где $U_{пш}$ — номинальное максимальное выходное напряжение ЦАП (напряжение полной шкалы), N — разрядность ЦАП. Чем больше разрядность преобразователя, тем выше его разрешающая способность (меньше h).

Погрешность полной шкалы. Относительная разность между реальным и идеальным значениями предела шкалы преобразования при отсутствии смещения нуля:

$$\delta_{ПШ} = \frac{\varepsilon_{ПШ}}{U_{ПШ}} \cdot 100\%. \qquad (1.2)$$

Она является мультипликативной составляющей полной погрешности. Иногда выражается соответствующим числом МЗР.

Погрешность смещения нуля. Значение $U_{вых}$, когда входной код ЦАП равен нулю, называется аддитивной составляющей полной погрешности ($e_{см}$, рис. 1.1.1). Обычно указывается в милливольтах или в процентах от полной шкалы:

$$\delta_{СМ} = \frac{\varepsilon_{СМ}}{U_{ПШ}} \cdot 100\%. \qquad (1.3)$$

Нелинейность (интегральная нелинейность, Integral Non-Linearity, INL). Максимальное отклонение реальной характеристики преобразования $U_{вых}(D)$ от оптимальной (линия 2, рис. 1.1.1). Оптимальная характеристика находится эмпирически так, чтобы минимизировать значение погрешности нелинейности. Нелинейность обычно определяется в относительных единицах, но в справочниках приводится также и в МЗР. Для вышеуказанной характеристики, приведенной на рисунке, этот параметр определяется по формуле:

$$\delta_{Л} = \frac{\varepsilon_{Л}}{U_{ПШ}} \cdot 100\%. \qquad (1.4)$$

Дифференциальная нелинейность (Differential Non-Linearity, DNL). Максимальное изменение (с учетом знака) отклонения реальной характеристики

преобразования $U_{вых}(D)$ от оптимальной при переходе от одного значения входного кода к другому смежному значению. Определяется в относительных единицах или в МЗР:

$$\delta_{LI} = \frac{\varepsilon_i + \varepsilon_{i+1}}{U_{ПШ}} \cdot 100\%. \quad (1.5)$$

Монотонность характеристики преобразования. Этот параметр характеризует увеличение (уменьшение) выходного напряжения ЦАП $U_{вых}$ при увеличении (уменьшении) входного кода D. Если дифференциальная нелинейность больше относительного шага квантования $h/U_{пш}$, то характеристика преобразователя немонотонна. В этом случае «оптимальная прямая» выходит за пределы «ступенек».

Температурная нестабильность. Температурная нестабильность ЦАП характеризуется температурными коэффициентами погрешности полной шкалы, погрешности смещения нуля и погрешности нелинейности.

Погрешности полной шкалы и смещения нуля могут быть устранены калибровкой (подстройкой). Погрешности нелинейности простыми средствами устранить нельзя.

1.1.1.2. Динамические характеристики ЦАП

Частота преобразования. Максимальная частота, с которой ЦАП может формировать выходное напряжение или ток, соответствующий входному коду. Частота преобразования — это основной параметр, характеризующий быстродействие ЦАП.

Время установления. Под этой величиной понимают интервал времени от момента изменения входного кода ($t = 0$) до момента, когда в последний раз выполняется равенство (d — допуск на выходное напряжение или ток ЦАП):

$$|U_{ВЫХ} - U_{ПШ}| = \frac{d}{2}. \quad (1.6)$$

Обычно этот допуск равен половине шага квантования h.

Скорость нарастания. Это максимальная скорость изменения $U_{вых}(t)$ во время переходного процесса, которая определяется как отношение приращения $\Delta U_{вых}$ ко времени Δt, за которое произошло это приращение (рис. 1.1.2). Обычно указывает-

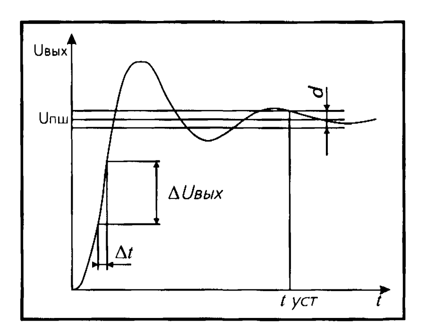


Рис. 1.1.2. Определение времени установления и скорости нарастания

ся в технических характеристиках ЦАП с выходным сигналом в виде напряжения. У ЦАП с токовым выходом этот параметр в большой степени зависит от типа выходного ОУ. Для перемножающих ЦАП с выходом в виде напряжения часто указываются частота единичного усиления и мощностная полоса пропускания, которые в основном определяются свойствами выходного усилителя.

Шумы ЦАП. Шум на выходе ЦАП может появляться по различным причинам, вызываемым физическими процессами, происходящими в полупроводниковых устройствах. Для оценки качества ЦАП с высокой разрешающей способностью принято использовать понятие среднеквадратического значения шума. Спектральную плотность шума измеряют обычно в нВ/$\sqrt{(Гц)}$ в заданной полосе частот.

Выбросы (импульсные помехи). Выбросы представляют собой крутые короткие всплески или провалы в выходном напряжении, возникающие во время смены значений выходного кода за счет несинхронности размыкания и замыкания аналоговых ключей в разных разрядах ЦАП. Например, если при переходе от значения кода 011...111 к значению 100...000 ключ самого старшего разряда ЦАП с суммированием весовых токов откроется позже, чем закроются ключи младших разрядов, то на выходе ЦАП некоторое время будет существовать сигнал, соответствующий коду 000...000.

Выбросы характерны для быстродействующих ЦАП, где сведены к минимуму емкости, которые могли бы их сгладить. Радикальным способом подавления выбросов является использование устройств выборки-хранения. Выбросы оцениваются по их площади в единицах пВ·с.

1.1.1.3. Классификация ЦАП

Классификация ЦАП по схемотехническим признакам представлена на рис. 1.1.3. По принципу работы имеются две основные группы ЦАП: последовательные и параллельные. Достоинством последовательных ЦАП явля-

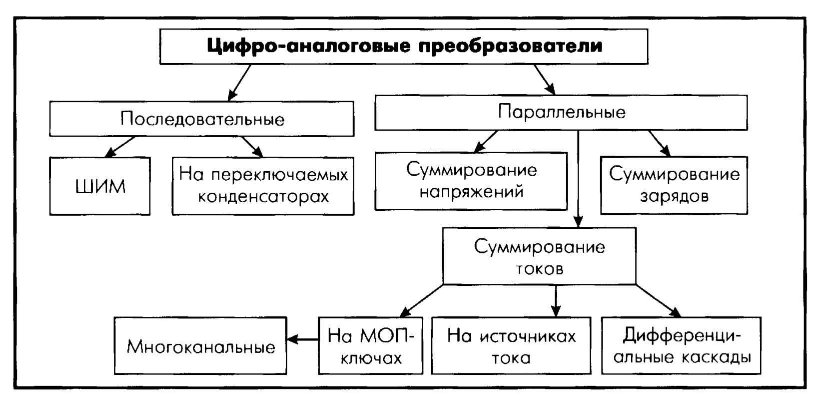


Рис. 1.1.3. Классификация ЦАП по схемотехническим признакам

ется простота схемотехнической реализации, недостатком — невысокое быстродействие. Параллельные ЦАП обеспечивают максимально возможное быстродействие, но это достигается за счет значительного усложнения схемы по сравнению с последовательными ЦАП.

ЦАП могут также классифицироваться по:

- *виду выходного сигнала:* с токовым выходом; с выходом в виде напряжения;
- *полярности выходного сигнала:* однополярные; биполярные;
- *характеру опорного сигнала:* с постоянным опорным сигналом; с изменяющимся опорным сигналом; умножающие;
- *быстродействию:* умеренного быстродействия; высокого быстродействия;
- *типу цифрового интерфейса (ввод исходного кода):* с последовательным вводом; с параллельным вводом;
- *числу ЦАП на кристалле:* одноканальные; многоканальные.

1.1.2. Структурные схемы и принципы работы ЦАП

1.1.2.1. ЦАП с широтно-импульсной модуляцией (Pulse-Width Modulation, PWM)

Принцип работы ЦАП с широтно-импульсной модуляцией (ШИМ) заключается в преобразовании последовательности входных кодов в последовательность импульсов с переменными интервалами, пропорциональными кодам, и последующей низкочастотной фильтрацией для получения гладкого аналогового сигнала (рис. 1.1.4).

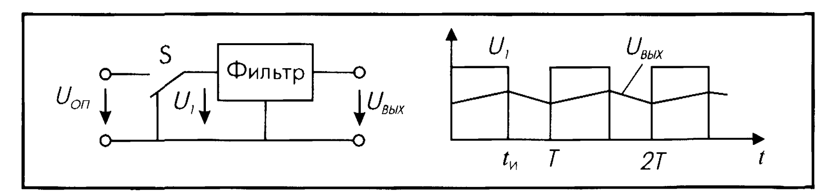


Рис. 1.1.4. ЦАП с широтно-импульсной модуляцией

Отношение длительности импульса $t_и$ к периоду дискретизации T ($g = t_и/T$) определяется соотношением $g = D/2^N$, где N — разрядность преобразования, а D — преобразуемый код. Фильтр нижних частот сглаживает импульсы и выделяет среднее значение напряжения, равное $U = gU_{пш} = DU_{пш}/2^N$.

ЦАП с ШИМ обеспечивает почти идеальную линейность преобразования, не содержит прецизионных элементов (за исключением источника опорного напряжения), но имеет самое низкое быстродействие из всех ЦАП. Это

связано с тем, что в его схеме N-разрядный цифровой код преобразуется во временной интервал, длина которого равна сумме всех единиц (тактов) в числе, т.е. 2^N (это осуществляется с помощью двоичного счетчика). Поэтому для получения N-разрядного преобразования необходимо большое число (2^N) временных тактов.

ЦАП с ШИМ часто входит в состав микропроцессорных систем с невысоким быстродействием, микроконтроллер которых имеет встроенную функцию ШИМ (например, AT90S8515 фирмы Atmel или 87C51GB фирмы Intel). Для реализации ЦАП достаточно к выходу ШИМ подключить ключ и фильтр нижних частот (в простейшем случае это конденсатор).

1.1.2.2. Последовательный ЦАП на переключаемых конденсаторах

Данный тип ЦАП позволяет повысить быстродействие по сравнению с рассмотренным выше ЦАП с ШИМ за счет снижения числа тактов преобразования с 2^N до $2N$, что дает хороший эффект при большом числе разрядов (десятки и сотни раз). Основой ЦАП является схема, показанная на рис. 1.1.5.

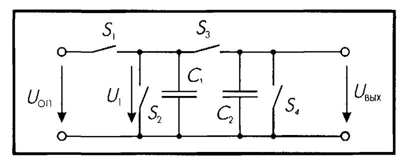


Рис. 1.1.5. Последовательный ЦАП на переключаемых конденсаторах

В этой схеме на конденсаторе C_2 последовательно за N тактов суммируются напряжения, соответствующие N разрядам числа, при этом каждый разряд получает свой коэффициент, соответствующий весу разряда 2^K, $K = 1...N$. Уменьшение веса в 2 раза при переходе к очередному разряду обеспечивается за счет перераспределения заряда между конденсаторами C_1 и C_2, емкости которых равны, в моменты их соединения ключом S_3. Цикл последовательного преобразования разрядов начинается с поступления младшего разряда d_0. В первом полутакте конденсатор C_1 либо заряжается через ключ S_1 до опорного напряжения $U_{оп}$ при $d_0 = 1$, либо разряжается до нуля через ключ S_2 при $d_0 = 0$. Во втором полутакте при разомкнутых ключах S_1, S_2 и S_4 замыкается ключ S_3, что вызывает деление заряда пополам между C_1 и C_2. В результате на выходе получается напряжение $U_1(0) = U_{вых}(0) = d_0U_{оп}/2$.

В следующем такте на конденсаторе C_2 сохраняется заряд, а процедура заряда конденсатора C_1 повторяется для следующего разряда d_1 входного слова. После нового цикла перезарядки напряжение на конденсаторах составляет:

$$U_{вых}(1) = U_1(1) = \frac{\left(d_1 + \frac{d_0}{2}\right)U_{оп}}{2} = \frac{(2d_1 + d_0)U_{оп}}{4}. \qquad (1.7)$$

В результате N-кратного повторения циклов заряда выходное напряжение N-разрядного ЦАП станет равным:

$$U_{вых}(N-1) = U_1(N-1) = \frac{U_{оп}}{2^N}\sum_{k=0}^{N-1} d_k 2^k = \frac{U_{оп}}{2^N} D, \tag{1.8}$$

где $D = \sum_{k=0}^{N-1} d_k 2^k$ — цифровой код (или входное слово).

Если требуется сохранять результат преобразования в течение некоторого времени, то к выходу схемы подключается устройство выборки-хранения (УВХ).

Дополнительным достоинством данного ЦАП является то, что конфигурация аналоговой части схемы не зависит от разрядности преобразуемого кода.

1.1.2.3. Параллельный ЦАП с суммированием весовых токов

Большинство схем параллельных ЦАП основано на суммировании токов, величина каждого из которых пропорциональна весу цифрового двоичного разряда. Простейшая схема такого ЦАП показана на рис. 1.1.6.

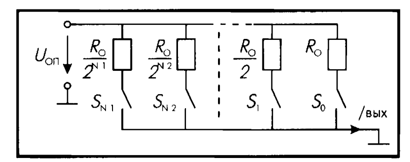


Рис. 1.1.6. Параллельный ЦАП с суммированием весовых токов

Сопротивления резисторов выбирают так, чтобы при замкнутых ключах через них протекал ток, соответствующий весу разряда. Ключ должен быть замкнут тогда, когда соответствующий ему бит входного слова равен единице.

Рассмотренная схема при всей ее простоте обладает существенными недостатками:

- при различных входных кодах ток, потребляемый от источника опорного напряжения (ИОН), будет различным, а это повлияет на величину выходного напряжения ИОН и приведет к погрешностям на выходе;
- значения сопротивлений весовых резисторов могут различаться в тысячи раз, что затрудняет реализацию этих резисторов в полупроводниковых ИМС;
- сопротивление резисторов старших разрядов в многоразрядных ЦАП может быть соизмеримым с сопротивлением замкнутого ключа, что приведет к погрешности преобразования;
- к разомкнутым ключам прикладывается значительное напряжение, что усложняет их построение.

1.1.2.4. ЦАП с резисторной матрицей R-2R

Схема ЦАП данного вида (рис. 1.1.7) также является схемой с суммированием токов, которые в этом случае формируются с помощью резистивной матрицы типа R-$2R$.

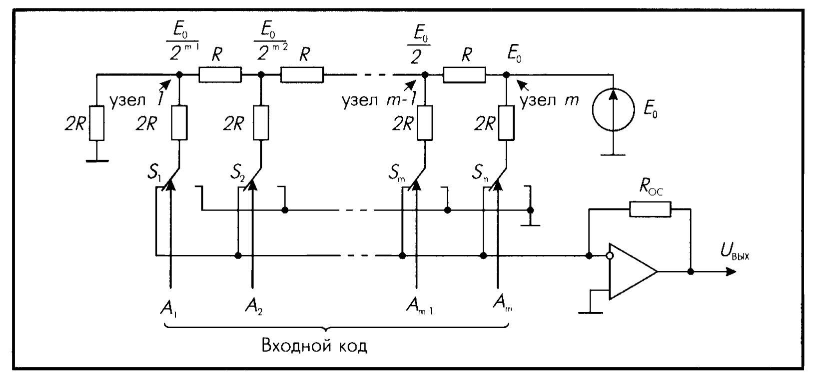


Рис. 1.1.7. Схема ЦАП с резисторной матрицей R-2R

Особенностью такой матрицы является то, что ее входное сопротивление при любом положении ключей S_1, S_2...S_m равно R, т.е. общий ток, втекающий в матрицу, равен $I_0 = E_0 / R$. Распределение потенциалов в узлах матрицы не меняется при изменении положения ключей, поскольку входное сопротивление операционного усилителя, охваченного отрицательной обратной связью через резистор R_{OC}, практически равно нулю и потенциал его входа можно принять равным потенциалу «земли». Это обстоятельство приводит к последовательному уменьшению вдвое напряжения в узлах схемы по мере их удаления от источника опорного напряжения и такому же уменьшению токов, протекающих через ключи S_m, S_{m-1}...S_1. Если ток $I_m = E_0/2R$, то $I_{m-1} = E_0/2{\cdot}2R = E_0/4R$ и так далее до $I_1 = E_0/2^{m-1}{\cdot}2R = E_0/2^m{\cdot}R$, или в общем виде:

$$I_i = \frac{E_0}{2R2^{m-i}} = \frac{E_0}{2R}2^{i-m}. \qquad (1.9)$$

Общий ток I_Σ составляет:

$$I_\Sigma = \sum_{i=1}^{m} A_i I_i = \frac{E_0}{2R}\sum_{i=1}^{m} A_i 2^{i-m}, \qquad (1.10)$$

где $A_i = 1$, если ключ S_i замкнут на вход ОУ; $A_i = 0$, если ключ S_i замкнут на «землю».

Выходное напряжение ЦАП будет равно:

$$U_{вых} = I_\Sigma R_{OC} = \frac{E_0 R_{OC}}{2R}\sum_{i=1}^{m} A_i 2^{i-m}, \qquad (1.11)$$

т.е. пропорционально цифровому коду на входе ЦАП.

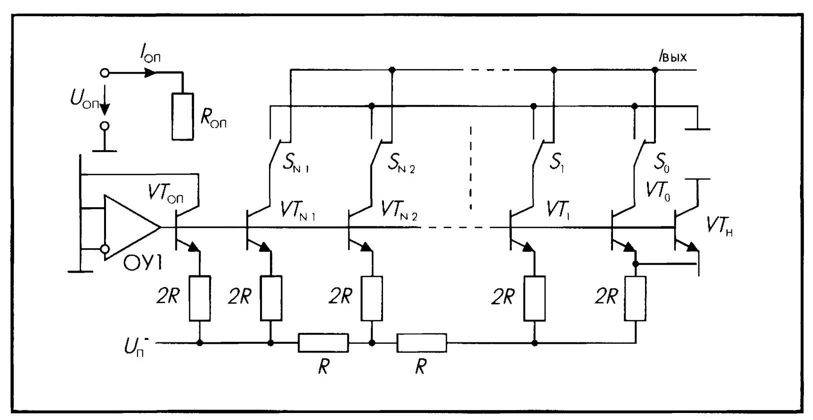


Рис. 1.1.8. Схема ЦАП на источниках тока

Схемы ЦАП на основе резистивных матриц R-2R практичны, надежны, обладают высокой скоростью преобразования и легко реализуются в интегральном исполнении. В отличие от ЦАП с взвешивающими резисторами здесь не требуется широкого диапазона номиналов и прецизионной точности при их подгонке.

1.1.2.5. ЦАП на источниках тока

ЦАП на источниках тока (рис. 1.1.8) обладают более высокой точностью благодаря транзисторным источникам тока, имеющим высокое динамическое сопротивление.

Весовые токи формируются с помощью резисторов в эмиттерах транзисторов, номиналы этих токов отличаются в 2^k раз. К резисторам предъявляются такие же требования, как и требования, приведенные в предыдущей схеме.

1.1.2.6. Параллельный ЦАП на переключаемых конденсаторах

Основой ЦАП этого типа является матрица конденсаторов, емкости которых соотносятся как целые степени двух. Емкость *k*-го конденсатора матрицы определяется соотношением $C_k = 2^k \cdot C_0$ (рис. 1.1.9).

Цикл преобразования состоит из двух фаз. В первой фазе ключи $S_0 ... S_{N-1}$ находятся в левой позиции (замкнуты на «землю»). Ключ сброса $S_{СБ}$ замкнут. При этом все конденсаторы разряжены. Во второй фазе ключ сброса $S_{СБ}$ размыкается. Если *k*-й бит входного *N*-разрядного слова $d_k = 1$, то соответствующий ключ S_k переключается в правую позицию, подключая нижнюю обкладку конденсатора к источнику опорного напряжения, или остается в левой позиции, если $d_k = 0$. Конденсатор *C* в обратной связи ОУ получает суммарный заряд, равный:

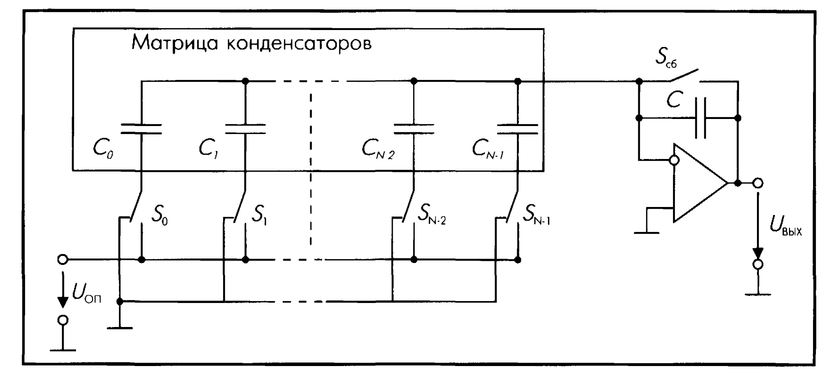


Рис. 1.1.9. Схема ЦАП на переключаемых конденсаторах

$$q = \left(\sum_{k=0}^{n} C_k U_{оп} / 2^{n+1}\right) \sum_{k=0}^{n} 2^k d_k. \qquad (1.12)$$

При этом выходное напряжение ОУ составит $U_{вых} = -q/C$.

Таким образом, выходное напряжение $U_{вых}$ пропорционально цифровому коду на входе ЦАП, а диапазон его изменения определяется величиной опорного напряжения $U_{оп}$, а также соотношением емкостей матрицы конденсаторов и конденсатора обратной связи C.

Для хранения результата преобразования (постоянного напряжения) в течение достаточно продолжительного времени к выходу ЦАП подключается устройство выборки-хранения. Хранить выходное напряжение неограниченное время, как это могут делать ЦАП с суммированием весовых токов, снабженные регистром-защелкой, преобразователи на коммутируемых конденсаторах не могут из-за утечки заряда. Поэтому они применяются в основном в составе аналого-цифровых преобразователей. Другим недостатком является большая площадь кристалла ИМС, занимаемая подобной схемой.

1.1.2.7. ЦАП с суммированием напряжений

Основу преобразователя составляет цепь из 2^N последовательно включенных резисторов равного сопротивления (рис. 1.1.10), для примера: $N = 8$. Вывод W через ключи S_0–S_{255} может подключаться к любой точке этой цепи в зависимости от входного числа. Входной двоичный код D преобразуется дешифратором 8 × 256 в унитарный позиционный код (т.н. код «1 из m»[1]), непосредственно управляющий ключами. Если приложить напряжение $U_{ДВ}$

[1]Код «1 из m» — это код, в котором каждому передаваемому числу сопоставляется порядковый номер бита При передаче определенного числа соответствующий бит имеет значение «1», тогда как остальные биты устанавливаются в «0»

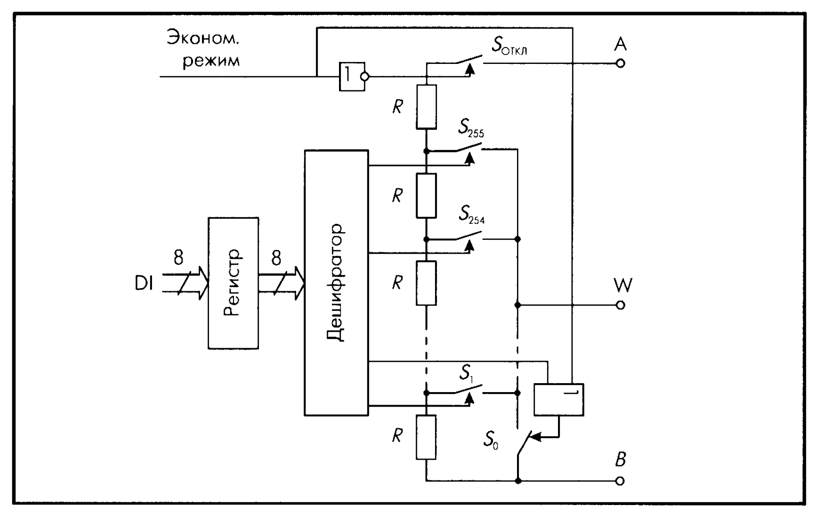


Рис. 1.1.10. Схема ЦАП с суммированием напряжений

между выводами *A* и *B*, то напряжение между выводами *W* и *B* составит $U_{WB} = U_{AB}D/D_{MAX}$. Следовательно, выходное напряжение U_{WB} пропорционально цифровому коду, а максимальное его значение определяется величиной напряжения U_{AB}.

Достоинствами данной схемы являются малая дифференциальная нелинейность и гарантированная монотонность характеристики преобразования. Ее также можно использовать в качестве переменного резистора, величина сопротивления которого определяется цифровым кодом.

Выпускается несколько моделей таких ЦАП. Например, микросхема AD8403 содержит четыре восьмиразрядных ЦАП с сопротивлением между выводами *A* и *B*, равным 10, 50 либо 100 кОм в зависимости от модификации. При подаче активного уровня на вход «Экономичный режим» происходит размыкание ключа $S_{откл}$ и замыкание ключа S_0. ИМС имеет вход сброса, которым ЦАП можно установить на середину шкалы. Фирма MAXIM выпускает несколько моделей ЦАП (например, сдвоенный DS1867) с суммированием напряжений, у которых входной регистр представляет собой энергонезависимое оперативное запоминающее устройство, что особенно удобно для построения схем с автоматической подстройкой (калибровкой).

Недостатком данной схемы является необходимость изготовления на кристалле большого количества (2^N) согласованных резисторов. Тем не менее в настоящее время выпускаются 8-, 10- и 12-тразрядные ЦАП данного типа с буферными усилителями на выходе, например AD5301, AD5311.

1.1.2.8. Умножающие ЦАП

Поскольку величина выходного напряжения ЦАП зависит от величины напряжения $U_{ОП}$ опорного источника , то это обстоятельство используется

для построения так называемых умножающих ЦАП. В таких ЦАП в качестве опорного применяют источник изменяющегося напряжения, тогда преобразователь будет формировать выходной сигнал, пропорциональный произведению управляющего кода на изменяющееся напряжение [2]. Следует отметить, что в этом случае опорное напряжение E_0 может принимать как положительные, так и отрицательные значения. Поэтому для правильной работы схемы необходимо, чтобы ключи S_m, S_{m-1} ... S_1 (рис. 1.10) имели амплитудную характеристику, симметричную относительно нулевого напряжения. Таким свойством обладают ключи, изготовленные на базе полевого транзистора, в частности по МОП-технологии.

1.1.3. Перечень ведущих фирм — производителей ИМС ЦАП

Таблица 1.1.1

Фирма-производитель	Сайт фирмы	Примечания
Analog Devices	http://www.analog.com	Быстродействующие ЦАП, ЦАП для звукотехники
Cirrus Logic	http://www.cirrus.com	Стерео/многоканальные ЦАП для звукотехники
Linear Technology	http://www.linear.com	Многоканальные ЦАП, ЦАП с интерфейсом I2C
Maxim	http://www.maxim-ic.com	Быстродействующие ЦАП, двухканальные ЦАП
Microchip	http://www.microchip.com	ЦАП с интерфейсом I2C
National Semiconductor	http://www.national.com	Быстродействующие ЦАП
Philips	http://www.semiconductors.philips.com	Быстродействующие ЦАП, ЦАП для звукотехники, 3-х канальные ЦАП для видеоустройств
Texas Instruments	http://www.ti.com	Быстродействующие ЦАП, ЦАП с токовым выходом

1.1.4. Обозначения контактов ИМС ЦАП, применяемые производителями при составлении документации

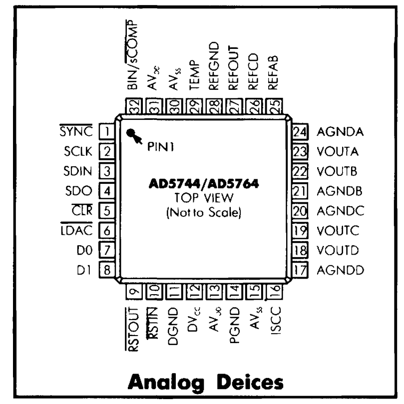
В табл. 1.1.2 приведены примеры обозначений контактов ИМС ЦАП, отличающиеся названием у разных производителей, однако исполняющие одни и те же функции. В зависимости от производителя и модели ЦАП можно встретить специфические названия контактов, обусловленные особенностями построения ИМС, которые не входят в эту таблицу.

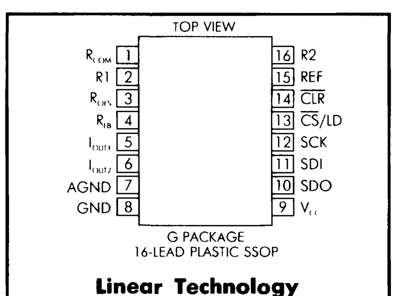
AD — Analog Devices
CL — Cirrus Logic
LT — Linear Technology
MA — Maxim
MC — Microchip
NS — National Semiconductors
Ph — Philips
TI — Texas Instruments

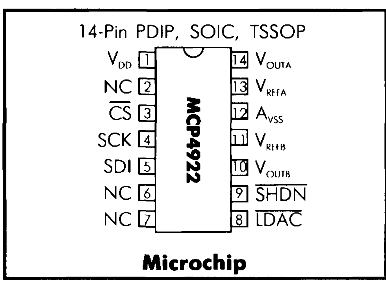
Таблица 1.1.2

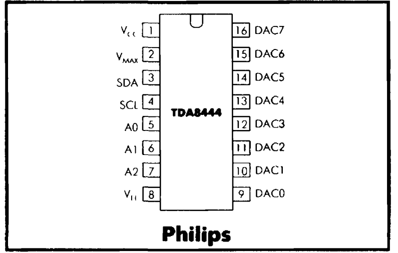
Обозначение								Функция
AD	CL	LT	MA	MC	NS	PH	TI	
AGND	AGND	GND	GND	AV_{SS}	AGND	V_{EE}, AGND, V_{SSA}	AGND	«Земля» для аналоговой части ЦАП
AVDD	VA, VA+	V_{CC}	AV_{DD}	V_{DD}	V_{A}, V_{CC}	V_{CC}, V_{CCA}, V_{DDA}	AV_{DD}	«Плюс» питания аналоговой части ЦАП
AVSS	VA-		AV_{EE}					«Минус» питания аналоговой части ЦАП
DGND	DGND		DGND		DGND	DGND, V_{SSD}	DGND	«Земля» для цифровой части ЦАП
DVDD, DVCC	VD, VL		DV_{DD}			V_{CCD}, V_{DDD}	DV_{DD}	Питание цифровой части ЦАП
VOUT	AOUT	V_{OUT}	OUTP	VOUT	VOUT	DAC, VOUT	V_{OUT}	Выход аналогового сигнала (напряжение)
IOUT		I_{OUT}		IOUT	IOUT	DAC	I_{OUT}	Выход аналогового сигнала (ток)
			OUTN					«Земля» для выходного сигнала
REF	VREF+	REF	REFR	V_{REF}	V_{REF}, $V_{REF}(+)$	VMAX, V_{REF}	V_{REF}	Вход опорного напряжения
REFOUT			REFO					Выход внутреннего опорного напряжения
REFGND	VREF-				$V_{REF}(-)$		VREFN	«Земля» для опорного напряжения
$\overline{CLR}$	$\overline{RST}$	$\overline{CLR}$						Вход сигнала сброса
		$\overline{CS}$	$\overline{CS}$	$\overline{CS}$	$\overline{CS}$		$\overline{CS}$	Вход сигнала, разрешающего передачу данных
		$\overline{LDAC}$	DACEN	$\overline{LDAC}$	ILE			Вход сигнала, разрешающего преобразование
SCLK	SCLK	SCK	CLK	SCL, SCK	SCLK	SCL	SCLK	Вход/выход для синхронизации последовательного интерфейса
	MCLK					SYSCL, K	X_{IN}	Вход тактовой частоты
SDIN	SDATA, SDIN	SDI	SDA	SDI, SDA	DIN	SDA, DATAI	SDI, SDIO	Вход данных последовательного интерфейса
D#	D#	D#	D#	D#, DI#	D#, B#	D#, DI#	D#, DI#	Вход данных параллельного интерфейса (# обозначает номер разряда)

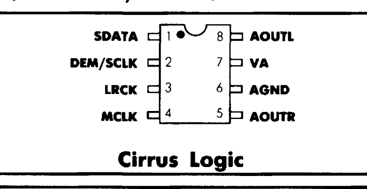
Примеры описания контактов ИМС ЦАП в документации

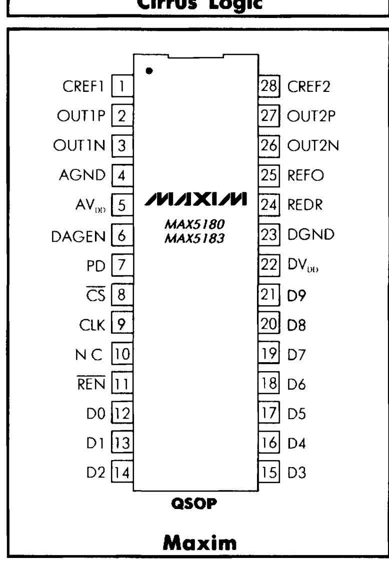


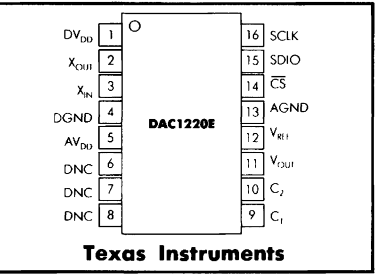


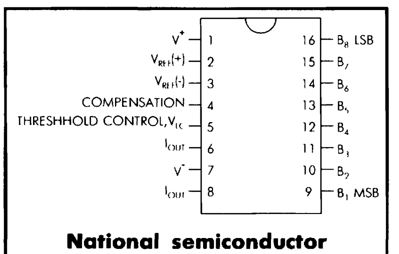












1.1.5. Типовые схемы включения ИМС ЦАП

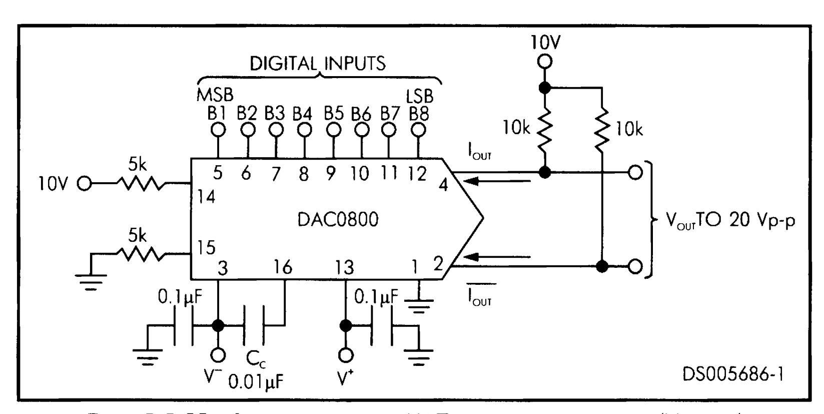


Рис. 1.1.11. Схема включения ЦАП с токовым выходом (National Semiconductor)

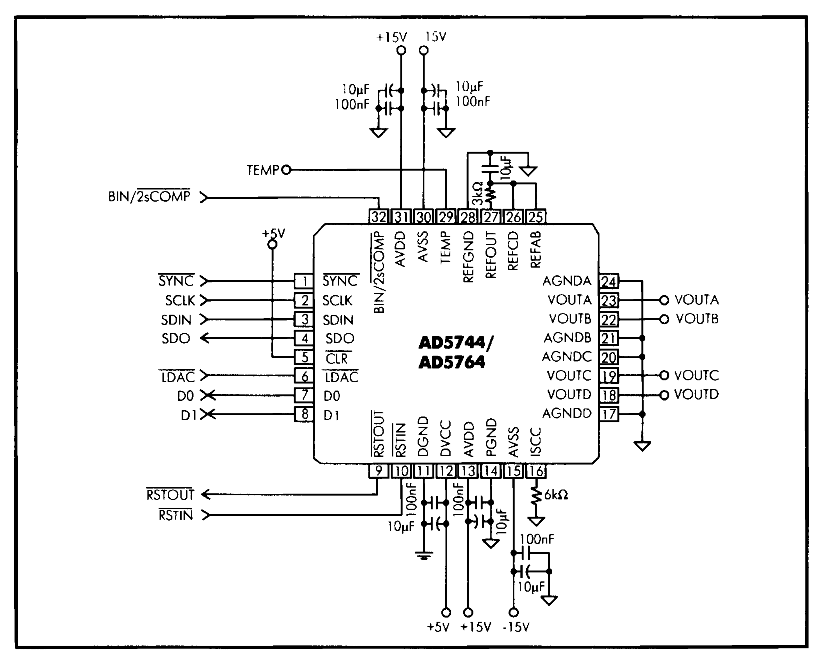


Рис. 1.1.12. Схема включения с использованием внутреннего опорного напряжения (Analog Devices)

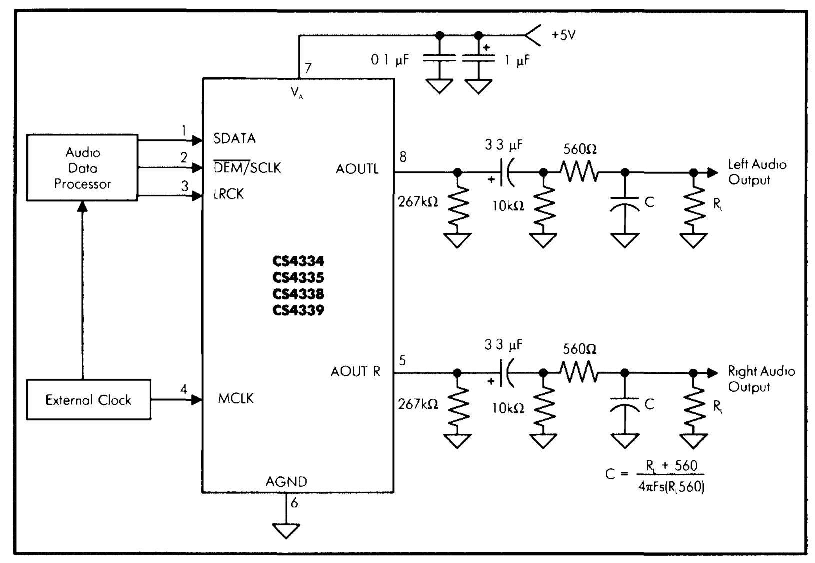


Рис. 1.1.13. Схема включения с использованием внешнего тактового генератора и выходного сглаживающего фильтра (Cirrus Logic)

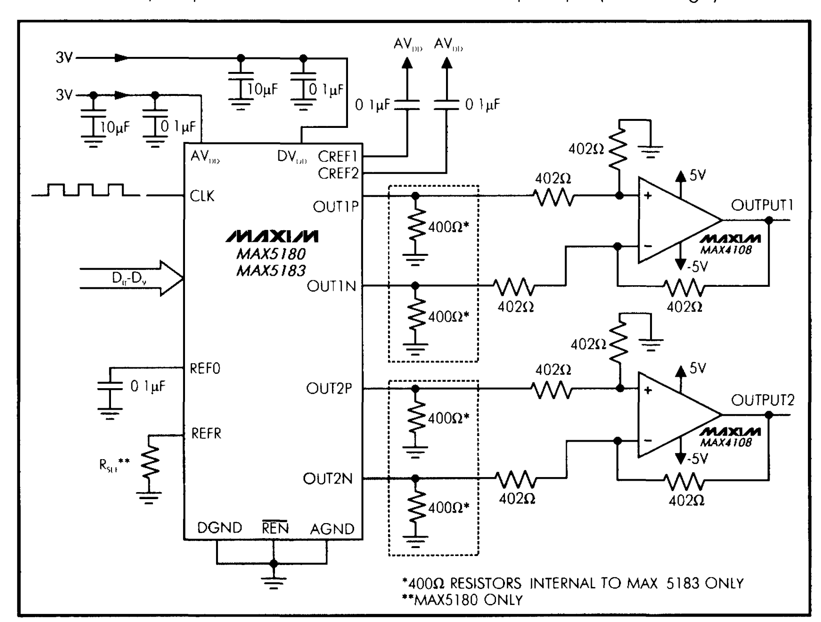


Рис. 1.1.14. Схема включения с использованием преобразования ток — напряжение на выходе

1.2. МИКРОСХЕМЫ АЦП

1.2.1. Характеристики и классификация АЦП

1.2.1.1. Характеристики АЦП

Аналого-цифровой преобразователь (АЦП) представляет собой устройство для преобразования непрерывно меняющихся во времени аналоговых сигналов (обычно электрических напряжений) в эквивалентные значения числовых кодов. АЦП характеризуется набором параметров, используемых при выборе типа прибора.

В разных источниках информации под одним и тем же термином может скрываться различное понимание того или иного явления. Различия, существующие в определении основных метрологических характеристик АЦП и способов их нормирования, могут привести к значительным ошибкам в оценке точности аналого-цифрового преобразования и к неправильному выбору конкретного преобразователя. Например, при расчете предельно допустимого значения абсолютной статической погрешности аналого-цифрового преобразования следует учитывать, каким образом определяется и нормируется напряжение смещения нуля и включена ли эта величина в погрешность в конечной точке шкалы; как производится линеаризация характеристики АЦП; включена ли погрешность квантования в погрешность дифференциальной линейности. Ответы на эти вопросы позволят потребителю не только правильно рассчитать погрешность преобразования по приведенным в паспорте параметрам, но и грамотно выбрать преобразователь.

Характеристика преобразования АЦП — это зависимость между напряжением на его аналоговом входе и множеством возможных значений выходного кода, заданная в виде таблицы, графика или формулы.

Различают *номинальную* характеристику преобразования (рис. 1.2.1), установленную в стандартах или технических условиях на АЦП конкретного типа, и *действительную* характеристику преобразования, найденную экспериментальным путем и настолько приближенную к *истинной* характеристике преобразования конкретного АЦП, что для данной цели может быть использована вместо нее.

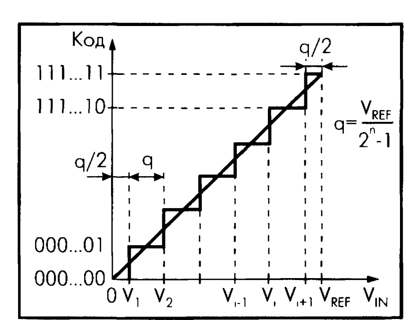


Рис. 1.2.1. Характеристика преобразования АЦП

Отклонение характеристики преобразования АЦП от прямой, соединяющей точки (0; 0) и (V_{REF}; 111...1), характеризует *погрешность квантования.* Как видно из рис. 1.2.1, для

идеального АЦП, имеющего номинальную характеристику преобразования, максимальная величина этого отклонения составляет $q/2$ и зависит только от количества разрядов АЦП.

Разрядность. Это основной параметр АЦП, он определяет максимальное двоичное число на выходе. Применительно к АЦП, вырабатывающим недвоичные числовые коды, под разрядностью понимают число эквивалентных двоичных разрядов, равных двоичному логарифму максимального числа возможных значений выходного кода.

Разрешающая способность (resolution) — это величина, обратная максимальному числу кодовых комбинаций на выходе АЦП. Разрешающая способность выражается в процентах, разрядах или децибелах и характеризует потенциальные возможности АЦП с точки зрения достижимой точности. Например, 12-разрядный АЦП имеет разрешающую способность 1/4096, или 0.0245 % от полной шкалы, или -72.2 дБ. В табл. 1.2.1 приведен ряд числовых соотношений между количеством разрядов, разрешающей способностью, а также зависимость значения МЗР от диапазона входного напряжения и т.п.

Главный переход. Под этим понимают смену кода с 011...111 на 100...000 или наоборот.

Частота Найквиста. Это частота, равная 1/2 частоты дискретизации.

Отношение «сигнал/шум» (Signal to Noise Ratio, SNR) — это отношение эффективного значения входного сигнала к среднеквадратическому значению «шума». «Шум» состоит из всех остальных спектральных компонент, включая гармоники, но исключая постоянную составляющую. Уровень входного сигнала берется равным (−1 дБ) от полной шкалы. Для идеального АЦП определяется по формуле: $SNR = (6.02\,n + 1.76)$ дБ, где n — количество двоичных разрядов. Таким образом, для идеального 12-разрядного АЦП получаем SNR = 74 дБ.

Отношение «сигнал/(шум+искажения)» (SINAD или S/(N+D)) — это отношение суммарной мощности выходного сигнала (полезный сигнал + шум + искажения) к суммарной мощности всех компонент, вплоть до 1/2 частоты дискретизации, за исключением полезного сигнала (шум + искажения). Теоретическое отношение $S / (N + D)$ для n-разрядного идеального АЦП, на вход которого подано синусоидальное колебание, можно оценить по формуле, аналогичной SNR. В ряде случаев возможно добавление сла-

Таблица 1.2.1

Разряды (n)		Разрешение	dB	1/n	%	ppm	Значение младшего значащего разряда (МЗР)				
							20 В	10 В	5 В	2.5 В	1 В
2	2^{-2}	1/4	-12	0.25	25	250000	5 В	2.5 В	1.25 В	625 мВ	250 мВ
4	2^{-4}	1/16	-24.1	0.0625	6.2	62500	1.25 В	625 мВ	312 мВ	156 мВ	62.5 мВ
6	2^{-6}	1/64	-36.1	0.015625	1.6	15625	312 мВ	156 мВ	78.1 мВ	39.1 мВ	15.6 мВ
8	2^{8}	1/256	-48.2	0.003906	0.4	3906	78.1 мВ	39.1 мВ	19.5 мВ	9.77 мВ	3.91 мВ
10	2^{-10}	1/1024	-60.2	0.0009766	0.1	977	19.5 мВ	9.77 мВ	4.86 мВ	244 мВ	977 мкВ

гаемых, учитывающих частоту дискретизации и полосу частот входного сигнала.

Количество эффективных разрядов (ENOB). Если основным источником погрешности являются собственные шумы АЦП (тепловой и пр.), то количество эффективных разрядов N определяется из выражения: $N = (SINAD - 1.76) / 6.02$, где *SINAD* — это *реальное* значение отношения «сигнал/(шум + искажения)» для конкретного АЦП. Вместо *SINAD* можно подставлять *SNR*. Необходимо заметить, что большое влияние на этот параметр оказывают динамические характеристики АЦП (скорость нарастания, время выборки УВХ и т.п.), которые делают N сильно зависимым от частоты входного сигнала.

Интермодуляционные искажения (IMD). Когда на вход подаются два гармонических колебания с разными частотами (f_a и f_b), то на выходе любого устройства с нелинейностями будут присутствовать искажения порядка ($m + n$) на суммарных и разностных частотах $mf_a \pm nf_b$, где $m, n = 0, 1, 2, 3...$ Интермодуляционными искажениями называются те, для которых ни m, ни n не равны нулю. Например, искажения второго порядка — это частоты ($f_a + f_b$) и ($f_a - f_b$), а искажения третьего порядка — частоты ($2f_a + f_b$), ($2f_a - f_b$), ($f_a + 2f_b$) и ($f_a - 2f_b$).

В случае, когда АЦП тестируется по стандарту *CCIF*, на вход подаются два гармонических колебания с частотами вблизи верхнего края входной полосы частот. В этом случае члены 2 и 3 порядков имеют различное значение. Члены 2 порядка обычно значительно отстоят по частоте от входных колебаний, тогда как частоты членов 3 порядка обычно близки к входным частотам. Вследствие этого члены 2 и 3 порядков в спецификациях указаны отдельно. *IMD* равно отношению суммы среднеквадратических значений отдельных интермодуляционных искажений к эффективному значению основной составляющей, выраженному в дБ.

Интегральная нелинейность (Integral Non-Linearity, INL) (погрешность нелинейности) — это разность между расчетным значением входного напряжения V'_i, определенным по линеаризованной характеристике преобразования АЦП, и действительным значением входного напряжения V_i, соответствующим заданной точке характеристики преобразования (рис. 1.2.2):

$$INL = V'_i - V_i. \qquad (2.1)$$

Дифференциальная нелинейность (Differential Non-Linearity, DNL) — это разность между значением кванта преобразования (q_i) и средним действительным значением кванта преобразования (q):

$$DNL = q_i - q = V_i - V_{i-1} - q. \qquad (2.2)$$

Погрешность полной шкалы или ошибка на положительном конце шкалы — это отклонение уровня входного сигнала, соответствующего последнему переключению кода, от идеального значения, после того как была

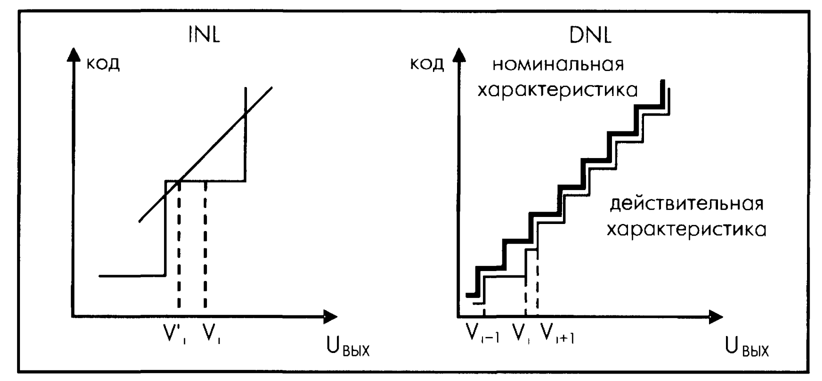


Рис. 1.2.2. Дифференциальная и интегральная нелинейности

откорректирована погрешность биполярного нуля или униполярного смещения (соответственно для биполярного и униполярного режимов работы).

Ошибка на отрицательном конце шкалы — это отклонение уровня входного сигнала, соответствующего первому переключению кода, от идеального значения, после того как была откорректирована погрешность биполярного нуля.

Погрешность нуля. Переключение кода с главным переходом должно происходить при уровне на аналоговом входе -0.5 МЗР относительно аналоговой земли *AGND*. Погрешность нуля определяется как отклонение фактического уровня этого переключения от приведенного значения. Погрешность нуля указывается при определенной температуре, а температурный дрейф определяет ее максимальное изменение в указанном температурном диапазоне.

Погрешность биполярного нуля — это отклонение уровня, соответствующего переключению кода в середине шкалы, от идеального значения (*AGND* – 0.5 МЗР).

Коэффициент подавления нестабильности источников питания (PSRR) (коэффициент подавления помехи по напряжению питания) — это отношение изменения диапазона полной шкалы или входного напряжения смещения к изменению напряжений питания.

Время восстановления после перенапряжения — это время, которое требуется АЦП для достижения номинальной точности после перенапряжения на аналоговом входе (на 50 % больше диапазона полной шкалы) и измеряется до того момента, когда входное напряжение возвращается в пределы входного диапазона АЦП.

Полоса частот полной мощности — это такая частота входного сигнала с размахом, равным полной шкале, при которой амплитуда восстановленной основной составляющей, определяемой по цифровому коду на выходе АЦП при помощи БПФ (быстрого преобразования Фурье), уменьшается на 3 дБ.

Рабочая полоса частот — это номинальный диапазон частот входного сигнала, заданный разработчиком прибора, в котором при заданной частоте дискретизации нормируются метрологические характеристики Она уже, чем полоса пропускания частот полной мощности.

Время выборки УВХ — это время, которое требуется после окончания преобразования (именно в этот момент УВХ возвращается в режим выборки), чтобы напряжение на выходе УВХ достигло своего окончательного значения с точностью ±1/2 МЗР. Этот временной параметр применим также к тем случаям, когда входное напряжение на аналоговом входе имеет ступенчатый характер. Это означает, что нужно выждать в течение этого времени после окончания преобразования или после ступенчатого изменения входного напряжения, прежде чем начинать очередное преобразование, чтобы гарантировать работу ИМС в соответствии со спецификациями.

Апертурная задержка характеризует работу входного УВХ и измеряется от переднего фронта тактового сигнала или сигнала управления до фактического момента начала выборки входного сигнала.

Время установления — это время, необходимое АЦП для достижения номинальной точности после того, как на его вход (или вход встроенного УВХ) был подан ступенчатый сигнал, равный полному диапазону входного сигнала.

Конвейерная задержка (латентность) — это число тактовых периодов между началом преобразования и появлением на выходных линиях соответствующего результата. После этого на каждом тактовом периоде выводится новый результат преобразования.

Входной диапазон. Эта спецификация определяет минимальные и максимальные входные напряжения от нуля до полной шкалы, которые АЦП может воспринимать и при этом точно калибровать усиление.

Запас по выходу за положительный или отрицательный конец шкалы. Выход входного напряжения за пределы входного диапазона может привести к появлению ошибок, обусловленных перегрузкой аналогового модулятора или переполнением цифрового фильтра. Чтобы избежать подобных ошибок, вводится понятие *запаса по выходу входного напряжения за пределы шкалы.*

Запас по выходу за положительный конец шкалы — это интервал напряжения, на который входное напряжение на *AIN(+)* может превышать уровень *AIN(–) + VREF/GAIN*, не приводя при этом к перегрузке аналогового модулятора или к переполнению цифрового фильтра. Здесь *GAIN* — коэффициент усиления встроенного программируемого усилителя, *VREF* — значение опорного напряжения. *AIN(+)* — вывод, на который подается преобразуемый сигнал. *AIN(–)* — вывод, на который подается потенциал «аналоговой земли», т.е. при $U_{AIN(+)} = U_{AIN(-)}$ значение кода на выходе равно 0.

Запас по выходу за отрицательный конец шкалы — это интервал напряжения, на который входное напряжение на *AIN(+)* может быть ниже уровня *AIN(–) – VREF/GAIN*, не приводя при этом к перегрузке аналогового модулятора или к переполнению цифрового фильтра.

1.2.1.2. Классификация АЦП

Все АЦП можно разделить на две группы, существенно различающиеся между собой по нормируемым характеристикам погрешностей и методам поверки. К первой группе относятся АЦП, выполненные в виде микросхем (полупроводниковых, гибридных) и не являющиеся средствами измерений. АЦП второй группы являются средствами измерений. АЦП первой группы широко используются не только для создания АЦП второй группы, но и в качестве узлов различных систем обработки аналоговых сигналов.

В состав АЦП часто входят вспомогательные узлы, существенно улучшающие метрологические характеристики и расширяющие функциональные возможности АЦП: буферные усилители, автоматические переключатели диапазонов, программируемые усилители, устройства выборки-хранения, схемы автокалибровки и автоподстройки, экстраполяторы, оперативные и постоянные запоминающие устройства, цифровые фильтры и т.п. Практически все современные АЦП ориентированы на совместную работу с микропроцессорными системами и содержат элементы интерфейса (буферные регистры, дешифраторы адреса и т.п.).

Возможная классификация АЦП представлена на рис. 1.2.3.

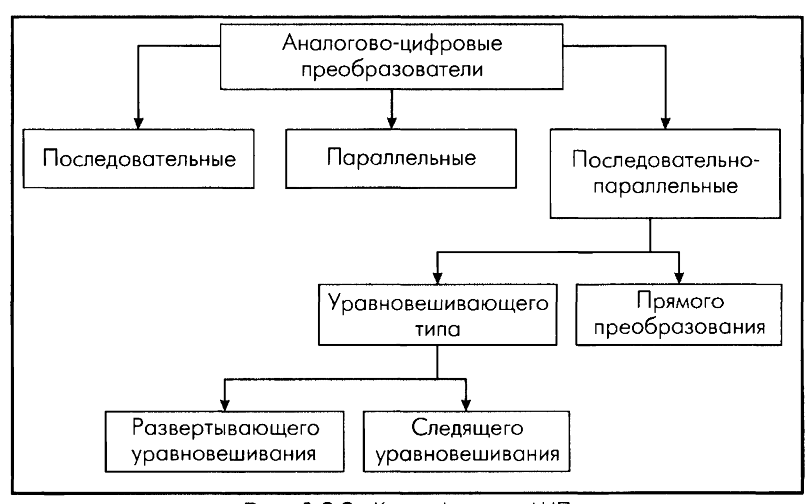


Рис. 1.2.3. Классификация АЦП

1.2.2. Основные принципы построения и структурные схемы ИМС АЦП

Существует много различных алгоритмов построения АЦП. Каждый из них характеризуется своими достоинствами и недостатками. Кратко рассмотрим основные.

1.2.2.1. Параллельные АЦП

В аналого-цифровых преобразователях параллельного типа квантование входного сигнала $U_{вх}$ осуществляется одновременно и реализуется с помощью набора из $2^n - 1$ одинаковых компараторов, где n — разрядность выходного кода.

Структурная схема такого АЦП для случая однополярного сигнала показана на рис. 1.2.4. Сигнал одновременно подается на входы всех компараторов, пороговые уровни которых различны и отличаются на величину шага квантования. Эти уровни задаются с помощью резистивного делителя — цепочки резисторов, один конец которой подключен к «земле» (для однополярного сигнала), а другой — к источнику опорного напряжения $U_{оп}$, величина которого равна величине максимального размаха входного напряжения $U_{вх}$ или немного превышает ее. Величина резисторов при линейной шкале квантования строго одинакова и выбирается с учетом входных токов используемых компараторов и их количества. Выходы компараторов должны быть подключены к входу приоритетного шифратора, который превращает сигналы компараторов в обычный n-разрядный двоичный код. Шифратор формирует n-разрядный код отсчета, принимая во внимание лишь тот из сработавших компараторов, который соответствует наибольшему весу шкалы квантования [2].

Эти АЦП обладают максимально возможным быстродействием. Основные недостатки этого типа АЦП — сложность изготовления прецизионных резисторов делителя, а также резкое увеличение числа компараторов при повышении разрядности. Для получения n-разрядного преобразователя требуется $2^n - 1$ компараторов. Например, для 12-разрядного параллельного преобразователя необходимо 4095 компараторов.

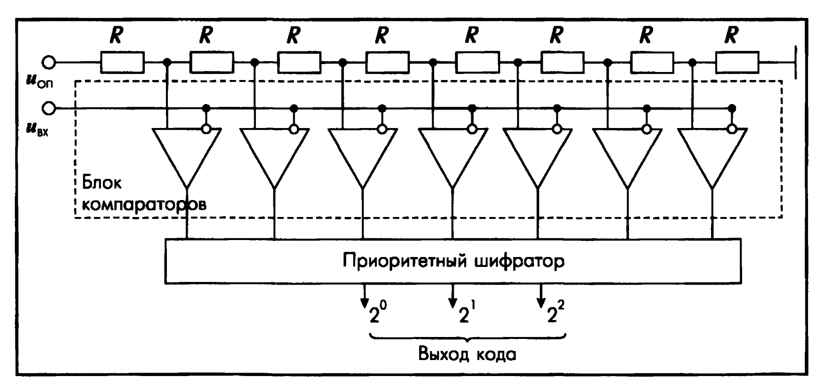


Рис. 1.2.4. Схема параллельного АЦП

1.2.2.2. Интегрирующие АЦП

АЦП двойного интегрирования (Dual-Slope ADC). Своим названием преобразователи обязаны наличию в своей структуре интегратора. Большин-

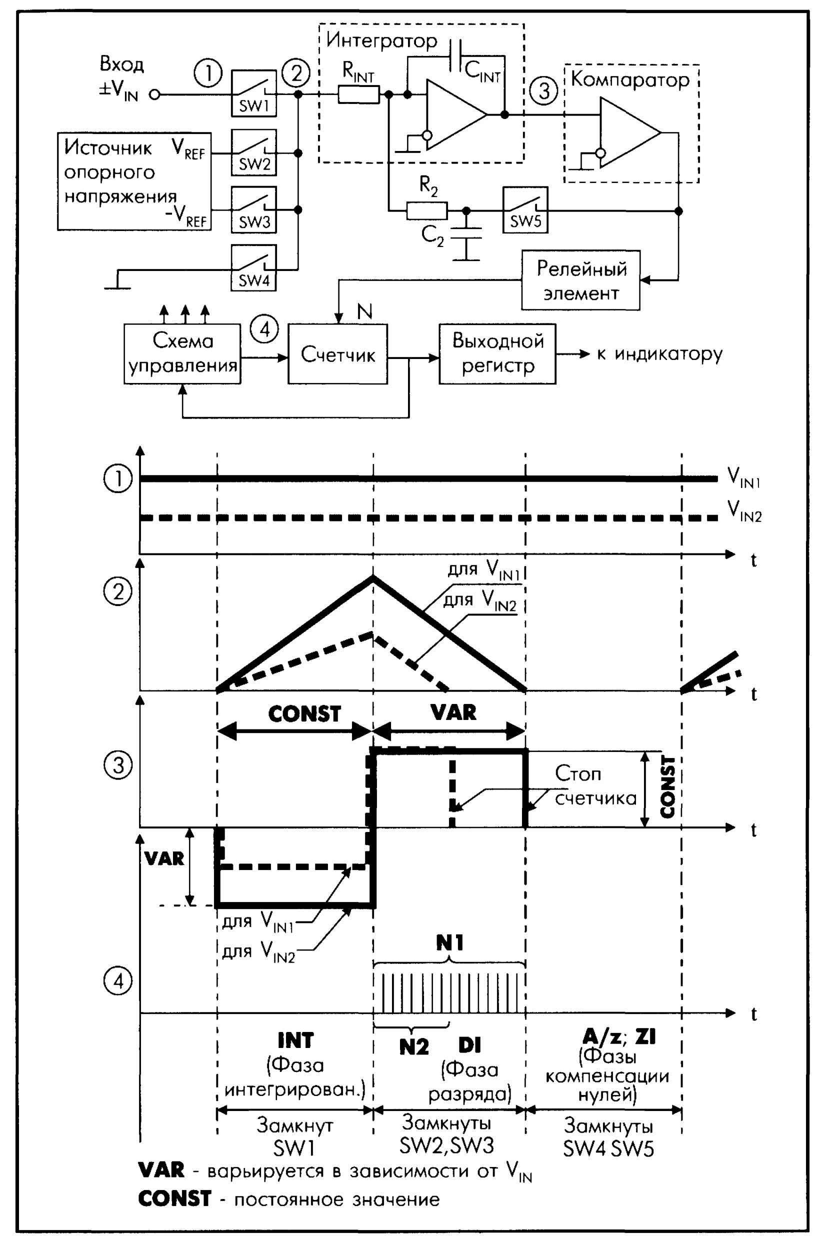


Рис. 1.2.5. Схема и принцип действия АЦП двойного интегрирования. V_{IN1}, V_{IN2} — различные значения входного напряжения V_{IN}

ство современных микросхем работает в два такта интегрирования, что позволяет называть их как АЦП двойного интегрирования.

Преобразователь (рис. 1.2.5) состоит из аналоговой (ключи SW1...4, источники опорных напряжений +VREF и −VREF, интегратора, компаратора и схемы компенсации нуля SW5, R2, C2) и цифровой частей. Цикл аналого-цифрового преобразования состоит из четырех фаз:

- автоматической коррекции погрешности (*A/Z*);
- интегрирования входного напряжения в течение фиксированного времени T_1 (*INT*);
- интегрирования опорного напряжения, т.е. разряд интегрирующего конденсатора за время T_2 (*DI*);
- коррекции нуля интегратора (*ZI*).

Цифровой код на выходе АЦП получается как отношение времени T_2 разряда емкости интегратора к фиксированному периоду времени T_1.

АЦП двойного интегрирования может работать как с однополярным, так и с двухполярным напряжением. Диапазон входного сигнала определяется значением внешнего опорного напряжения. Для увеличения коэффициента подавления помехи нормального вида рекомендуется время преобразования выбирать равным или кратным периоду помехи, чаще всего это период питающей сети, т.е. 50 или 60 Гц [1].

Малое число компонент обеспечивает низкое потребление и делает такие приборы незаменимыми при построении переносных приборов с автономным питанием. Эти АЦП используются в основном для измерения напряжения, тока, сопротивления, температуры, веса и др. с выводом информации в специальном коде для управления семисегментными жидкокристаллическими (ЖКИ) или светодиодными индикаторами (СДИ).

Принципиальным достоинством метода двухэтапного интегрирования является то, что он позволяет получить высокую точность преобразования, не требуя высокой точности применяемых элементов и не предъявляя высоких требований к стабильности конденсатора C_{INT} интегратора. Метод позволяет компенсировать временной или температурный дрейф порога срабатывания компаратора. Также нет высоких требований к стабильности тактовой частоты, поскольку сравнивается отношение числа импульсов в двух интервалах одного и того же потока импульсов.

Основным недостатком метода двухэтапного интегрирования является относительно невысокое быстродействие из-за того, что тактовая частота должна в 2^{n+1} раз превышать частоту дискретизации. Например, если с помощью такого АЦП производить 16-разрядное квантование с частотой дискретизации 44.1 кГц (цифровая звукозапись), то частота тактовых импульсов должна составлять 5.8 ГГц, что трудно реализовать. Другим недостатком данного АЦП является большая погрешность при перегрузке сигналом, превышающим $u_{вх\ макс}$. При этом возникает перезаряд емкости C

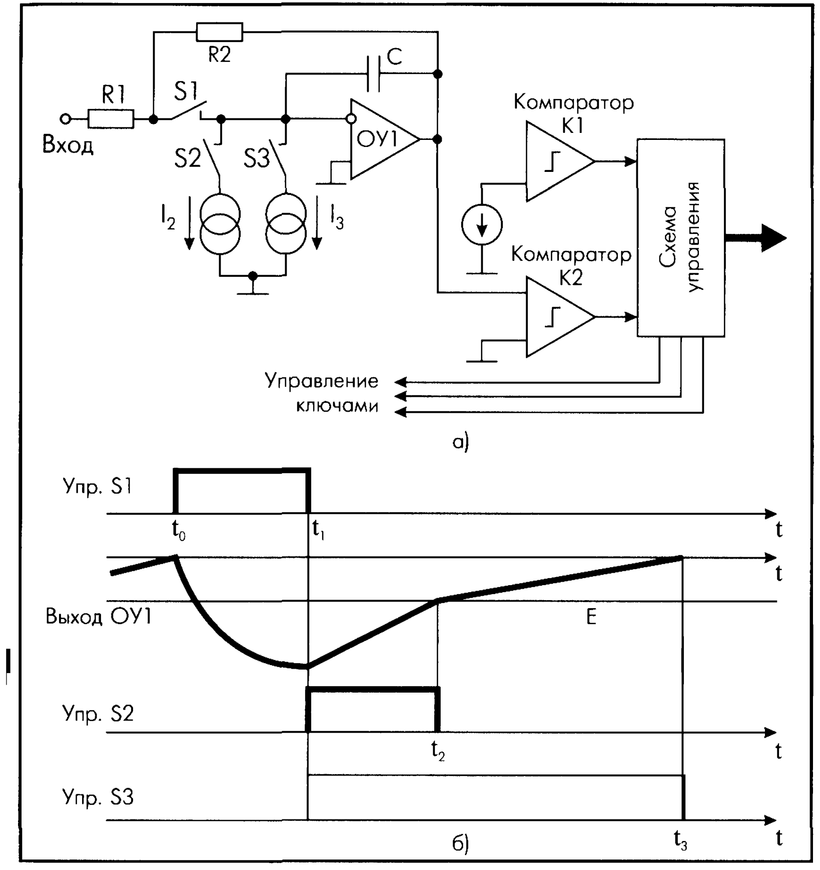


Рис. 1.2.6. Схема и принцип действия АЦП

интегратора и преобразователь, даже после снятия перегрузки, в течение нескольких циклов работает с большой погрешностью.

АЦП «быстрого интегрирования» в основном применяются для звуковой техники. Основным метрологическим параметром является коэффициент нелинейных искажений. В литературе этот метод называется «двухтактным интегрированием»; условно его можно назвать «быстрым интегрированием». Упрощенная схема этих преобразователей и временные диаграммы работы приведены на рис. 1.2.6 (а, б). В этой схеме вначале конденсатор C заряжается до значения входного напряжения ($R1 = R2$), а затем разряжается в два этапа источниками токов I_2 и I_3, величины которых отличаются 2^n раз (например, 256). Значение кода определяется как отношение соответствующих временных интервалов.

Характеристики этих преобразователей в большой степени зависят от качества и размещения внешних элементов и от топологии «земли». В настоящее время выпускаются АЦП с тремя источниками разряжающих токов.

Основным преимуществом данной структуры по сравнению с интегрирующими АЦП является значительно большее быстродействие, что позволяет использовать данную структуру не только в измерительной аппаратуре, но и для обработки звукового сигнала.

1.2.2.3. АЦП последовательного приближения (Successive approximation, SAR-ADC)

В литературе они могут называться так же, как АЦП поразрядного взвешивания или кодоимпульсные АЦП. Пример классической структуры 4-разрядного преобразователя этого типа показан на рис. 1.2.7, а принцип его работы иллюстрирует рис. 1.2.8.

Входное напряжение сравнивается в компараторе с выходным напряжением ЦАП. По результату сравнения компаратором («0» или «1») увеличивается или уменьшается в 2 раза код, подаваемый с РПП на ЦАП. Количество шагов приближения соответствует количеству двоичных разрядов [1].

Основным недостатком данного АЦП является то, что апертурное время, определяемое числом циклов последовательного приближения, зависит от величины входного сигнала и является переменным, что приводит к апертур-

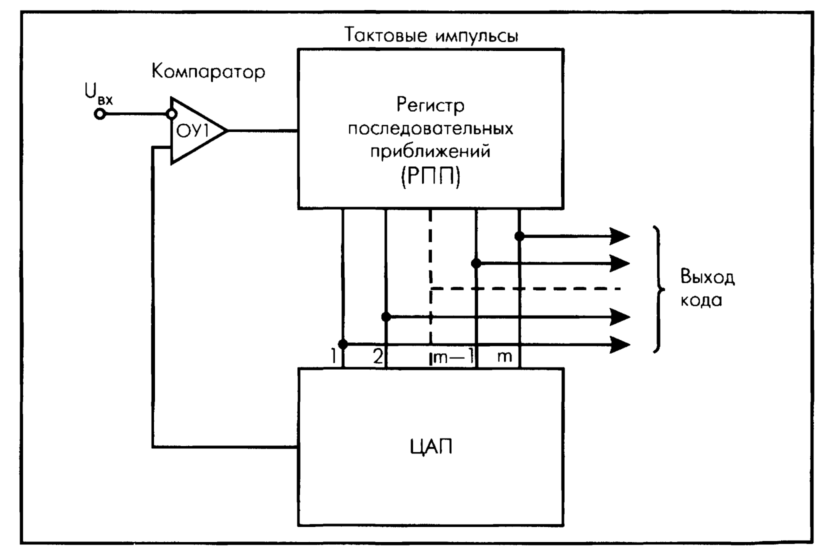


Рис. 1.2.7. Структурная схема АЦП последовательного приближения

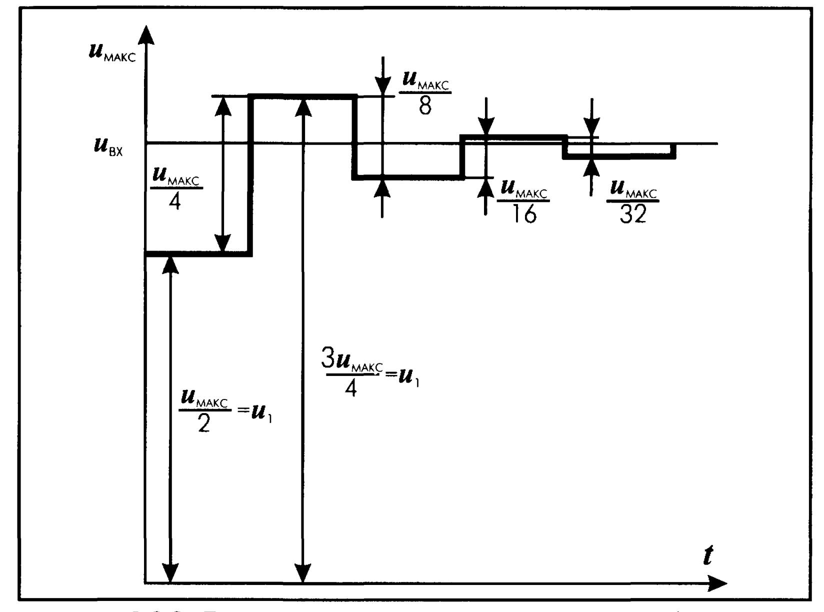


Рис. 1.2.8. Принцип действия АЦП последовательного приближения

ным погрешностям нелинейного характера. Этот недостаток устраняется добавлением схемы УВХ и фиксацией числа тактов. Разрешающая способность при этом равна половине младшего разряда квантования [2].

Точность и быстродействие таких АЦП определяются в основном метрологическими характеристиками ЦАП и технологией производства. Данный класс АЦП, представляя собой разумный технический компромисс между точностью и быстродействием, находит широкое применение как при построении цифровых измерительных приборов, так и в различных системах цифровой обработки быстро меняющихся сигналов.

1.2.2.4. Многокаскадные АЦП (sub-ranging)

Многокаскадные АЦП чаще всего имеют два каскада и называются также двухступенчатыми, двухтактными, двухшаговыми, поддиапазонными (*sub-ranging, two-pass, two-step*) и т.д., а одна из распространенных их разновидностей — параллельно-последовательными. Но выпускаются АЦП, имеющие 3 и более каскадов.

Выходной код такого АЦП (рис. 1.2.9, а) представляет собой сумму кодов (№ 1, № 2 и т.д.), вырабатываемых отдельными каскадами. На рис. 1.2.9 (б) представлена функциональная схема одного каскада. Отличительной особенностью работы такого каскада является двухтактный режим работы.

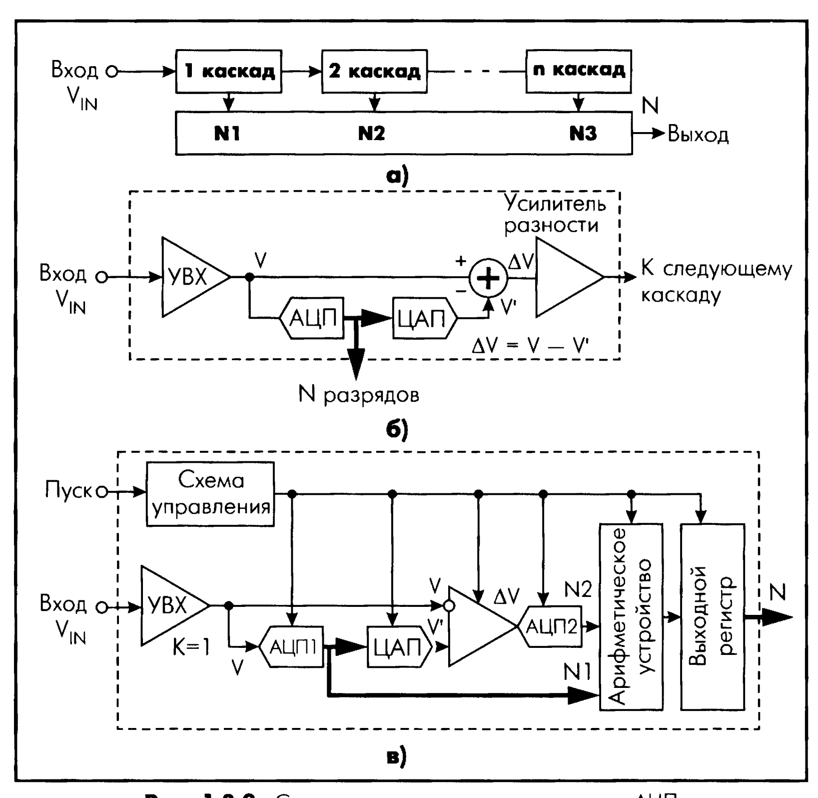


Рис. 1.2.9. Структурные схемы многокаскадных АЦП

На первом такте входное напряжение запоминается на УВХ и измеряется сравнительно грубым АЦП, стоящим в первом каскаде. Выходной код этого АЦП поступает на высокоточный ЦАП, имеющий небольшое число разрядов (6...8), но по точности соответствующий 16-...18-разрядному. На втором такте разность ΔV между входным и выходным напряжением ЦАП усиливается в 2^n раз измерительным усилителем и поступает на вход следующего каскада.

Далее процесс преобразования повторяется. На выходе АЦП первого каскада формируются старшие разряды выходного кода всего АЦП (№ 1, рис. 1.2.9, в), на выходе последующих каскадов — младшие (№ 2, рис. 1.2.9, в). Установка на входе каскада УВХ позволяет получить более точное считывание при большой скорости изменения входного сигнала и использовать в младших каскадах более медленные, но точные АЦП.

Достоинством данного АЦП является сокращение числа компараторов по сравнению с параллельным АЦП при большой разрядности в $(2^n - 1) / (2(2^{n/2} - 1)) \approx 2^{n/2-1}$ раз (в двухкаскадной схеме) при сравнительно небольшом проигрыше в быстродействии (в 3 раза для двухкаскадной схемы).

Основным недостатком данной структуры является наличие компонентов (УВХ, АЦП старшего каскада, ЦАП и усилитель разности), вносящих дополнительную погрешность при выполнении преобразования (по сравнению с параллельным АЦП). В таких структурах для коррекции ошибок используется перекрытие на один и более разряд (повышение разрядности АЦП второго этапа). Очень важным является точная установка коэффициента усиления усилителя разности и обеспечение его стабильности.

Для обеспечения более высокой пропускной способности преобразователя суммирование в арифметическом устройстве и перезапись в выходной регистр кодов АЦП1 и АЦП2 осуществляется одновременно с новой выборкой входного сигнала (конвейерный алгоритм работы). Ряд фирм выпускают преобразователи, где один АЦП используется в двух и более тактах преобразования, т.е. используется только один каскад, но работающий несколько раз за один цикл преобразования.

1.2.2.5. АЦП с «плавающей запятой» (Floating point)

Отдельно в ряду многоразрядных преобразователей стоят так называемые АЦП с «плавающей запятой». Входной аналоговый сигнал с помощью устройства, стоящего на входе АЦП (обычно программируемого измерительного усилителя), приводится к номинальному значению входного сигнала АЦП (рис. 1.2.10).

Рассмотрим принцип действия на примере преобразователя, который состоит из 4-разрядного параллельного АЦП1, двух УВХ, управляющего автомата (УА) и программируемого усилителя (ПУ) с коэффициентом усиления $K_{ус}$, изменяющимся от 1 до 256, а также 12-разрядного АЦП2. Структура может быть дополнена схемой автокалибровки нуля и схемой выделения полярности.

Схема работает следующим образом: входное напряжение $U_{вх}$ через УВХ1 поступает на вход АЦП1, который быстро, но грубо оцифровывает входной сигнал. Выходной код АЦП1 задает значение коэффициента усиления ПУ. Усиленное напряжение поступает на УВХ2, а затем преобразуется с

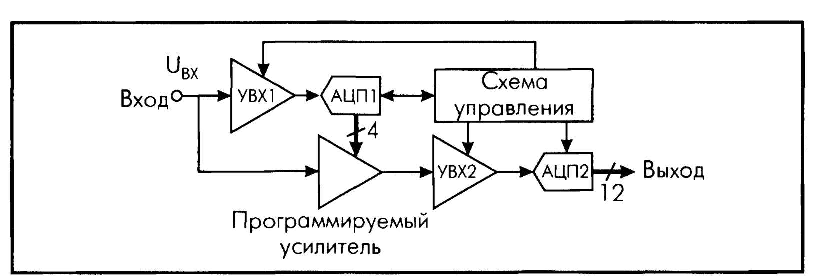


Рис. 1.2.10. Схема АЦП с «плавающей запятой»

помощью АЦП2. Четыре разряда АЦП1 соответствуют показателю степени, 12 разрядов АЦП2 — мантиссе. Восстановление величины входного аналогового сигнала производится по формуле:

$$U_{ВХ} = \left|\frac{MANT}{4096} - \frac{4096}{8192}\right| \cdot \left|10 \cdot \frac{2^N}{256}\right|, \qquad (2.3)$$

где N — показатель степени в десятичной системе; $MANT$ — десятичное значение 12-разрядного слова, в котором 11 первых разрядов соответствует мантиссе, а 12-й является дополнительным.

Основное достоинство данной структуры — большой динамический диапазон при использовании внутренних АЦП достаточно низкой разрядности. К недостаткам можно отнести меньшую точность, чем у АЦП других структур аналогичной разрядности. При выборе этого типа АЦП необходимо разделять разрядность, соответствующую динамическому диапазону, и разрядность точности, которая всегда меньше.

1.2.2.6. Сигма-дельта АЦП

Своим названием такие преобразователи обязаны наличию в них двух блоков: интегратора «сигма» и дифференциального усилителя «дельта». Один из принципов, заложенный в такого рода преобразователях и позволяющий уменьшить погрешность, вносимую шумами, а следовательно, увеличить разрешающую способность, — это усреднение результатов измерения. Проиллюстрировать это можно на методе Гетти, в котором к входному сигналу АЦП добавляется при помощи дополнительного ЦАП равномерно распределенный шум, размахом больше 1 МЗР (рис. 1.2.11). В этом случае при выполнении большого числа преобразований частота появления кодовых комбинаций на выходе АЦП (01 и 10, рис. 1.2.11) зависит от входного сигнала. Таким образом, проведя усреднение, можно получить дробное значение МЗР ($q/4$ на рисунке).

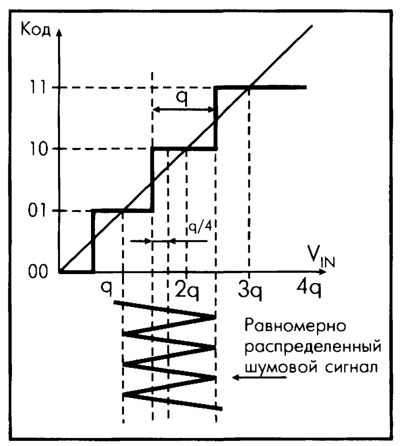


Рис. 1.2.11. Метод Гетти и принцип действия сигма-дельта АЦП

Структурная схема сигма-дельта АЦП первого порядка приведена на рис. 1.2.12. Основной принцип его действия состоит в том, что в аналоговую схему с ООС и высоким коэффициентом усиления при разомкнутой

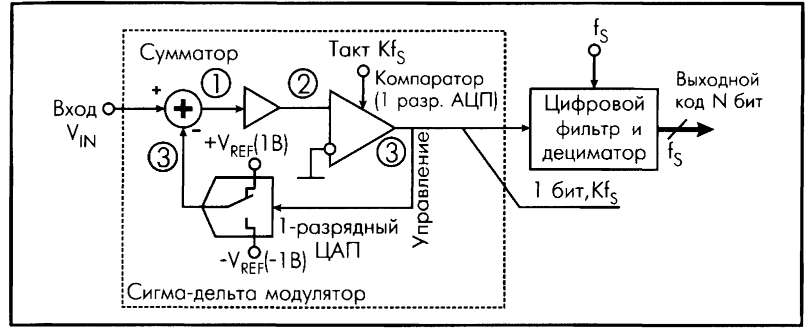


Рис. 1.2.12. Схема сигма-дельта АЦП

Таблица 1.2.2.2

Тактовый период	Выходное напряжение (1), В	Выходное напряжение (2), В	Выходное напряжение (3), В	Выход ЦАП (4), В
0	0.6	0.6	1	+1
1	−0.4	0.2	1	+1
2	−0.4	−0.2	0	−1
3	1.6	1.4	1	+1
4	−0.4	1.0	1	+1
5	−0.4	0.6	1	+1
6	−0.4	0.2	1	+1
7	−0.4	−0.2	0	−1

обратной связи включен одноразрядный ЦАП (фактически — ключ и два источника опорного напряжения: $+V_{REF}$ и $-V_{REF}$), который стремится свести к нулю значение напряжения на входе интегратора.

Принцип действия поясняется описанием последовательности состояний в 7 тактах работы схемы (табл. 1.2.2.2) в случае наличия входного сигнала величиной 0.6 В.

Усреднение выходного сигнала ЦАП за цикл действительно дает величину напряжения 0.6 В: (+ 1 − 1 + 1 + 1 + 1) : 5 = 0.6. Для работы такого преобразователя необходимо, чтобы его входной сигнал за время усреднения можно было считать постоянным, т.е. частота отсчетов должна быть намного больше частоты входного сигнала. Если выполнить это условие, то для превращения потока битов в десятичный сигнал можно воспользоваться фильтром низких частот (ФНЧ в виде цифрового фильтра).

К достоинствам схем, работающих по такому принципу, можно отнести: возможность увеличения разрешающей способности за счет увеличения времени интегрирования, большую по сравнению с АЦП двухтактного и многотактного интегрирования скорость преобразования (на три порядка), небольшую стоимость, малое количество аналоговых структур, устранение влияния помех от источников питания за счет наличия фильтра.

1.2.2.7. Преобразователи напряжение-частота

Существует несколько видов преобразователей напряжение-частота (ПНЧ). Наибольшее применение нашли ПНЧ с заданной длительностью выходного импульса. Структурная схема такого ПНЧ приведена на рис. 1.2.13. По этой схеме построена ИМС *VFC*-32 (отечественный аналог — 1108ПП1).

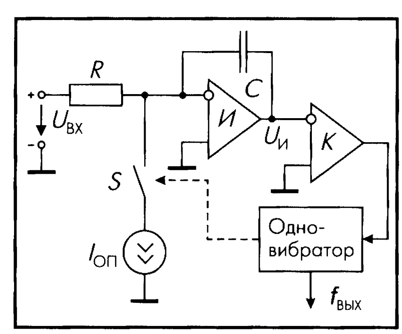


Рис. 1.2.13. Структурная схема ПНЧ

Работает ПНЧ следующим образом. При разомкнутом ключе *S* положительный входной сигнал $U_{вх}$ интегрируется интегратором *И* в течение некоторого времени *T*, образуя на конденсаторе напряжение $TU_{вх\,ср}/RC$, при этом напряжение на выходе интегратора *И* уменьшается. Когда это напряжение уменьшится до нуля, компаратор *K* переключается и ключ *S* замыкается одновибратором, который формирует импульс стабильной длительности $T_и$. За время импульса интегратор разряжается до нуля током Iоп на величину $I_{оп}\ T_и\ /C$. В установившемся положении выполняется равенство $TU_{вх\,ср}/RC = I_{оп}\ T_и\ /C$, из которого для частоты повторения импульсов получаем:

$$f_{ВЫХ} = \frac{1}{T} = \frac{U_{ВХ.СР}}{RI_{ОП} T_И}, \tag{2.4}$$

т.е. частота повторения импульсов пропорциональна входному напряжению.

Выражение (2.4) также показывает, что точность преобразования определяется точностью установки опорного тока $I_{оп}$, точностью выдержки длительности импульса одновибратора $T_И$, а также точностью резистора *R*. Емкость конденсатора интегратора не оказывает влияния на частоту ПНЧ.

1.2.2.8. Особенности схемотехники АЦП на переключаемых конденсаторах

Простой метод с односторонним приближением. Этот метод является одним из наименее сложных и давно применяемых методов аналого-цифрового преобразования. Суть метода заключается в том, что генерируется линейно изменяющееся со временем напряжение, которое сравнивается с преобразуемым напряжением U_i.

На рис. 1.2.14 приведена принципиальная схема АЦП, реализующего описываемый метод. В схему входят компаратор *K*, счетчик и генератор

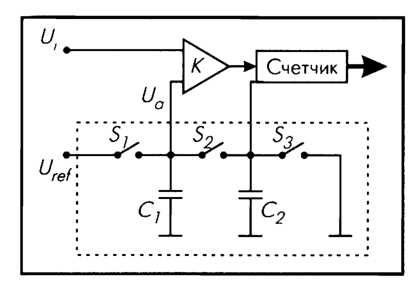


Рис. 1.2.14. АЦП одностороннего приближения на переключаемых конденсаторах

ступенчато изменяющегося напряжения, который обведен на рисунке пунктирной линией. Работа генератора ступенчатого напряжения заключается в том, что с помощью ключа S_1 конденсатор C_1 заряжается от источника опорного напряжения, а затем периодически через ключ S_2 частично разряжается на конденсатор C_2, который перед этим разряжается через ключ S_3. В результате на C_1 формируется ступенчато падающее по экспоненте напряжение.

Этот процесс продолжается до тех пор, пока напряжение U_a не станет меньше измеряемого напряжения U_i, что вызовет изменение состояния компаратора. Количество моментов изменения заряда конденсатора C_i подсчитывается счетчиком, на выходе которого в конце преобразования устанавливается цифровой код, соответствующий измеренному напряжению U_i.

Отметим, что изменение напряжения U_a в данном случае происходит нелинейно. Каждое очередное подключение и разряд конденсатора C_2 вызывают умножение напряжения U_a на коэффициент $C_1 / (C_1 + C_2)$. Поэтому генерируемое напряжение уменьшается ступенчато, как показательная функция количества ступенек, следствием чего является логарифмическая зависимость преобразования аналоговой величины в цифровую [3].

Точность преобразователя такого типа на практике ограничена восемью разрядами вследствие низкого быстродействия, влияния паразитных емкостей и неточности подбора конденсаторов.

Преобразователи с двойным интегрированием. Среди классических АЦП выделяются преобразователи с двойным интегрированием вследствие их хорошей точности и линейности. Из-за большой постоянной времени интегратора попытки изготовить такие схемы в интегральном исполнении по биполярной технологии оканчивались неудачами. При использовании переключаемых конденсаторов можно изготовить такие схемы в интегральном виде по МОП-технологии благодаря исключению классического интегратора на *RC*-элементах. Одна из возможных схем представлена на рис. 1.2.15. Схема состоит из трех основных блоков: интегратора на переключаемых конденсаторах, компаратора *K* и цифровой схемы управления. Цикл работы преобразователя состоит из трех основных фаз: 1) определение знака измеряемого напряжения; 2) заряд конденсатора C_2; 3) разряд конденсатора C_2.

В фазе 1 сначала конденсатор C_1 заряжается до напряжения U_i, а затем отключается от источника и подключается к входу ОУ1, который начинает работать как инвертирующий усилитель. Переключения вспомогательных конденсаторов могут продолжаться в течение нескольких тактов. Коэффи-

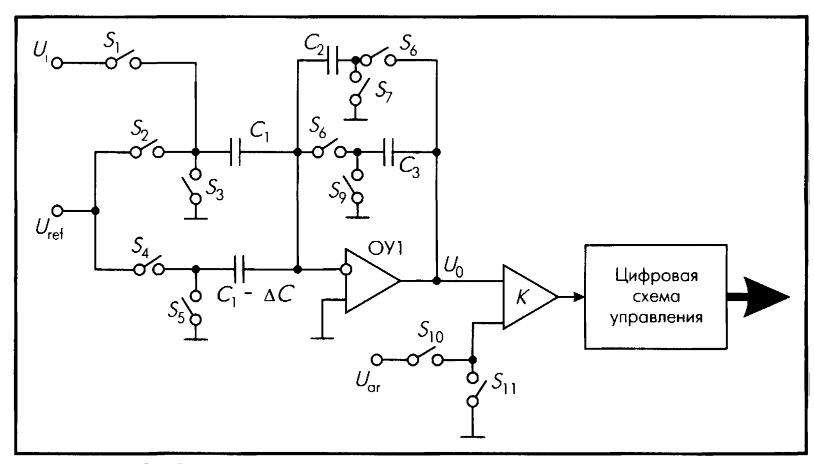


Рис. 1.2.15. Интегрирующий АЦП на переключаемых конденсаторах

циент передачи усилителя равен $C_1 / (C_2 + C_3)$. Компаратор позволяет определить знак измеряемого напряжения Ui.

В фазе 2 ОУ1 и конденсаторы C_1 и C_2 образуют интегратор на переключаемых конденсаторах. Конденсатор C_3 предназначен для исключения влияния конечного коэффициента усиления ОУ1. Интегрирующий конденсатор C_2 накапливает последовательные порции зарядов C_1U_1, в результате чего растет напряжение U_0 на выходе интегратора. В момент, когда напряжение U_0 достигнет порогового уровня U_{ar}, компаратор изменит свое состояние и процесс заряда конденсатора C_2 должен быть закончен. Если предположить, что такой процесс повторялся 2^n раз, то полный заряд, накопленный на конденсаторе C_2, составит:

$$Q_a = 2^n C_1 U_i \qquad (2.5)$$

В фазе 3 ОУ1 с конденсаторами C_1, $C_1 + \Delta C$ и C_2 представляет собой интегратор, на вход которого подано опорное напряжение U_{ref}. Работа схемы заключается теперь в последовательном вычитании зарядов ΔCU_{ref} из интегрального заряда, накопленного в конденсаторе C_2. Этот процесс продолжается до тех пор, пока выходное напряжение U_0 не достигнет нулевого уровня. Если процесс разряда конденсатора C_2 был повторен m раз, то полный заряд, который был вычтен из накопленного на C_2, составит:

$$Qe = m\,\Delta CU_{ref} \qquad (2.6)$$

Из равенства зарядов $Q_a = Q_e$ получим величину измеренного напряжения:

$$U_i = (m / 2^n)(\Delta C / C_1)\,U_{ref} = (2^{-1}m_1 + 2^{-2}m_2 + \ldots + 2^{-M}m_M)\,2^{-n}U_{Fs}, \qquad (2.7)$$

где $U_{FS} = 2^M U_{ref} \Delta C / C_1$ — напряжение, соответствующее полному диапазону преобразования при точности *M* разрядов. Полученный результат имеет вид числа с «плавающей запятой», показатель которого равен *n* и мантисса имеет *m* знаков.

Сигма-дельта-преобразователи. В общем случае сигма-дельта-преобразователи состоят из двух частей: сигма-дельта-модулятора и цифрового фильтра с делителем. Работа модулятора заключается в дискретизации входного сигнала с частотой, многократно превышающей частоту Найквиста. На выходе модулятора получается сигнал с модулированной скважностью импульсов (п. 2.2.6).

Принципиальная схема сигма-дельта-модулятора приведена на рис. 1.2.16. Такая схема может входить в качестве составной части в сигма-дельта-АЦП. В схему модулятора входят интегратор на переключаемых конденсаторах, в котором исключено влияние паразитных емкостей, и компаратор. Период переключения *T'* будет состоять из последовательных периодов интегрирования, которые будем обозначать символом *IP*. Поэтому напряжение на выходе интегратора можно записать в виде $U_a(i, j)$, где *i* — период интегрирования, а *j* — номер фазы управляющих сигналов (*j* = 1, 2, 3, 4).

Работа схемы во время i-го периода интегрирования происходит следующим образом. В фазе 1 ключи S_1 и S_4 замкнуты, в результате чего конденсатор *bC* заряжен до напряжения U_i. В фазе 2 замкнуты ключи S_3 и S_5, благодаря чему заряд с конденсатора *bC* будет перенесен на конденсатор *C*. Напряжение на выходе интегратора определяется следующим образом:

$$U_a(i, 2) = U_a(i, 1) + bU_i. \quad (2.8)$$

Обозначим состояние на выходе компаратора через *a*, причем:

$$a_i = \begin{cases} 1, \text{если } U_a(i,2) > 0 \\ -1, \text{если } U_a(i,2) < 0 \end{cases} \quad (2.9)$$

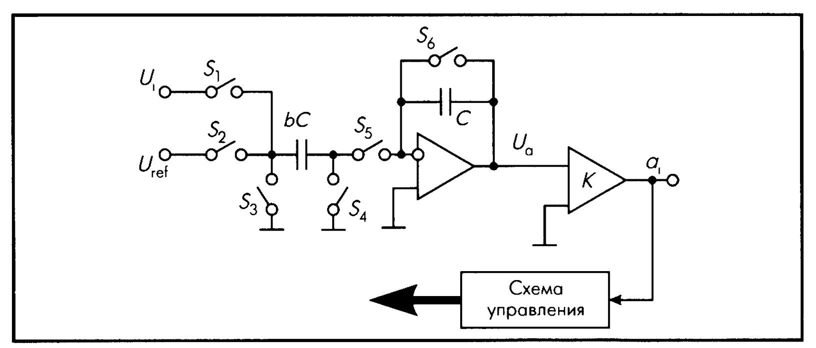


Рис. 1.2.16. Принципиальная схема сигма-дельта-модулятора

В фазе 3 замкнуты ключи S_3 и S_4, если $a_i = 1$, или S_2 и S_4, если $a_i = -1$.

В фазе 4 будут замкнуты ключи S_2 и S_5, если $a_i = 1$, или S_3 и S_5, если $a_i = -1$. Напряжение U_o тогда будет:

$$U_o(i, 4) = U_o(i, i) + b(U_i - a_i U_{ref}), \tag{2.10}$$

где U_{ref} — опорное напряжение.

Рассмотрим теперь последовательность, состоящую из периодов интегрирования $IP_i (I \le i \le p)$. Пусть перед началом первого периода напряжение $U_o = 0$, а напряжение U_i занесено в устройство выборки-хранения. Во время IP_1 компаратор будет сравнивать с нулем напряжение $U_o(I, 2) = bU_i$, откуда определяется состояние на выходе компаратора:

$$a_1 = \begin{cases} 1, \text{ если } U_i > 0 \\ -1, \text{ если } U_i < 0 . \end{cases} \tag{2.11}$$

Во время IP_2 с нулем будет сравниваться напряжение $U_0(2, 2) = b(2U_i - a_1 U_{ref})$, откуда получим:

$$a_1 = \begin{cases} 1, \text{ если } U_i > 0{,}5a_1U_{ref} \\ -1, \text{ если } U_i < 0{,}5a_1U_{ref} \end{cases} \tag{2.12}$$

Наконец, в фазе IP_p с нулем будет сравниваться напряжение $U_0(p, 2)$, что даст:

$$a_1 = \begin{cases} 1, \text{ если } U_i > \dfrac{\sum_{i=1}^{p-1} a_i U_{ref}}{p} \\ -1, \text{ если } U_i < \dfrac{\sum_{i=1}^{p-1} a_i U_{ref}}{p} . \end{cases} \tag{2.13}$$

Выходной код N_1 получим с помощью реверсивного счетчика в соответствии со следующим выражением:

$$N_1 = \sum_{i=1}^{p} a_i + \text{sign}[U_0(p, 4)]. \tag{2.14}$$

Как видно из приведенных рассуждений, разрядность преобразователя зависит от количества периодов интегрирования. Например, для получения разрядности 16 бит необходимо осуществить $p = 32\,768$ периодов интегрирования.

Быстродействующие параллельные АЦП. Наиболее быстродействующими являются АЦП, использующие быстродействующий стробирующий компаратор с последующим запоминанием (АЦП флэш-типа). Принцип действия одношагового флэш-АЦП основан на сравнении измеряемого напряжения с последовательными уровнями квантования. Такие преобразователи состоят из компараторов, смещаемых с помощью резистивного делителя, который питается от источника опорного напряжения. Резисторы подобраны таким образом, чтобы пороги соседних компараторов отличались на величину, соответствующую наименьшему значащему разряду. Для получения n-разрядного преобразования требуется 2^{n-1} уровней квантования. Таким образом, для 12-разрядного преобразователя необходимо 4095 компараторов, что является главным ограничением этого метода преобразования.

Значительно более пригодными для практической реализации являются двухшаговые флэш-АЦП, в которых процесс преобразования осуществляется в два этапа. Благодаря этому значительно сокращается количество компараторов. Например, для 12-разрядного преобразователя требуется только 63 компаратора. Уменьшение числа компараторов достигается, однако, ценой потери быстродействия. В описанном преобразователе быстродействие снижается на 50 %. Для получения напряжений, соответствующих уровням квантования, в классических схемах двухшаговых флэш-АЦП используется резистивный делитель. Чтобы обеспечить низкие дифференциальную и интегральную нелинейности, отбор резисторов должен быть выполнен с точностью около 0.02 %. Это означает, что резисторы должны подгоняться, а такой процесс трудоемок и дорог. Другим ограничением классических двухшаговых флэш-АЦП является увеличение времени преобразования на время предустановки компараторов, осуществляемой при каждой операции сравнения.

Схемотехника переключаемых конденсаторов позволяет преодолеть указанные ограничения классических двухшаговых флэш-АЦП. Рассмотрим устройство, блок-схема которого приведена на рис. 1.2.17.

В этом преобразователе преобразование осуществляется как в классическом случае. Измеряемое напряжение подается на вход устройства выборки-хранения и оттуда через ключ S_2 на матрицу компараторов. Для первого сравнения используется 65 компараторов с автоматической предустановкой. Дискретизированное входное напряжение сравнивается с 64 опорными напряжениями. Результат сравнения поступает в шифратор, где определяются шесть старших разрядов двоичного кода. На втором шаге преобразования определяются значения шести младших разрядов кода. Для этого используется усилитель на переключаемых конденсаторах, который определяет погрешность квантования для первого шага и умножает ее на 64. Чтобы определить погрешность квантования, на вход этого усилителя последовательно через ключ S_1 подаются отсчет входного сигнала и затем напряжение, соответствующее определенным ранее шести старшим

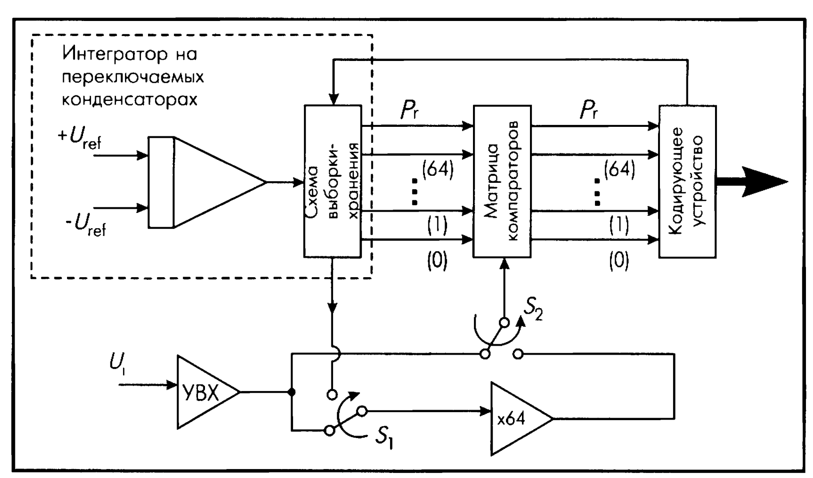


Рис. 1.2.17. Схема двушагового АЦП на переключаемых конденсаторах

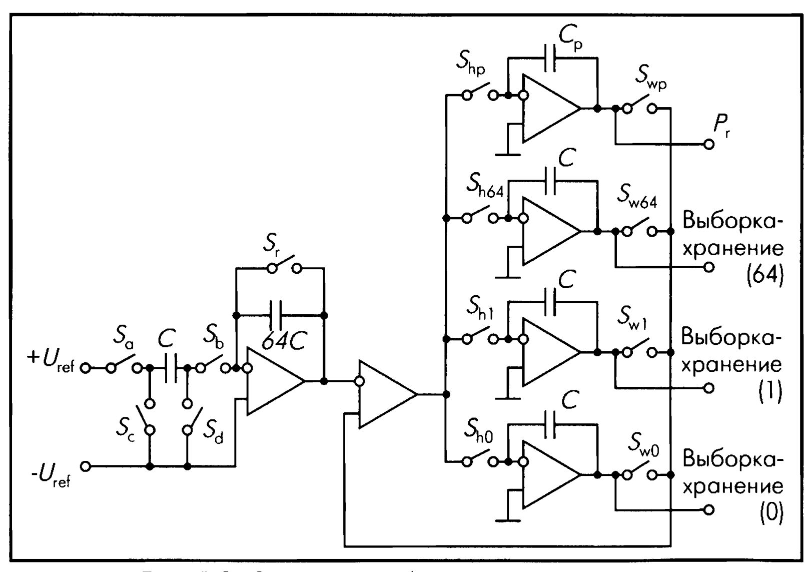


Рис. 1.2.18. Схема выработки уровней квантования

разрядам. Выход усилителя с переключаемыми конденсаторами затем через ключ S_1 подключается к матрице компараторов. После завершения операции сравнения шифратор вырабатывает шесть младших разрядов выходного кода.

Вместо резистивного делителя для выработки уровней квантования применяется схема с переключаемыми конденсаторами, приведенная на рис. 1.2.18.

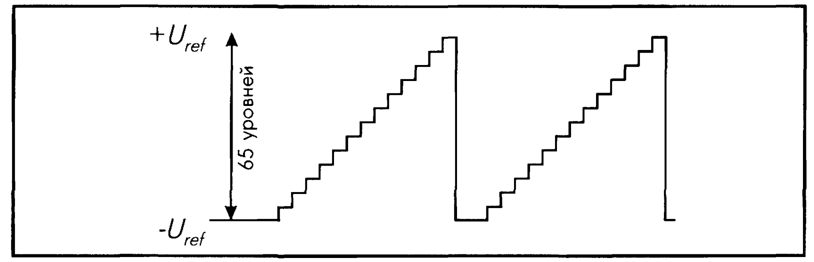


Рис. 1.2.19. Напряжение на выходе интегратора

В рассматриваемом случае для этого используется интегратор на переключаемых конденсаторах и 65 схем выборки-хранения на ОУ. Постоянство разности между соседними уровнями квантования обеспечивается тем, что для их получения используется интегрирование одного и того же опорного напряжения U_{ref}. В результате на выходе интегратора генерируется ступенчато изменяющееся напряжение с одинаковыми ступенями, что и показано на рис. 1.2.19. Таким образом, интегратор на переключаемых конденсаторах генерирует последовательно 65 уровней напряжения, которые запоминаются в устройствах выборки-хранения, образующих 65 каналов. Канал P_r используется для предустановки компараторов. Он позволяет организовать процесс преобразования так, чтобы время, которое требуется для предустановки компараторов, не увеличивало бы общее время преобразования.

1.2.3. Перечень ведущих фирм – производителей ИМС АЦП

Таблица 1.2.3

Фирма-производитель	Сайт фирмы	Примечания
Acquisition Logic	http://www. acquisitionlogic.com	Системы на одном кристалле с PCI-интерфейсом, быстродействующие АЦП
Analog Devices	http://www.analog.com	АЦП для звукотехники, быстродействующие АЦП, Сигма-Дельта АЦП, конвертеры напряжение/частота
Cirrus Logic	http://www.cirrus.com	Сигма-Дельта АЦП со встроенным усилителем, АЦП с функцией самокалибровки
Linear	http://www.linear.com	24-битные 8-/16-канальные Сигма-Дельта АЦП
Technology	http://www.maxim-ic.com	АЦП для ПЗС-матриц, АЦП с двойным интегрированием, Сигма-Дельта АЦП
Maxim	http://www.microchip.com	Конвертеры напряжение/частота, АЦП с двойным интегрированием, Сигма-Дельта АЦП
Microchip	http://www.national.com	Конвертеры напряжение/частота, быстродействующие АЦП
National Semiconductor	http://www. semiconductors.com	АЦП для ПЗС-матриц, АЦП для звукотехники, быстродействующие АЦП
Philips	http://www.philips.com	АЦП для звукотехники, быстродействующие АЦП,
Texas Instruments	http://www.ti.com	24-битные АЦП

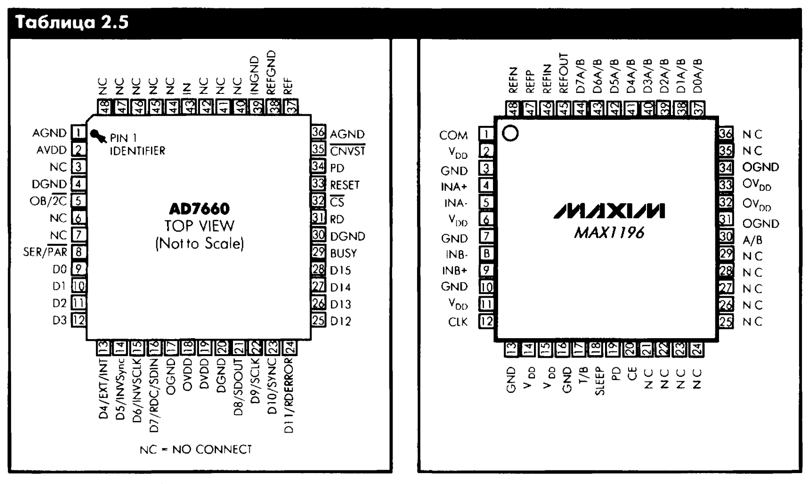
1.2.4. Обозначения контактов ИМС АЦП, применяемых производителями при составлении документации

В табл. 2.4 приведены примеры обозначений контактов ИМС АЦП разных производителей, отличающиеся названием, однако исполняющие одни и те же функции. В зависимости от производителя и модели АЦП можно встретить специфические названия контактов, обусловленные особенностями построения ИМС, которые не входят в эту таблицу. Здесь введены следующие обозначения:

AD — Analog Devices
CL — Cirrus Logic
LT — Linear Technology
MA — Maxim
MC — Microchip
NS — National Semiconductors
Ph — Philips
TI — Texas Instruments»

Примеры описания контактов ИМС ЦАП в документации

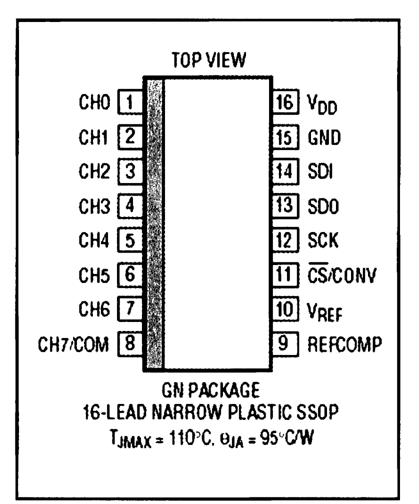
Таблица 2.5



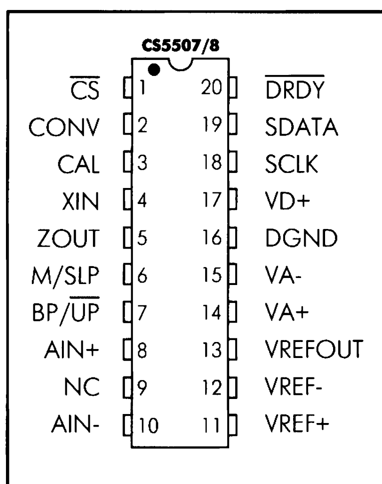
Analog Devices **Maxim**

Таблица 1.2.4

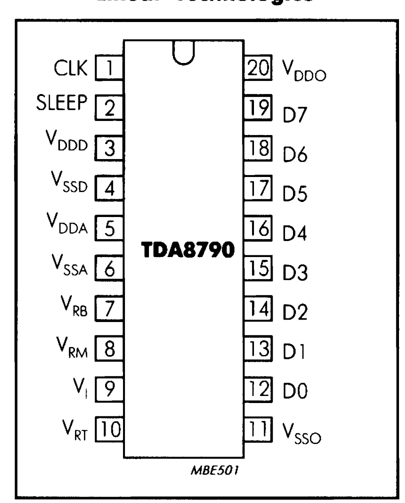
Обозначение								Функция
AD	**CL**	**LT**	**MA**	**MC**	**NS**	**PH**	**TI**	
AGND	VA-	GND	GND	V_{SS}	AGND	V_{SSA}	AGND	«Земля» для аналоговой части АЦП
AVDD	VA+	V_{DD}	V_{DD}	V_{DD}	V_A, V_{CC}	V_{DDA}	AV_{DD}	«Плюс» питания аналоговой части АЦП
AVSS								«Минус» питания аналоговой части АЦП
DGND	DGND				DGND	V_{SSD}	DGND	«Земля» для цифровой части АЦП
DVDD, DVCC	VD+					V_{DDD}	DVDD	Питание цифровой части АЦП
VIN, IN					V_{IN}	V_I		Вход аналогового сигнала
INGND					V_{IN} GND			«Земля» для аналогового сигнала
AIN+	AIN+	$A_{IN}+$	IN+	IN+	$V_{IN}+$	V_I+	VI_N+	(+) Аналогового сигнала для дифференциального входа
AIN−	AIN−	AI_N-	IN−	IN−	$V_{IN}-$	V_I-	$V_{IN}-$	(−) Аналогового сигнала для дифференциального входа
REF	VREF+	SENSE, V_{REF}	REFP	V_{REF}	V_{RT}, V_{REF} IN	V_{RT}, V_{RP}	VREFP	Вход опорного напряжения
REF	VREF-		REFN		V_{RB}	V_{RB}, V_{RN}	VREFN	«Земля» для опорного напряжения
GND								
$\overline{CS}$	$\overline{CS}$	$\overline{OE}$	$\overline{OE}$		$\overline{CS}$			Вход сигнала, разрешающего передачу данных
$\overline{RD}$	CONV	SHDN, $\overline{CS}$	SLEEP	SHDN, $\overline{CS}$		SLEEP		Вход сигнала, разрешающего преобразование
SER/$\overline{PAR}$								Переключение режима вывода данных
SDOUT	SDATA	SDO	SDATA	D_{OUT}	DO	SDO	SDO, SDA	Выход последовательного интерфейса
SCLK	SCLK	SCK	CLK	CLK, SCK	CLK	CLK	CLK	Вход/выход для синхронизации последовательного интерфейса
D#	D#	D#	D#	D#, DI#	D#, B#	D# DI#	D#, DI#	Выход данных параллельного интерфейса
								(# обозначает номер разряда)



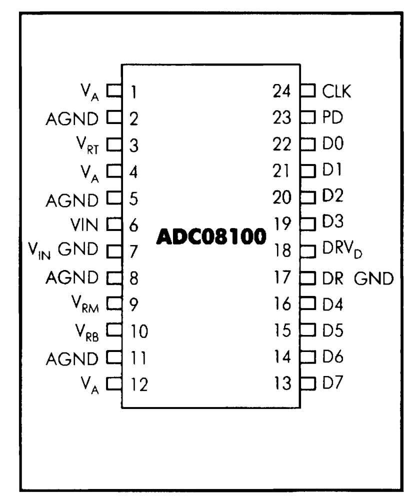
Linear Technologies



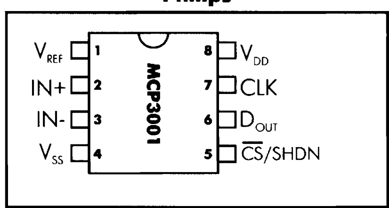
Cirrus Logic



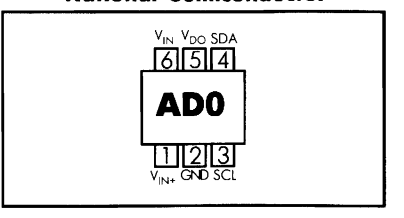
Philips



National Semiconductor



Microchip



Texas Instruments

1.2.5. Типовые схемы включения ИМС АЦП

+10V Analog Supply
0.1 µF
17 (2) 20
0.1 µF
+5V Analog Supply
VA+ VD+
5 XIN
Optional Clock Source
Calibration Control
4 CAL
6 XOUT
32 768kHz
Bipolar/ Unipolar Input Select
8 BP/$\overline{UP}$
7 M/SLP
Sleep Mode Control and Output Mode Select
CS5505/6
9 AIN1+
Analog* Signal Sources
10 AIN2+
12 AIN3+
13 AIN4+
21 SCLK
Serial Data Interface
22 SDATA
Signal Gorund
11 AIN-
*Unused analog inputs should be tied to AIN-
23 $\overline{DRDY}$
2 $\overline{CS}$
Control Logic
1 A0
24 A1
Voltage Reference + −
(1)
14 VREF+
15 VREF-
3 CONV
16 VREFOUT
19 DGND
VA-
18
Unused Logic inputs must be connected to VD+ or DGND

Note (1) To use the internal 2.5 volt reference see Figure 6
(2) VD+ must never exceed VA+. Example power-up conditions

Рис. 1.2.20. Схема включения многоканального АЦП с внешним опорным напряжением (Cirrus Logic)

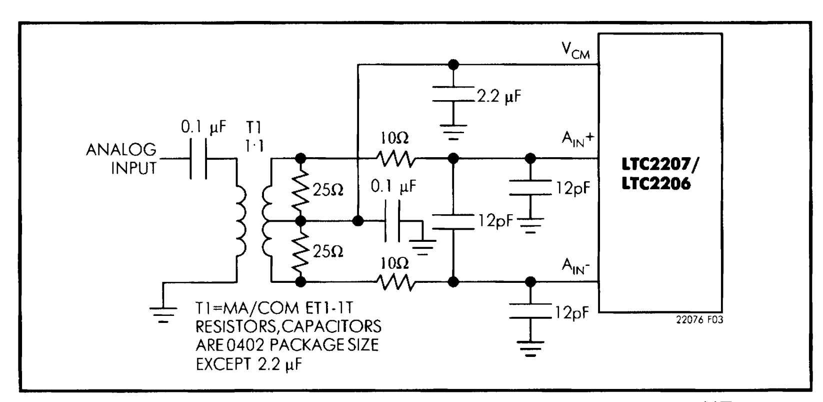


Рис. 1.2.21. Схема включения дифференциального входа АЦП с трансформаторной связью (Linear Technology)

Рис. 1.2.22. Бестрансформаторная схема включения дифференциального входа АЦП (Maxim)

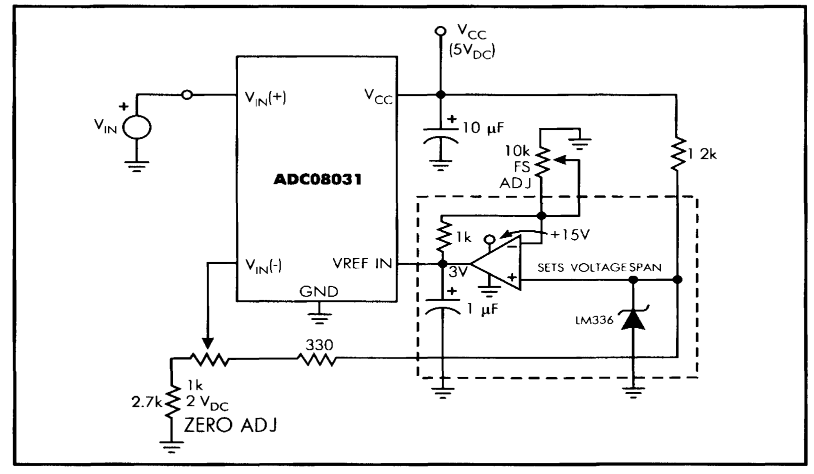


Рис. 1.2.23. Установка ненулевого значения входного напряжения для нижнего конца шкалы (Linear Technology)

1.3. БИС ЦИФРОВЫХ СИНТЕЗАТОРОВ ЧАСТОТ

1.3.1. Характеристики и классификация синтезаторов частот

1.3.1.1. Характеристика синтезаторов частот

Синтезаторы частот (СЧ) являются устройствами для формирования (синтеза) дискретной сетки гетеродинных частот из одной эталонной частоты в радиотехнических устройствах. Синтезаторы частот не только формируют эту сетку частот, но и выделяют колебания любой из них, не ухудшая ее стабильности, которая определяется *эталонным генератором*. Для задания алгоритма работы синтезатора частот используется система управления, подключаемая к синтезатору (рис. 1.3.1).

Наиболее распространенной областью применения синтезаторов частот являются системы беспроводной связи, где полоса перестройки не превышает 10 %. Кроме того, СЧ широко применяются при построении систем кабельной связи, медицинской аппаратуры, ЭВМ, информационных сетей, устройств ЦОС и т.д..

1.3.1.2. Классификация синтезаторов

Различают синтезаторы частот прямого и косвенного действия. В синтезаторах частот прямого действия (*Direct Digital Freguency Synthesizer*) используются только умножители, делители и смесители частоты, а также пассивные фильтры. Синтезаторы частот косвенного действия (*Indirect Digital Freguency Synthesizer*) могут содержать также системы автоподстройки частоты и компенсационные генераторы.

Сегодня большинство синтезаторов частот строится именно на основе систем ФАПЧ (*Digital PLL Freguency Synthesizer* — цифровой синтезатор частот на базе ФАПЧ). Основной причиной этого является то, что на основе интегральных микросхем возможна реализация всех, либо почти всех узлов такого синтезатора частот, поэтому отпадает необходимость в применении

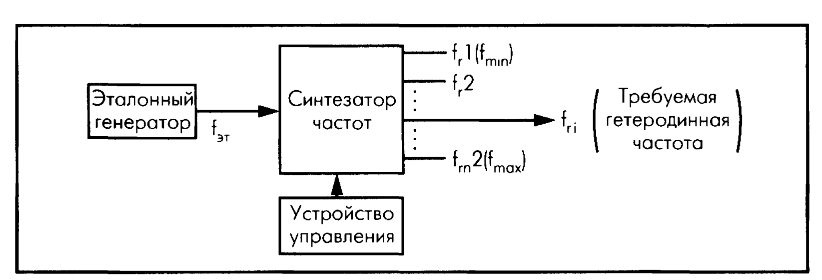


Рис. 1.3.1. Функциональная схема включения ЭГ и СЧ

аналоговых полосовых фильтров, которые обычно весьма громоздки и сложны. Синтезаторы частот на основе систем ФАПЧ обладают, как правило, таким недостатком, как большее, чем у синтезаторов прямого действия перестройки с частоты на частоту, однако это редко имеет существенное значение. В случаях, когда этот недостаток все-таки является важным, используют различные методы борьбы с ним, например, прибегают к замене *фазового* детектора на *частотно-фазовый*.

1.3.1.3. Компоненты синтезаторов частоты

Делитель частоты — это устройство для уменьшения в целое число раз (коэффициент деления) частоты подводимых к нему периодических электрических колебаний.

Делитель с переменным коэффициентом деления (ДПКД) — это делитель частоты, коэффициент которого может изменяться в некоторых пределах, причем управление этим процессом осуществляется в реальном времени через сигнальную шину. Чем выше разрядность ДПКД, тем больше значений коэффициента деления он может обеспечивать.

Предделитель с фиксированным коэффициентом деления — быстродействующий ВЧ делитель частоты, используемый в сочетании с низкочастотным ДПКД. Применяется, когда реализация ДПКД с заданным большим коэффициентом деления и достаточным быстродействием в высокочастотном диапазоне является сложной задачей, решение которой нецелесообразно. Отрицательным следствием применения такого предделителя является то, что шаг сетки частот синтезатора увеличивается в m раз, где m — коэффициент деления предделителя.

Внутренний предделитель (ВПД) с переменным коэффициентом деления — быстродействующий ВЧ делитель частоты, коэффициент деления которого может принимать два смежных значения p и $(p + 1)$ с помощью подачи управляющего импульса с устройства управления. Применяется в случае, когда увеличение шага сетки частот (см. выше) недопустимо. Обычно применяются следующие коэффициенты деления $\sqrt{p/(p+1)}$: 4/5, 8/9, 10/11, 16/17, 31/32, 32/33, 64/65, 128/129. Недостатком такого метода является усложнение (и, следовательно, повышение стоимости) схемы синтезатора.

ФАПЧ (PLL — Phase Lock Loop — петля фазовой автоподстройки) — система фазовой автоподстройки частоты. Так называют систему, содержащую генератор колебаний, полная фаза которого автоматически подстраивается под полную фазу входного колебания, либо отклоняется от нее по требуемому закону, задаваемому внешним управляющим сигналом.

Фазовый детектор (ФД, PD — Phase Detector) — устройство, обнаруживающее фазовый сдвиг между двумя сигналами. ФД СЧ предназначен для подстройки выходной частоты генератора, управляемого напряжением (ГУН) после деления на программируемом делителе, под эталонную частоту. Применяются различные схемы ФД, имеющие разную форму характеристики: *синусоидальную, пилообразную, трапецеидальную* и т.д. ФД также называют фазовым дискриминатором.

Частотно-фазовый детектор (ЧФД) — устройство, аналогичное ФД по назначению. Применяется, чтобы сократить длительность процесса установления частоты. Их характеристика имеет больший, нежели у ФД, наклон на участке вблизи $\varphi = 0$, что способствует более быстрому приближению частоты подстраиваемого генератора к эталонной и, соответственно, сокращает длительность переходного процесса.

Импульсно-фазовый детектор (ИФД) — устройство, обнаруживающее фазовый сдвиг между двумя сигналами, имеющими форму коротких импульсов. Используется в импульсных системах ФАПЧ в составе синтезаторов. Выходное напряжение ИФД имеет ступенчатую форму с длительностью ступеньки, равной периоду следования импульсов на входе, куда поступает сигнал с ГУН. Размах и форма характеристики ИФД определяются видом сигнала, поступающего с опорного генератора.

Схема подкачки (поддержания) заряда — в англоязычной литературе называется *Charge Pump* (CP). В русскоязычной литературе иногда не переводится. Применяется для перехода от цифрового сигнала, поступающего с цифрового детектора, к аналоговому сигналу, способному управлять ГУН. Принцип действия схож с принципом действия ЦАП.

1.3.1.4. Параметры синтезаторов

Возможные коэффициенты деления p/(p + 1) — коэффициенты деления, которые могут обеспечивать внутренний предделитель (если таковой есть).

Возможные коэффициенты деления N — коэффициенты деления, которые могут обеспечивать ДПКД.

Диапазон гетеродинных частот — диапазон частот, в пределах которого синтезатор частот способен формировать сетку гетеродинных частот.

Максимальные значения входных частот (f_r, f_{in}) — максимальные частоты сигналов, поступающих с выхода опорного генератора на вход синтезатора (f_r) и с выхода ГУН в системе ФАПЧ на вход предделителя частоты (f_{in}).

Потребляемый ток — ток, потребляемый СЧ в процессе работы. Существуют микросхемы, на которых реализовано больше одного синтезатора частот. Их потребляемый ток обычно указывается для случая, когда работают все СЧ.

Рабочее напряжение — напряжение питания, при котором работает данный синтезатор частот. Некоторые производители указывают диапазон рабочих напряжений. Отдельные модели СЧ (например, AD4193) могут использовать одновременно два различных уровня напряжения. Также некоторые синтезаторы (например, TRF3750) могут использовать различные уровни питания в зависимости от того, какой удобнее пользователю.

Разрешающая способность — шаг сетки частот, формируемой синтезатором. Этот параметр производителем указывается не всегда, однако может быть рассчитан, исходя из диапазона гетеродинных частот и возможных коэффициентов деления.

Уровень фазового шума — величина, показывающая, как быстро убывает мощность со смещением частоты. Она характеризует крутизну огибающей спектра выходного сигнала, если на вход СЧ подается немодулированный синусоидальный сигнал. Например, если на частоте, отличающейся от частоты несущей на 1 кГц, мощность сигнала в полосе 1 Гц на 60 дБ меньше мощности на самой несущей в такой же полосе, то говорят, что фазовый шум такого устройства «–60 *dBc/Hz @ 1 kHz*». Термин *dBc* означает, что мощность измеряется в дБ относительно мощности на центральной частоте. Уровень мощности на центральной частоте, равно как и на смещенной частоте, нормирован для полосы пропускания 1 Гц. В зависимости от производителя и назначения синтезатора частоты уровень фазового шума может указываться для разных значений смещения частоты.

Интерфейс управления — классификационный параметр, характеризующий интерфейс, через который подключается управляющее устройство.

1.3.2. Основные принципы построения и структурные схемы

1.3.2.1. СЧ прямого синтеза

Основным достоинством синтезаторов прямого синтеза является более высокое быстродействие в силу того, что в них практически отсутствуют переходные процессы. Кроме того, такие синтезаторы обладают значительно меньшей стоимостью, что часто является далеко не последним по важности показателем.

Рассмотрим принципы прямого цифрового синтеза. Классическая схема синтезатора такого типа (рис. 1.3.2) была впервые представлена в 1971 году. Основным узлом синтезатора является накапливающий сумматор, работающий как генератор адреса для адресации ПЗУ, содержащего отсчеты синтезируемой функции.

Количество разрядов адресного регистра обращения к таблице синусов может превышать величину $log_2 M$ (здесь M — размер таблицы синусов),

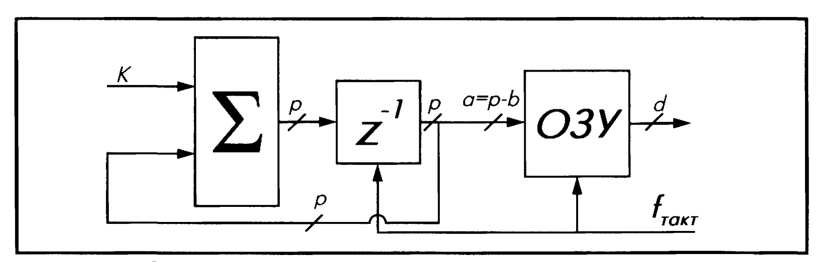


Рис. 1.3.2. Структурная схема классического цифрового синтезатора прямого синтеза частот

которая необходима для вызова любого отсчета таблицы. Дело в том, что наименьшее приращение адреса определяет минимально возможное значение синтезируемой частоты. Например, таблица синусов может содержать $M = 1024$ отсчета, тогда как регистр адреса может иметь 20 разрядов для обеспечения требуемого разрешения по частоте. Это означает, что если приращение адреса равно 1, то 1024 раза подряд будет выбираться один и тот же отсчет синуса, после чего произойдет переход к следующему отсчету и т.д. При таких малых приращениях адреса получаемая цифровая синусоида будет очень неточной, а возникающие при этом искажения в спектре будет трудно устранить с помощью фильтра нижних частот.

У таких синтезаторов частот разрешение по частоте определяется как $f_R = f_0/2^p$, где p — разрядность сумматора. Таким образом, для улучшения разрешения по частоте и увеличения числа синтезируемых частот необходимо увеличение разрядности накапливающего сумматора. Однако если использовать все разряды сумматора для адресации ПЗУ, то это потребует увеличения объема ПЗУ в степенной зависимости от p. Из-за этого для адресации ПЗУ используют $a < p$ разрядов сумматора. Величина $b = p - a$ называется числом бит округления. Как правило, реальные синтезаторы имеют следующие параметры: p = 21...36 бит; a = 12...15 бит; d = 8...12 бит.

1.3.2.2. Синтезаторы частот косвенного синтеза

Синтезаторы частот косвенного действия выполняются, как правило, на базе интегральной системы ФАПЧ. Рассмотрим структурную схему синтезатора частот, используемую в диапазонах УКВ и УВЧ (рис. 1.3.3). Пунктиром обведены элементы, которые в большинстве случаев входят в состав БИС цифрового синтезатора с делителем частоты с переменным коэффициентом деления (ДПКД). Следует отметить, что фазовый дискриминатор, указанный

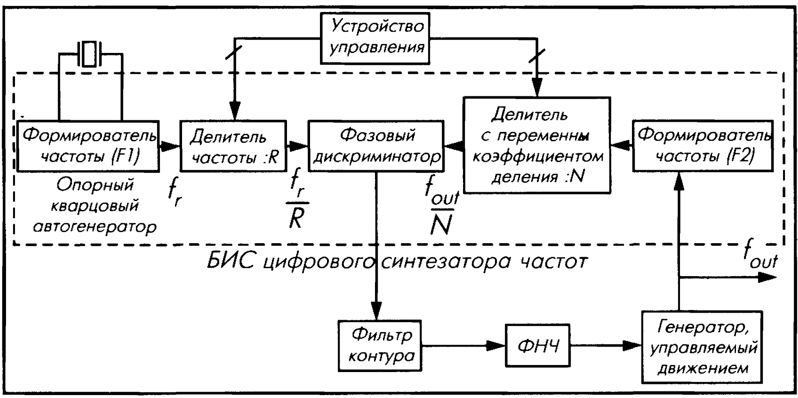


Рис. 1.3.3. Структурная схема цифрового синтезатора частот с ДПКД

на схеме, может быть выполнен в виде аналого-цифрового либо чисто цифрового устройства. Обычно это импульсно-фазовый или частотно-фазовый детектор. Выбор осуществляется, исходя из специфики требований, предъявляемых к разрабатываемому синтезатору.

Фазовый детектор (ФД) входит в состав синтезаторов частот в качестве элемента системы ФАПЧ. Если принять модель ФД в виде перемножителя мгновенных значений входных сигналов, а фильтрацию высокочастотных компонент в выходном сигнале считать идеальной, то выходной сигнал $e_{ФД}$ определяется следующими соотношениями:

$$u_1(t) = U_1 \sin(2\pi f_{cp} + \varphi_1),$$

$$u_2(t) = U_2 \sin(2\pi f_{cp} + \varphi_2),. \qquad (3.1)$$

$$e_{ФД} = \frac{1}{2} k U_1 U_2 F(\varphi).$$

Здесь $u_1(t)$ и $u_2(t)$ — входные сигналы перемножителя (они равноправны, а на рис. 1.3.3 им соответствуют f_r/R и f_{out}/N); φ_1 и φ_2 — их фазы; $k = 1/B$ — размерный коэффициент пропорциональности (постоянная перемножения); $\varphi = \varphi_2 - \varphi_1$ — разность фаз входных сигналов; $f_{ср}$ — средняя частота; $F(\varphi)$ — форма характеристики ФД, в данном случае $sin\ \varphi$. Эта характеристика — периодическая по фазе, а ее размах пропорционален амплитудам сравниваемых сигналов.

Переходной процесс в системе ФАПЧ имеет два этапа:

1) *неустановившийся режим.* Частота сигнала подстраиваемого генератора (прошедшая через делитель :N) приближается к частоте опорного генератора (прошедшей через делитель :R), а разность фаз изменяется на несколько периодов;

2) *установившийся режим.* Разность фаз изменяется в пределах участка характеристики ФД с положительным наклоном и в итоге устанавливается на постоянном уровне, зависящем от конструкции детектора.

1.3.2.3. Частотно-фазовые детекторы

Применяются различные схемы ФД, соответственно имеющие разные характеристики: синусоидальную, пилообразную, трапецеидальную и т.д. Однако порой бывает сложно создать фазовый детектор, обладающий достаточным быстродействием. Чтобы сократить длительность процесса установления частоты, применяются частотно-фазовые детекторы (ЧФД). Их характеристика имеет больший наклон на участке вблизи $\varphi = 0$, что способствует более быстрому приближению частоты подстраиваемого генерато-

ра к эталонной и, соответственно, сокращает длительность переходного процесса.

Как видно из названия, ЧФД реагируют не только на разность фаз, но и на разность частот сигналов, поступающих на его входы. Однако в различных модификациях ЧФД по-разному организован съем выходного сигнала. При использовании ЧФД с одним выходом его выходная цепь может находиться в трех устойчивых состояниях:

- низкого уровня;
- высокого уровня;
- высокий выходной импеданс (отключение от схемы).

В такой схеме положительные импульсы возникают в случае, когда $f_1 < f_2$, а также при запаздывании первой последовательности относительно второй. Соответственно, при $f_1 > f_2$ и при опережении первой последовательностью вторую возникают отрицательные импульсы. В состоянии синхронизма ($f_1 = f_2$, $\varphi_1 = \varphi_2$) выход ЧФД отключается от остальной части схемы, и лишь на очень коротких временных интервалах (соизмеримых с фронтами сигналов в цифровой части ЧФД) наблюдаются всплески в виде коротких импульсов как положительной, так и отрицательной полярности. В этих импульсах содержится информация о текущей разности фаз последовательностей f_1 и f_2, которая после дополнительной фильтрации используется для подстройки частот и фазы ГУН.

В схемах ЧФД с двумя выходами на одном из них импульсы появляются при $f_1 < f_2$ или при отставании первой последовательности от второй (выход φ_2), при этом на другом выходе состояние остается практически неизменным (наблюдаются лишь короткие «пички», не оказывающие заметного влияния на работу схемы). В противоположной ситуации импульсы появляются на втором выходе ЧФД и исчезают на первом.

В классических схемах ЧФД в области малых фазовых рассогласований ($\varphi \approx 0$) наблюдается так называемый эффект «мертвой зоны» — резкого снижения коэффициента передачи дискриминатора и, как следствие этого, нарушение линейности характеристики детектора и системы ФАПЧ в целом. Этот эффект приводит к нежелательным последствиям, например: искажениям сигнала при его модуляции в кольце ФАПЧ, снижению фильтрующих свойств системы для малых возмущений частоты (фазы) со стороны ГУН и т.п. В последнее время эффект «мертвой зоны» удалось практически ликвидировать и такие модификации ЧФД называют линеаризованными ЧФД.

1.3.2.4. Импульсно-фазовые детекторы

В импульсных системах ФАПЧ в составе синтезаторов используются импульсно-фазовые детекторы, в которых один или оба сравниваемых сигнала имеют форму коротких импульсов. Выходное напряжение ИФД имеет сту-

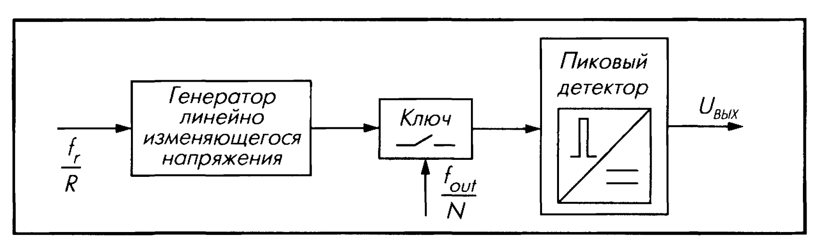


Рис. 1.3.4. Структурная схема ИФД

пенчатую форму с длительностью ступеньки, равной периоду следования импульсов на входе, куда поступает сигнал с ГУН. Размах и форма характеристики ИФД определяются видом сигнала, поступающего с опорного генератора. Структурная схема импульсно-фазового детектора приведена на рис. 1.3.4.

Рассмотрим принцип работы данного ИФД. На вход генератора линейно изменяющегося напряжения (ГЛИН) поступают импульсы с выхода делителя *:R*. Эти импульсы запускают ГЛИН, генерирующий пилообразный сигнал. Таким образом, на выходе ГЛИН образуется «пила» с периодом, равным периоду поступления импульсов с делителя *:R*. С ДПКД поступают импульсы с частотой f_{out}/N, открывающие ключ на период, равный (в идеале) длительности такого импульса. Таким образом, на выходе ключа образуется импульсный сигнал с частотой следования импульсов f_{out}/N, причем амплитуда этого сигнала прямо пропорциональна промежутку между поступлением импульса с делителя *:R* и поступлением импульса с ДПКД. Пиковый детектор реагирует на появление на его входе вышеупомянутого импульса, получаемого с выхода ключа, и начинает генерировать постоянное напряжение, равное (или прямо пропорциональное) амплитуде поступившего импульса. Это напряжение, пройдя через ФНЧ, поступает на ГУН, изменяя его частоту таким образом, чтобы установить режим синхронизма в системе ФАПЧ. Приведенная на рис. 1.3.5 временная диаграмма иллюстрирует процесс работы ИФД.

Вернемся к рассмотрению принципа работы синтезатора частоты, построенного по приведенной выше схеме. В режиме синхронизма на фазовый дискриминатор с делителей *:R* и *:N* поступают колебания одинаковой частоты, т.е. верно следующее соотношение:

$$\frac{f_r}{R} = \frac{f_{out}}{N}. \qquad (3.2)$$

Из этого выражения следует, что:

$$f_{out} = \frac{N}{R} f_r. \qquad (3.3)$$

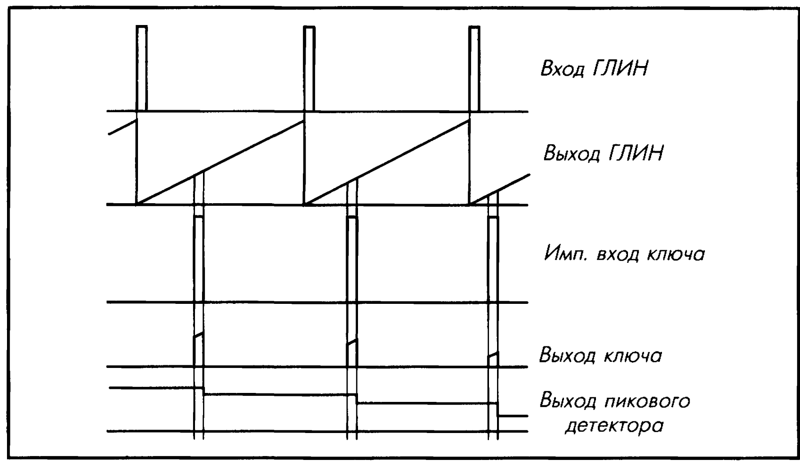


Рис. 1.3.5. Временная диаграмма ИФД

Делитель частоты :*R* применяется для получения заданного шага сетки частот f_r/R. Эта мера используется по причине того, что частоту опорного кварцевого генератора обычно приходится выбирать из ограниченного перечня доступных частот, так как разработка кварцевых высокостабильных резонаторов — весьма дорогой процесс и целесообразно использовать уже существующие разработки.

ДПКД используется для изменения частоты выходных колебаний синтезатора. Требуемое значение *N* определяется следующим образом:

$$N = \frac{f_{out}}{f_r} R . \qquad (3.4)$$

Однако на практике реализация ДПКД с заданным большим коэффициентом деления и достаточным быстродействием в высокочастотном диапазоне является весьма сложной задачей, решение которой нецелесообразно. Вместо этого используют низкочастотный ДПКД с быстродействующим ВЧ предделителем с фиксированным коэффициентом деления (рис. 1.3.6).

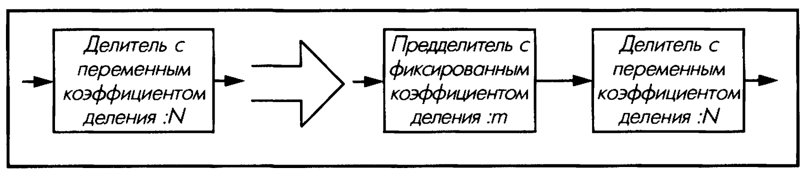


Рис. 1.3.6. Переход от ДПКД к сочетанию ДПКД с предделителем

Генератор, управляемый напряжением (ГУН), обычно является внешним компонентом, хотя иногда допускается его реализация в БИС синтезатора частот.

Отрицательным следствием этой меры является то, что шаг сетки частот синтезатора увеличивается в m раз, т.е.:

$$f_{out} = \frac{f_c}{R} \cdot m \cdot N\,. \qquad (3.5)$$

В случае, когда такая ситуация неприемлема, используется следующий прием: предделитель с фиксированным коэффициентом деления $:m$ заменяется на внутренний предделитель (ВПД) с коэффициентом деления, способным принимать два смежных значения p и $(p + 1)$ с помощью подачи управляющего импульса с устройства управления. Такие делители могут иметь следующие коэффициенты деления:

- $p/(p + 1) = 4/5$;
- $p/(p + 1) = 8/9$;
- $p/(p + 1) = 10/11$;
- $p/(p + 1) = 16/17$;
- $p/(p + 1) = 31/32$;
- $p/(p + 1) = 32/33$;
- $p/(p + 1) = 64/65$;
- $p/(p + 1) = 128/129$.

1.3.2.5. Синтезатор частот с внутренним предделителем

Структурная схема синтезатора частот с ВПД, применяемая в современных цифровых синтезаторах частот косвенного действия, приведена на рис. 1.3.7.

Сигнал с частотой f_{out}, подаваемый на смеситель приемника, в начале цикла ВПД делится на $(p + 1)$. Полученный импульс поступает на ДПКД и на вспомогательный счетчик с объемом $N_{ВСЧ}$. Когда число импульсов, поступивших на счетчик, равняется $N_{ВСЧ}$, счетчик подает команду переключения коэффициента деления предделителя на p и закрывается. Теперь на ДПКД поступают импульсы, полученные в результате деления на p. Когда число этих импульсов становится равным N, ДПКД сбрасывается, коэффициент деления ВПД возвращается к значению $(p + 1)$, а вспомогательный счетчик обнуляется. После этого цикл начинается сначала.

Этот прием позволяет изменить шаг сетки гетеродинных частот, умножая его на коэффициент $N_{общ}$:

$$N_{ОБЩ} = (p+1) \cdot N_{ВСЧ} + p \cdot (N - N_{ВСЧ}) =$$
$$= p \cdot N_{ВСЧ} + N_{ВСЧ} + p \cdot N - p \cdot N_{ВСЧ} = p \cdot N + N_{ВСЧ}\,. \qquad (3.6)$$

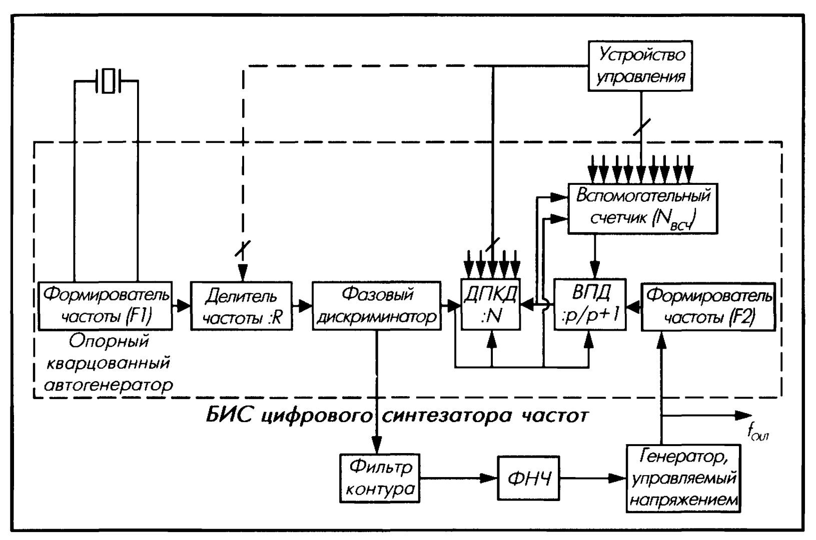


Рис. 1.3.7. Структурная схема цифрового синтезатора частот с ВПД и ДПКД

Таким образом, выходная частота синтезатора определяется соотношением:

$$f_{out} = \frac{f_r}{R} \cdot (p \cdot N + N_{ВСЧ}) = \frac{f_r}{R} \cdot N_{ОБЩ}. \tag{3.7}$$

Отсюда следует, что изменение емкости счетчика $N_{ВСЧ}$ на единицу влечет за собой изменение частоты гетеродина на величину f_r/R, т.е. применение внутреннего предделителя частоты $p/(p + 1)$ позволяет повысить частоту гетеродина без увеличения дискретности шага сетки частот синтезатора.

1.3.3. Примеры СЧ на основе ФАПЧ ведущих фирм-производителей

В табл. 1.3.1. приведены примеры БИС СЧ на основе ФАПЧ, производимых в настоящее время.

Таблица 1.3.1

Наименование	Макс. вх. частота, ОГ fr, МГц	Диапазон гетеродинных частот, МГц	Уровень фазового шума, dBc/Hz	Макс. вх. частота ГУН, Fin, МГц	Возможные коэф. деления, :p/(p+1)
ADF4193	3500	н/д*	-103@1kHz	300	4/5,8/9
ADF4360-8	встр. ОГ	65-400	-103@1kHz	250	
HFS-5040-01	встр. ОГ	до 5040	-95@10kHz -115@100kHz	ГУН встроен	н/д
PLXO-265-01	встр. ОГ	до 265	-120@1kHz -135@10kHz	132,5	н/д
LMX2515 LQ0701	26	633.15-768	-95@25kHz -106@50kHz -115@100kHz	ГУН встроен	4/5,8/9
LMX2515 LQ1321	26	1270.22-1394.95	-95@25kHz -106@50kHz -115@100kHz	ГУН встроен	4/5,8/9
LMX2434	256	1000-5000	-219@1kHz	2500	8/9, 16/17, 32/33
PE3236	100	до 2200	-75@100Hz -85@1kHz	220	10/11
PE3293 (СЧ1)	56	до 1800	н/д	н/д	32/33
PE3293 (СЧ2)		до 550	н/д		16/17
Si4133 (СЧ1)	26	900-1800	-132@1MHz	ГУН	-
Si4133 (СЧ2)		750-1500	-134@1MHz	встроен	
Si4133 (СЧ3)		62.5-1000	-117@100kHz		
Si4136 (СЧ1)	50	2300-2500	-130@1MHz	ГУН	
Si4136 (СЧ2)		2025-2300	-131@1MHz	встроен	
Si4136 (СЧ3)		62.5-1000	-104@100kHz		
TRF3750	200	до 2400	-106@1kHz	200	8/9,16/17,32/33,64/65

* Н/д – «не доступно»

1.3.4. Перечень фирм — производителей СЧ косвенного действия

В табл. 1.3.2. приведен перечень ведущих фирм — производителей СЧ косвенного действия

1.3.5. Обозначения контактов ИМС СЧ косвенного действия, применяемые производителями при составлении документации

В табл. 1.3.3 приведены примеры обозначений контактов ИМС СЧ на основе ФАПЧ, отличающиеся названием у разных производителей, однако исполняющие одни и те же функции. В зависимости от производителя и модели СЧ можно встретить специфические названия контактов, обусловленные особенностями построения ИМС, которые не входят в эту таблицу.

Возможные коэф. деления, :N	Потребляемый ток, Iп, мА	Рабочее напряжение, Vп, В	Корпус	Производитель,
23-255	22	3 5	LFCSP32	Analog Devices
1-16383	5	3.3	LFCSP24	Analog Devices
н/д	150	5	SM16	EM Research
н/д	95	5	SSM28	EM Research
н/д	10-13	2.5-3.3	LLP28	National Semiconductor
н/д	14.2-17.5	2.5-3.3	LLP28	National Semiconductor
24-262151, 48-524287, 96-524287	7	2.25-2.75	TSSOP20 UTCSP20	National Semiconductor
н/д	22	3	PLCC44	Peregrine Semiconductor
1-15841 1-15841	4	2.7-3.3	TSSOP20 PLCC24	Peregrine Semiconductor
до 65535 до 32767 до 16383	18	2.7-3.6	TSSOP24 QFN28	Silicon Labs
до 32767 до 16383 до 16383	25.7	2.7-3.6	TSSOP24 MLP28	Silicon Labs
до 16383	10 или 13	3-3.6 или 4.5-5.5	TSSOP16 QFN20	Texas Instruments

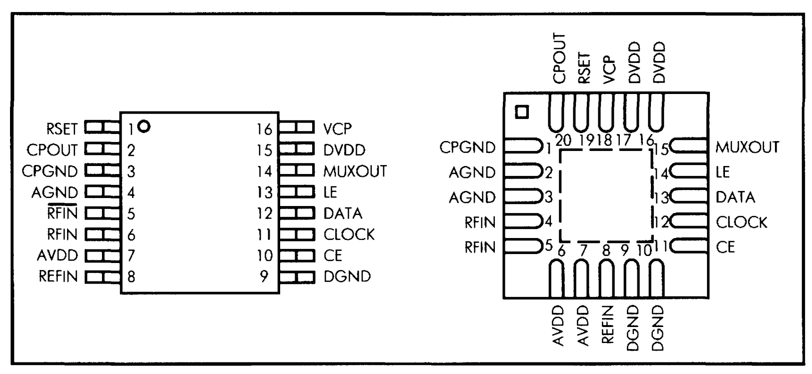


Рис. 1.3.8. Цоколевка TRF3750

Таблица 1.3.2

Производитель	**Характеристика**
Analog Devices (http://www.analogdevices.com/)	Производит синтезаторы частот с ФАПЧ, предназначенные для применения в области беспроводной связи, построения информационных сетей, компактных ЭВМ, диагностического оборудования, спутниковой, а также кабельной связи и т.д. В своём классе эти СЧ обладают одним из лучших сочетаний производительности, технологичности и уровня фазового шума
EM Research (http·//www.emresearch.com/)	Один из ведущих мировых производителей СЧ, ФАПЧ, ОГ и т.п. Предлагает широкий выбор: от дешёвых и массовых до высокопроизводительных заказных устройств
National Semiconductors (http://www.national.com/)	Лидирует в области аналоговых устройств, выпускает СЧ с одной и двумя системами ФАПЧ в качестве высокопроизводительных подсистем для беспроводной связи
«Peregrine Semiconductors» (http·//www.peregrine semiconductor.com/)	Лидер в области высокопроизводительных цифровых радиокомпонент по технологии КМОП. При производстве используют патентованную технологию UltraCMOS™ (кремний на сапфировой подложке)
Silicon Labs (http://www.silabs.com/)	Производитель широкого спектра радиотехнических компонент: аналогово-цифровых микроконтроллеров, цифровых контроллеров питания, приёмопередатчиков сотовой связи, усилителей радиочастоты, FM и спутниковых радиоприёмников, синтезаторов частот, голосовых кодеков, оборудования для волоконно-оптической связи, высокоточных таймеров и т.п
Sirenza Microdevices (http://www.sirenza.com/)	Изготовитель и поставщик высокопроизводительных радиокомпонент для производителей оборудования для проводной и беспроводной связи. В каталоге продукции фирмы представлены усилители, транзисторные усилители мощности, различные микросхемы цифровой обработки сигналов, осцилляторы, высокопроизводительные многокомпонентные модули для приёма, передачи и обработки сигналов
Texas Instruments (http://www.ti.com/)	Мировой лидер в технологиях аналоговой и цифровой обработки сигналов, производитель чрезвычайно широкого ассортимента цифровых БИС и СБИС
Z-communications (http·//www.zcomm.com/)	Специализируется на миниатюрных ГУН и ФАПЧ, ориентированных на работу в узком диапазонечастот
Zarlink (http://www.zarlink.com/)	Один из самых успешных производителей оборудования для организации информационных сетей, высокопроизводительных аналоговых устройств и коммуникационного оборудования с пониженным энергопотреблением

Таблица 1.3.3

Обозначение	Функция
AIN–	«Минус» входа дифференциального усилителя
AIN+	«Плюс» входа дифференциального усилителя
A_{OUT}	Выход дифференциального усилителя для подстройки ГУН
AGND, A_{GND1}, GND, GNDR, GNDI	«Земля» для аналоговой части СЧ
AVDD, AV_{DD}, V_{CC}, V_{DD}, VDDR, VDDI, A-VCC	Питание аналоговой части СЧ
CE, EN, PWDN, ENABLE	Сигнал «Chip Enable»
CLOCK, CLK, Sclk, SCLK	Сигнал тактовой частоты
CPGND, A_{GND2}, GND	«Земля» для схемы подкачки заряда
CPOUT, CP_{OUT+}, CPoutIF, CPoutRF	Выход схемы подкачки заряда
CPOUT–	«Минус» выхода схемы подкачки заряда
CPVCC, VCP, V_{P2}, V_{CC}	Питание схемы подкачки заряда
DATA, D, Sdata, SDATA	Шина входных данных
Dout, RFOUT, IFOUT, RF_OUT	Выходной сигнал с ГУН
DGND, D_{GND}, GND, GNDD	«Земля» для цифровой части СЧ
DVDD, DV_{DD}, V_{CC}, V_{DD}, VDDD, D-VCC	Питание цифровой части СЧ
ENosc	Сигнал «Oscillator Enable»
f_p	Вывод для слежения за работой основного делителя частоты
f_C	Вывод для слежения за работой эталонного делителя частоты
LD, LOCK	Сигнал «Lock Detect»
LE, S_WR	Сигнал «Load Enable». Также может называться «Latch Enable»
MUXOUT, MUX_{OUT}, Ftest/LD	Мультиплексируемый вывод. Возможные сигналы:
	режим «захвата» («Lock Detect»)
	f_{out}/N (см. рис. 3, 7)
	f_r/R (см. рис. 3, 7)
	В зависимости от ИМС, возможны и другие сигналы
OSCout	Выход осциллятора
N/C	«Not connected» – этот контакт не следует ни с чем соединять
$\overline{\text{Pre_en}}$	Инверсный сигнал «Prescaler Enable»
REFIN, REF_{IN}, OSCin, f_r, XIN, REF_IN	Вход, предназначенный для эталонной частоты
RFIN, RF_{IN+}, FinRF, FinIF, F_{in}	Вход предделителя. Должен быть присоединен к выходу ГУН
$\overline{\text{RFIN–}}$, RF_{IN-}, $\overline{F_{in}}$	Дополнительный вход предделителя. Если не используется, должен быть соединен с землей через конденсатор (обычно ёмкостью около 100 пФ)
R_{SET}	Контакт для подсоединения резистора, регулирующего максимальный ток через выход схемы подкачки заряда
SD_{GND}	«Земля» для цифрового $\Sigma=\Delta$ модулятора
SDV_{DD}	Питание цифрового $\Sigma=\Delta$ модулятора
SW, R,M, NC	Управляющие входы счётчика
SW_{GND}, GND	«Земля» счетчика
V_{P1}	Питание ЧФД
V_{P3}	Питание дифференциального усилителя

1.3.6. Пример цоколевки и типовой схемы включения СЧ с ФАПЧ

Рассмотрим цоколевку ИМС синтезаторов частот косвенного действия на примере TRF3750. Эта микросхема поставляется в корпусах TSSOP (рис. 1.3.8, слева) и *QFN* (рис. 1.3.8, справа). Производитель, фирма Texas Instruments, приводит в своей технической документации цоколевку в следующем виде:

Следует отметить, что в справочниках редко приводят цоколевку для каждой микросхемы. Вместо этого принимается единая нумерация выводов для всех корпусов. Действуют следующие правила:

- микросхемы принято изображать так, чтобы вывод № 1 располагался в верхнем левом углу, а сама микросхема была расположена выводами к наблюдателю;
- контакт № 1 обозначен меткой, различимой невооруженным взглядом. Чаще всего используется маленький круг или квадрат (рис 1.3.8);
- для микросхем с выводами, расположенными по краям корпуса, нумерацию принято вести против часовой стрелки;
- для корпусов с матричным положением выводов (*BGA, PGA*) выводы обозначаются сочетанием латинских букв с числами. При этом буквы соответствуют рядам, а числа — столбцам. Если букв не хватает (рядов более 26), применяются двухбуквенные сочетания («*AA*», «*AB*» и т.д.).

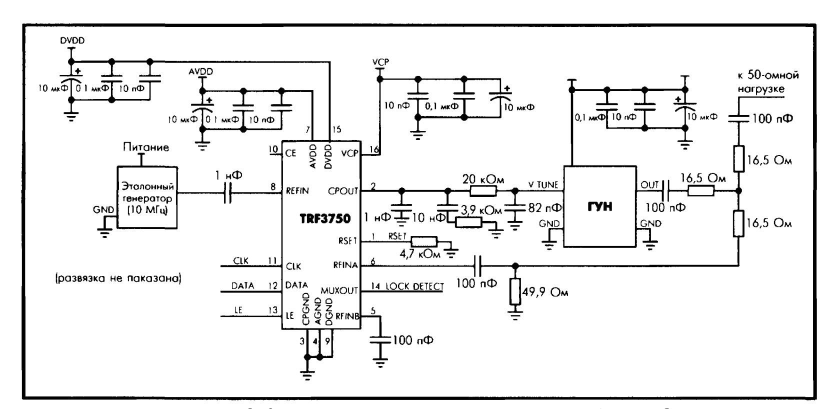


Рис. 1.3.9. Типовая схема включения СЧ TRF3750

Введение единой нумерации позволяет свести цоколевку к составлению таблицы соответствий номеров контактов и назначению выводов (*Pin Assignments* — в англоязычной литературе). Приведем в качестве примера такую таблицу 1.3.4 для рассматриваемого СЧ.

Также в технической документации обычно приводится типовая схема включения устройства. Для TRF3750 она выглядит следующим образом:

Таблица 1.3.4

Название	№ контакта (QFN)	№ контакта (TSSOP)	Тип контакта	Описание назначения
R_{SET}	19	1	Выход	Между этим контактом и «землей» должен быть установлен внешний резистор RSET для управления максимальным выходным током схемы подкачки заряда ICPOUTmax. Напряжение в этом узле обычно близко к 1 В, а номинал резистора RSET связан с ICPOUTmax следующим соотношением: $$I_{CPOUTmax} = \frac{23{,}5}{R_{SET}}$$ Таким образом, резистор с номиналом в 4,7 кОм, установленный между этим контактом и землёй, обеспечит максимальный выходной ток схемы подкачки заряда около 5 мА
CPOUT	20	2	Выход	Выход схемы подкачки заряда. Через этот узел проходит ток, управляющий внешним ГУН
CPGND	1	3	Вход	«Земля» для схемы подкачки заряда
AGND	23	4	Вход	«Земля» для аналоговой части СЧ
RFIN	4	5	Вход	Дополнительный вход предделителя. Если симметричный выход отсутствует, то этот контакт должен быть соединен с «землей» через конденсатор (обычно емкостью около 100 пФ)
$\overline{RFIN}$	5	6	Вход	Вход предделителя. Должен быть присоединён к выходу ГУН
AVDD	6,7	7	Вход	Питание для аналоговой части СЧ. Разрешены два варианта питания: от 3 до 3,6 В и от 4,5 до 5,5 В. При этом выбранное напряжение питания должно совпадать с напряжением на DVDD и быть с ним развязано (для оптимальной работы ИМС)
REFIN	8	8	Вход	Вход, предназначенный для сигнала, поступающего с эталонного генератора. Этот сигнал проходит через делитель :R и используется для синтеза требуемой частоты. Обычно это симметричная синусоида, однако цифровые КМОП или ТТЛ сигналы также могут быть использованы
DGND	9,10	9	Вход	«Земля» для цифровой части СЧ

Таблица 1.3.4.

Название	№ контакта (QFN)	№ контакта (TSSOP)	Тип контакта	Описание назначения
CE	11	10	Вход	Сигнал «Chip Enable». Низкое напряжение на этом контакте переводит микросхему в режим «Power Down» (отключение питания). Высокое напряжение на этом контакте включает схему подкачки заряда, если питание не отключено программно
CLOCK	12	11	Вход	Сигнал тактовой частоты (последовательный ввод). Используется для синхронизации шины входных данных при записи в 24-разрядный сдвиговый регистр синтезатора частоты. Чтение данных синхронизировано с нарастанием уровня сигнала на этом входе
DATA	13	12	Вход	Последовательная шина входных данных. Через этот вход проходит поток данных, загружаемый в сдвиговый регистр. Загрузка начинается со старшего разряда
LE	14	13	Вход	Асинхронный сигнал «Load Enable». Когда на этот контакт подается высокое напряжение, данные из сдвигового регистра загружаются в выбранный регистр-защелку
MUXOUT	15	14	Выход	Мультиплексируемый вывод, способный выдавать следующие сигналы: • режим «захвата» («Lock Detect»); • fout/N (см. рис. 3, 7); • fr/R (см. рис. 3, 7). Также возможна установка этого вывода в третье состояние
DVDD	16,17	15	Вход	Питание для цифровой части СЧ. Разрешены два варианта питания: от 3 до 3,6 В и от 4,5 до 5,5 В. При этом выбранное напряжение питания должно совпадать с напряжением на AVDD и быть с ним развязано (для оптимальной работы ИМС)
VCP	18	16	Вход	Питание для схемы подкачки заряда. Напряжение на этом контакте должно быть выше AVDD и DVDD хотя бы на 1 В и не превышать 8 В, что дает возможность приспособления СЧ к широкому спектру разнообразных ГУН

СПИСОК ЛИТЕРАТУРЫ

1. Бахметьев А.А. Интегральные микросхемы для аналого-цифрового преобразования и средств мультимедиа. — М.: Додэка, 2002.
2. Никамин В.А. Аналого-цифровые и цифро-аналоговые преобразователи. Справочник. — М.: Корона принт, 2003.
3. Мулявка Ян. Схемы на операционных усилителях на переключаемых МОП-конденсаторах. — М.: Мир, 1994.
4. Капустян В.И., Богатырев Е.А. Микроэлектронные аналого-дискретные цепи: Учебное пособие. — М.: Изд-во МЭИ, 1987.
5. Козлов В.Н., Пестряков А.В. Компоненты для беспроводной связи. — Motorola, 1998.
6. Белов Л.А. Цифровые синтезаторы частоты. — М:, 2000.
7. Стешенко В. Школа схемотехнического проектирования устройств обработки сигналов. Занятие 17. Цифровые синтезаторы прямого синтеза частот // Компоненты и технологии. № 7, 2002.
8. www.roks.com.ua
9. www.gaw.ru
10. www. sub.chipdoc.ru
11. www.efo.ru

ЧАСТЬ 2

ЦИФРОВЫЕ БИС И СБИС

2.1. МИКРОСХЕМЫ ПАМЯТИ

2.1.1. Классификация ИМС памяти

ИМС памяти служат для хранения информации в электронных системах. Производительность электронных напрямую зависит от объема памяти и скорости ее работы, поэтому увеличение этих показателей является магистральным направлением развития технологии. Оптимизация стоимости компьютеров привела к появлению многоуровневых иерархических архитектур памяти, где на верхнем уровне иерархии расположена более быстродействующая, но и более дорогая кэш-память, в которую в процессе вычислений помещаются более интенсивно используемые фрагменты программного кода и обрабатываемых данных, а на нижних уровнях используется дешевая медленная память большого объема. В реальных системах используются до двух уровней кэш-памяти. Причем кэш-память первого уровня, как правило, располагается на кристалле микропроцессора и работает с его же тактовой частотой, а кэш-память второго уровня — обычно вне кристалла микропроцессора и строится на базе быстродействующих микросхем памяти ОЗУ и ПЗУ.

2.1.1.1. Микросхемы ОЗУ

Микросхемы ОЗУ (Оперативное Запоминающее Устройство, RAM — Random Access Memory — память с произвольным доступом) представляют собой устройство памяти, предназначенное для чтения и записи информации. Обычно ОЗУ является энергозависимым, т.е. теряет информацию при отключении питания.

Микросхемы ОЗУ делятся на *одноразрядные* и *многоразрядные (словарные)*. Одноразрядная микросхема ОЗУ имеет один информационный вход и один выход, что позволяет записывать и считывать информацию побитно. Многоразрядные микросхемы памяти имеют несколько информационных входов и выходов и позволяют записывать и считывать информацию словами.

Совокупность *элементов памяти (ЭП)* в накопителе, в котором размещается слово, называют *ячейкой памяти (ЯП)*. Каждая ЯП имеет свой адрес, и для обращения к ней на адресные входы микросхемы подается код адреса этой ЯП. Ячейки памяти могут быть объединены в *запоминающую матрицу*, и тогда код адреса состоит из кода столбца и кода строки. Микросхемы ОЗУ по типу ЭП разделяют на *динамические* и *статические*.

Подробно эти два типа ОЗУ рассматриваются далее, пока же достаточно будет сказать, что статическое ОЗУ (*Static RAM — SRAM*) обеспечивает хранение записанной информации до тех пор, пока на микросхему подается питание. Структура SRAM требует 4–6 транзисторов для хранения одного бита. Для построения ОЗУ большого объема применяют динамическое ОЗУ

Таблица 2.1.1

Аббревиатура	Название	Тип памяти
DRAM	Dynamic RAM (Динамическое ОЗУ)	Динамическая
FPM DRAM	Fast Page Mode DRAM (Динамическое ОЗУ со страничной организацией)	Динамическая
EDO DRAM	Extended Data Output DRAM (Динамическое ОЗУ с расширенным выводом данных)	Динамическая
BEDO DRAM	Burst Extended Data Output DRAM (Динамическое ОЗУ с пакетным доступом)	Динамическая
SDRAM	Synchronous DRAM (Синхронное динамическое ОЗУ)	Динамическая
DDR SDRAM (SDRAM II)	Double Data Rate Synchronous DRAM (Synchronous DRAM II)	Динамическая
DDR2 SDRAM	Double Data Rate 2 Synchronous DRAM	Динамическая
RDRAM	Rambus DRAM	Динамическая
XDR DRAM	eXtreme Data Rate DRAM	Динамическая
Async SRAM	Asynchronous Static RAM (Асинхронное статическое ОЗУ)	Статическая
SSRAM	Synchronous SRAM (Синхронное СОЗУ)	Статическая
SyncBurst SRAM	Synchronous Burst SRAM (Синхронное пакетное СОЗУ)	Статическая
PB SRAM	Packet Burst SRAM (Конвейерное пакетное статическое ОЗУ)	Статическая
DDR SRAM	Double Data Rate SRAM	Сстатическая
QDR SRAM	Quad Data Rate SRAM	Статическая
CDRAM	Cashed DRAM (Кэшированное динамическое ОЗУ)	Статическая + динамическая
EDRAM	Enhanced DRAM (Улучшенное динамическое ОЗУ)	Статическая + динамическая
ESDRAM	Enhanced Synchronous DRAM (Улучшенное синхронное динамическое ОЗУ)	Статическая + динамическая
VRAM	Video RAM(ВидеоОЗУ)	Динамическая
WRAM	Windowed RAM(«Оконное» ОЗУ)	Динамическая
SGRAM	Synchronous Graphic RAM (Синхронное ОЗУ графических данных)	Динамическая
FRAM	Ferroelectric RAM (Ферроэлектрическое ОЗУ)	Статическая
PSRAM	Pseudo SRAM (Псевдостатическое ОЗУ)	Динамическая
UtRAM	UniTransistor RAM	Динамическая

Время доступа (нс)	Тактовая частота (МГц)	Пиковая пропускная способность
70-80	до 25	до 25 Мбит/с
60-70	до 40	до 40 Мб/с
50-70	до 66	до 66 Мбит/с
около 30	до 66	до 66 Мбит/с
7-10	66	66 Мбит/с
	83	83 Мбит/с
	100	100 Мбит/с
	133	133 Мбит/с
	100	200 Мбит/с
	133	266 Мбит/с
	166	333 Мбит/с
	200	400 Мбит/с
	200	400 Мбит/с
	266	572 Мбит/с
	333	667 Мбит/с
	400	800 Мбит/с
2	600	2.4 Гбит/с
2	500	8 Гбит/с
10-20	до 66	
8.5-12		
4.5-8	до 66	
до 0.45	до 133	
до 0.45	до 200	
10-15	до 300	
27	66/83/100 (SRAM) 33/42/50 (DRAM)	до 100 Мбит/с
12		100 Мбит/с
70-80	до 2.1	
70-80	до 80	
70-80	до 133	

(*Dynamic RAM — DRAM*), использующее для запоминания бита состояние электрического конденсатора («заряжен»/«не заряжен»), сформированного внутри кристалла. Так как для этого необходим только электронный ключ для управления зарядом и разрядом конденсатора, то такая память весьма компактна, но требует принудительной *регенерации*, предотвращающей потерю информации из-за разряда конденсатора током утечки.

В табл. 2.1.1 сведены некоторые сравнительные характеристики различных типов динамических и статических ОЗУ.

2.1.1.2. Микросхемы ПЗУ

Микросхемы ПЗУ (Постоянное Запоминающее Устройство, ROM — Read-Only Memory — память, доступная только для чтения) представляют собой однократно программируемое устройство памяти, предназначенное для чтения информации (энергонезависимое).

Различают несколько типов ПЗУ:

- *ROM (Read-Only Memory, Постоянное Запоминающее Устройство, ПЗУ)*. Строятся на мультиплексорах или по масочной структуре (см. ниже). Программируются на заводе при производстве. Репрограммирование невозможно.
- *PROM (Programmable ROM, Программируемое ПЗУ, ППЗУ)*. В качестве элементов программирования используются специальные перемычки. Программирование заключается в разрушении или образовании перемычки. Также является однократным действием, однако, в отличие от ROM, его можно осуществить даже в домашних условиях.
- *EPROM (Erasable PROM, Стираемое ППЗУ, СППЗУ)*. Исторически явилось первым репрограммируемым ПЗУ. Технология основана на применении транзисторов с плавающим затвором. ПЗУ на основе EPROM требуют стирания старой конфигурации под воздействием ультрафиолетового (УФ) излучения с извлечением ИМС из устройств и имеют ограничение числа циклов программирований из-за деградации свойств материалов под воздействием УФ излучения.
- *EEPROM (Electrically Erasable PROM, Электрически Стираемое ППЗУ, ЭС-ППЗУ)*. ППЗУ, очищаемое электрическими сигналами. Для обновления не требует извлечения микросхемы из устройства и допускает достаточно большое число циклов стирания.
- *FLASH (флэш-память)*. Технологически аналогична EEPROM, однако в ней используется блочный доступ к сохраняемым данным.

2.1.2. Параметры ИМС памяти

Банк памяти (Memory Bank) используется, когда адресное пространство процессора мало, а требуется доступ к большим объемам памяти, причем

стоимостные и электротехнические ограничения позволяют установить в систему гораздо больше памяти, чем процессор может адресовать. Адресация дополнительной памяти в этой ситуации обеспечивается дополнительным адресным регистром, который может быть как конструктивным элементом процессора, так и внешним устройством. Этот регистр дает дополнительные биты адреса, которые и обеспечивают адресацию дополнительной памяти. Регистр этот называется расширителем адреса или селектором банка, а область памяти, которую можно адресовать, не изменяя селектор банка, — банком памяти. Значение регистра-селектора называют номером банка. Современные микросхемы ОЗУ большой емкости могут содержать до 32 банков памяти.

Время доступа (выборки) — интервал времени между подачей на вход микросхемы заданного сигнала и получением на выходе считываемых данных.

Время цикла — интервал времени между началами сигналов на одном из управляющих входов, в течение которого микросхема выполняет функцию записи-считывания.

Емкость — максимальный объем информации, который может быть записан в микросхему (у современных микросхем доходит до 4 Гбайт).

Интерфейс — стандарт обмена данными с памятью. Интерфейс может быть параллельным или последовательным (SPI, I^2C или Microwire).

Напряжение питания — напряжение, при котором работает данная ИМС памяти. Обычно производители указывают диапазон рабочих напряжений.

Организация — этот параметр описывает организацию памяти. Используется форма $WD \times BC \times BN$, где BN — количество банков памяти, BC — количество бит, а WD — количество слов в одном банке. Иногда производители также используют формулу $WS \times BC$, где WS — суммарное количество слов во всех банках, т.е. $WS = WD \times BN$.

Параметры регенерации — только для динамического ОЗУ. Записываются в виде *XXмс/nK*, где *XX* — время, за которое регенерируется вся память в модуле, а *n* — количество циклов регенерации, необходимых для этого. Например, запись «64мс/8K» означает, что регенерация всех ячеек модуля занимает 64 мс, причем за это время проходит 8192 цикла регенерации.

Тактовая частота — определяет темп формирования результатов операции на выходе синхронного ОЗУ.

Ток потребления — это ток, потребляемый микросхемой в режиме записи/считывания.

Ток потребления в режиме хранения — это ток, потребляемый микросхемой в режиме пониженного энергопотребления (*power-down*).

Ток потребления в режиме регенерации — это параметр, введенный для динамических ОЗУ. Обозначает ток, подаваемый на микросхемы для восстановления хранимой информации, составляет до 20 % от тока потребления в рабочем режиме.

CAS Latency — задержка выдачи сигнала *CAS#* для микросхемы синхронного ДОЗУ; является одной из важнейших характеристик и обозначает

минимальное количество циклов шины *(Clock Period)* от момента «фиксации» запроса данных стробом *CAS#* до момента их устойчивого определения и считывания. Иными словами, это задержка между формированием логикой управления кристалла микросхемы команды чтения и доступностью к чтению первого слова. Измеряется в машинных тактах.

Задержка t_{RCD} *(RAS-to-CAS Latency)* — количество машинных тактов, проходящее между активизацией строба доступа к адресу строки (*RAS#*) и активизацией строба доступа к адресу столбца (*CAS#*).

Задержка t_{RP} *(RAS Prechage Time)* — количество машинных тактов, выделяемых на формирование сигнала *RAS#*.

Задержка t_{RAS} *(DRAM Cycle Time Tras/Trc)* — параметр, характеризующий быстродействие всей микросхемы памяти. Он определяет отношение интервала, в течение которого строка открыта для переноса данных (t_{RAS} — *RAS Active time*), к периоду, в течение которого завершается полный цикл открытия и обновления ряда (t_{RC} — *Row Cycle time*), также называемого циклом банка (*Bank Cycle Time*).

Тайминги (задержки, timings) — параметры, характеризующие временные задержки сигнала при работе с памятью. Их записывают в виде $CL\text{-}t_{RCD}\text{-}t_{RP}$, где:

- *CL — CAS Latency*;
- t_{RCD} — *RAS to CAS Latency*;
- t_{RP} — *RAS Precharge Time*.

Эти параметры обычно принимают значение от 2 до 5. От них в значительной степени зависит пропускная способность участка «процессор-память» и, как следствие, быстродействие всей системы. Каждая цифра в формуле означает задержку сигнала для обработки, измеряемую в машинных тактах. Если указывается только одна цифра (например, *CL2*), то подразумевается только первый параметр, т.е. *CAS Latency*. Остальные при этом не обязательно равны ему.

Иногда формула таймингов для памяти может состоять из четырех цифр и иметь вид $CL\text{-}t_{RCD}\text{-}t_{RP}\text{-}t_{RAS}$ (например, 2-2-2-6), где t_{RAS} — это *DRAM Cycle Time Tras/Trc*.

2.1.3. Основные принципы построения и структурные схемы

2.1.3.1. Динамическое ОЗУ

Динамическое ОЗУ применяется для построения ИМС памяти большого объема, так как аппаратная часть такого ОЗУ весьма компактна. В качестве запоминающей ячейки в DRAM применяют емкость, сформированную на кристалле. Для управления ее зарядом и разрядом применяется элект-

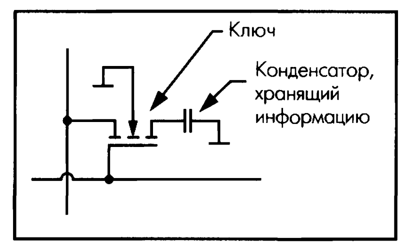


Рис. 2.1.1. Схема запоминающего устройства динамического ОЗУ

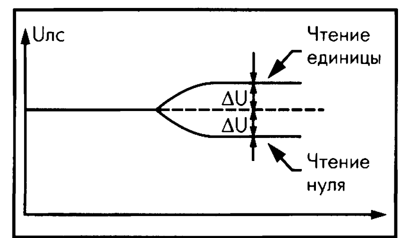


Рис. 2.1.2. График напряжения на линии считывания при считывании информации с запоминающей ячейки без применения регенерации

ронный ключ (рис. 2.1.1). Заряд на емкости с течением времени уменьшается, поэтому его необходимо подзаряжать (регенерировать) с периодом приблизительно 10 мс. Регенерация заключается в считывании заряда конденсатора и восстановлении этого состояния посредством перезаписи информации. Она требует дополнительного циклического обращения к памяти, что снижает пропускную способность и усложняет устройство управления.

При считывании заряда емкости необходимо учитывать, что емкость линии считывания много больше емкости запоминающей ячейки. Первоначально на линии записи/считывания присутствует половина питания микросхемы. При подключении к линии записи/считывания запоминающей ячейки заряд, хранящийся в запоминающей ячейке, изменяет напряжение на линии на небольшую величину ΔU. Теперь это напряжение необходимо восстановить до первоначального логического уровня. Если приращение напряжения ΔU было положительным, то напряжение необходимо довести до напряжения питания микросхемы. Если приращение ΔU было отрицательным, то напряжение необходимо довести до уровня общего провода.

Для регенерации первоначального напряжения, хранившегося в запоминающей ячейке, в схеме применяется *RS*-триггер, включенный между двумя линиями записи/считывания. Схема такого включения приведена на рис. 2.1.3. Эта схема за счет положительной обратной связи восстанавливает первоначальное значение напряжения в запоминающем элементе, подключенном к выбранной линии считывания. То есть при считывании ячейки производится регенерация хранящегося в ней заряда.

Для уменьшения времени регенерации микросхема устроена так, что при считывании одной ячейки памяти в строке запоминающей матрицы регенерируется вся строка. Особенностью динамических ОЗУ является мультиплексирование шины адреса. Адрес строки и адрес столбца передаются поочередно. Адрес строки синхронизируется стробирующим сигналом *RAS# (Row Address Strobe)*, а адрес столбца — *CAS# (Column Adress Strobe)*. Мультиплексирование адресов позволяет уменьшить количество контактов у микросхем ОЗУ. На рис. 2.1.4 показан пример обозначения микросхем динамического ОЗУ на принципиальной схеме.

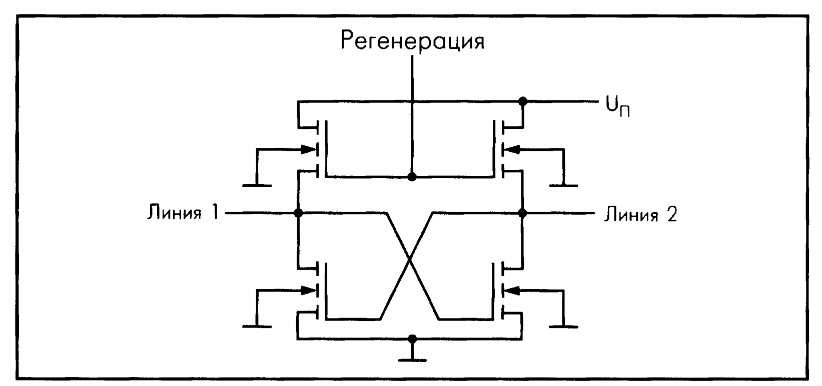


Рис. 2.1.3. Схема регенерирующего каскада

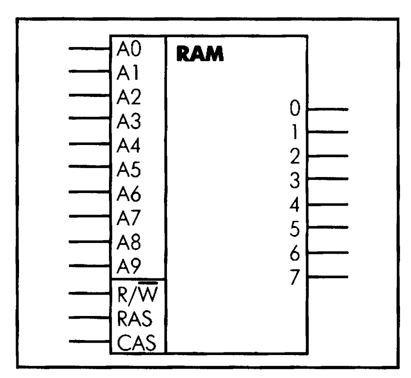


Рис. 2.1.4. Изображение динамического ОЗУ на принципиальных схемах

Долгое время при работе с динамическими ОЗУ на каждый запрос данных считывалась только одна ЯП. Затем было замечено, что обычно обращение ведется к данным, лежащим в соседних ЯП, поэтому при считывании или записи каждый раз передавать адрес строки не обязательно. Данные стали записывать и считывать блоками, а адрес строки передавать только в начале блока. При этом общее время обращения к динамическому ОЗУ сократилось, а быстродействие компьютера, оборудованного такой ОЗУ, увеличилось.

Этот режим обращения к динамическому ОЗУ назвали быстрым страничным режимом доступа (*Fast Page Mode — FPM*). Длина считываемого блока данных равна четырем словам. Для того чтобы оценить время такого режима доступа к памяти, время измеряют в тактах системной шины процессора. В обычном режиме доступа к памяти время доступа одинаково для всех слов. Поэтому цикл обращения к динамической памяти можно записать как 5-5-5-5. При режиме быстрого страничного доступа цикл обращения к динамической памяти можно записать как 5-3-3-3, т.е. время обращения к первой ячейке не изменяется по сравнению с предыдущим случаем, а считывание последующих ячеек сокращается до трех тактов. При этом среднее время доступа к памяти сокращается почти в полтора раза.

Еще одним способом увеличения быстродействия ОЗУ является применение микросхем ОЗУ с расширенным выходом данных (*Extended Data Out*

— *EDO*). В EDO усилители-регенераторы не сбрасываются по окончании строба *CAS#*. В соответствии с этим начало нового цикла обращения к памяти начинается еще до окончания предыдущего (т.е. до того, как данные будут удалены с шины). Информация, считанная по конкретному адресу, «захватывается» специальными регистрами микросхемы памяти и удерживается на шине до окончания цикла обращения к памяти. Одновременно с выводом информации, для контроля за которым в микросхеме памяти используется дополнительный управляющий сигнал, осуществляется выборка данных по новому адресу. Причем независимость процесса выборки новых данных от готовности результатов предшествующего запроса сохраняется даже в случае прерывания запроса.

Для EDO ОЗУ цикл обращения к динамической памяти можно записать как 5-2-2-2. Уменьшение времени доступа в EDO достигнуто исключением из процесса обращения к памяти ожидания готовности данных на шине за счет преобразования обычной последовательности операций режима страничного обмена в «двухступенчатый конвейер», обеспечивающий возможность перекрытия части операций.

Следующим шагом в развитии схем динамического ОЗУ было применение в составе ОЗУ счетчика столбцов. То есть при переходе адреса ячейки к следующему столбцу запоминающей матрицы адрес столбца инкрементируется (увеличивается) автоматически. Такое ОЗУ получило название ОЗУ с пакетным доступом (*Burst Extended Data Out — BEDO*). В этом типе ОЗУ удалось достигнуть режима обращения к динамической памяти 5-1-1-1.

В синхронном динамическом ОЗУ (*Synchronous DRAM — SDRAM*) дальнейшее увеличение быстродействия получается за счет применения конвейерной обработки сигнала. Его основная особенность — синхронизация всех операций с тактовыми сигналами процессора. Это упрощает реализацию интерфейсов управления и уменьшает время обращения к столбцу матрицы. SDRAM содержит внутренний пакетный счетчик, который может использоваться для инкрементного увеличения адреса столбца в режиме пакетного обращения, что позволяет использовать конвейерную обработку сигнала.

Ее применение дает возможность разделить операцию считывания или записи на такие отдельные подоперации, как выборка строк, выборка столбцов, считывание ячеек памяти, и производить эти операции одновременно. При этом пока на выход передается считанная ранее информация, производятся дешифрации столбца для текущей ячейки памяти и строки для следующей ячейки памяти. Несмотря на то, что при считывании одной ячейки памяти время доступа к ОЗУ увеличивается, при считывании нескольких соседних ячеек памяти общее быстродействие микросхем синхронного динамического ОЗУ увеличивается.

Дальнейшим развитием технологии SDRAM было синхронное динамическое ОЗУ с удвоенной скоростью обмена данными (*Double Data Rate Synchronous RAM — DDR SDRAM*), также называемая SDRAM II. DDR SDRAM работает с удвоенной тактовой частотой шины данных. Операции чтения и

записи для такой памяти выполняются дважды за один такт — по начальному и конечному фронтам тактового импульса. Соответственно, за один цикл передается два пакета по 8 бит. Мощность потребления DDR SDRAM меньше, нежели SDRAM.

На базе DDR SDRAM была разработана высокопроизводительная память DDR2 SDRAM. Она передает четыре пакета данных за один цикл; размер пакета, как и в DDR, составляет 8 бит. Благодаря уменьшению размера страницы памяти, DDR2 также имеет пониженное, по сравнению с DDR SDRAM, энергопотребление. Блок упреждающей выборки в DDR2 стал четырехразрядным (вместо двухразрядного), а внутрикристалльная терминация (*on-die termination — ODT*) и внешняя калибровка (*Off-Chip Driver Calibration — ODT calibration*) выходного сигнала теперь поддерживаются аппаратно.

VRAM (Video RAM) — это *специально разработанная для использования в видеоадаптерах разновидность динамической памяти.* VRAM отличается от обычной DRAM наличием двухпортовой архитектуры, делающей возможным одновременное обращение к ней двух разных устройств. Благодаря этому видеоадаптер, преобразовывающий биты и байты из видеопамяти в пиксели на экране, и центральный процессор, который манипулирует содержимым видеопамяти, могут работать одновременно. Обычно необходимость в памяти такого типа возникает при работе с высокими разрешениями (более 1024 x 768) в «глубоком» цвете (более 65536 цветов) и высокой частотой кадровой развертки (более 70 Гц).

WRAM (Windowed RAM) является дальнейшим развитием технологии VRAM. Этот тип памяти также является двухпортовым, однако в ней добавлена логика, ускоряющая такие общие видеофункции, как перенос битовых блоков (*bit-block transfer, bitblt*) и заполнение по шаблону (*pattern fill*). Это позволяет повысить производительность на 25 % по сравнению с VRAM. При этом стоимость WRAM и VRAM почти не отличается.

Существует также усовершенствованный вариант памяти SDRAM, который называется SGRAM (Synchronous Graphic RAM). Он применяется в видеоадаптерах как память для графических данных. Отличие от SDRAM заключается в поддержке двух новых операций:

- маскированной записи (*masked writes*), в которой вместо выполнения цикла «чтение-модификация-запись» записываемые в память данные могут быть маскированы таким образом, чтобы изменялись лишь некоторые разряды, указываемые с помощью маски;
- блочной записи (*block writes*), в которой блоки памяти могут быть быстро заполнены одним и тем же значением, что обычно требуется для заполнения фона отображаемого изображения, либо очищены, поскольку для отображения трехмерных изображений всю память нередко приходится очищать до 30–40 раз в секунду.

Несмотря на то, что память SGRAM не является двухпортовой, она тем не менее позволяет осуществлять одновременный доступ к двум страницам

памяти, чтобы обеспечить возможность обновления графического изображения во время его отображения. Быстродействие этой памяти, как правило, выше, чем у памяти VRAM, особенно это касается адаптеров трехмерной графики.

Для построения высокопроизводительных систем применяется динамическая память компании Rambus RDRAM. Эта технология основана на высокоскоростном интерфейсе памяти пакетного типа с восьмиразрядной шиной данных Rambus Channel. В режиме ожидания массив RDRAM активен (данные сохраняются в усилителях считывания), и его регенерация происходит только после поступления нового адреса строки, отличающегося от предыдущего, что происходит при окончании страницы памяти. Время доступа к ряду ячеек памяти составляет менее 2 нс в расчете на байт, а время задержки (время доступа к первому байту массива данных) — 23 нс. В случае обмена большими массивами данных память RDRAM является оптимальным вариантом в смысле отношения производительность/стоимость. Также в RDRAM применяется мультиплексирование адресов и данных, что уменьшает число вводов-выводов, хотя максимально достижимая скорость передачи при этом также уменьшается, особенно для распределенного доступа.

В 2003 году компания Rambus анонсировала новый тип памяти XDR DRAM. Это ОЗУ также передает за один цикл восемь бит данных на канал. Шина запросов передает сигналы по обоим фронтам тактового импульса. Внутренняя тактовая частота равна учетверенной тактовой частоте, а данные передаются как по фронту, так и по спаду импульсов этой частоты, т.е. восемь раз за такт. В XDR используется новая технология DRSL (*Differential Rambus Signaling Levels*), позволяющая эффективно разделять логические уровни, используя при этом очень низкое напряжение. Разность потенциалов между логическими уровнями здесь всего 200 мВ (от 1.0 до 1.2 В). Поскольку амплитуда сигнала меньше и сигнал специально оптимизируется для снижения производной тока по времени, то понижаются его энергопотребление и уровень наводок на соседние линии при большей частоте обмена данными.

Фирмой Ramtron также анонсирован новый тип энергонезависимой памяти, называемый FRAM (сегнетоэлектрическая память с произвольным доступом). Эта память объединяет высокую скорость записи/чтения (по заявлениям разработчиков, время доступа к FRAM составляет примерно 70 нс) и низкое энергопотребление со способностью сохранять данные при пропадании электропитания (без подпитки резервной батареей). Микросхемы FRAM pin-from-pin совместимы с EEPROM и некоторыми SRAM. Ячейки чипов FRAM обладают меньшими, по сравнению с SRAM, размерами и более экономичным, по сравнению с DRAM, режимом работы. Ячейка новых чипов памяти занимает площадь 0.94 мкм^2. Основная область применения этой памяти — мобильные устройства.

Микросхемы PSRAM (Pseudo Static RAM) и UtRAM (Unitransistor RAM) — одни из последних разработок Samsung. Они повторяют структуру ячейки

памяти DRAM, но имеют другой интерфейс, потребляют меньше энергии и собраны из меньшего числа компонентов. В результате размер чипов может быть очень небольшим, что делает их подходящими для использования в мобильных устройствах. Эти микросхемы полностью совместимы с SRAM, поддерживают страничный режим работы и в отличие от «классического» динамического ОЗУ не требуют внешней схемы контроля регенерации. UtRAM работает на более высоких частотах, нежели PSRAM, но принципиальных отличий в их структуре не имеется.

2.1.3.2. Статическое ОЗУ

Схема, в которой в качестве запоминающей ячейки используется *параллельный регистр*, называется статической ОЗУ, так как информация в ней сохраняется все время, пока к микросхеме подключено питание. Объем оборудования для хранения бита больше, чем в динамическом ОЗУ, примерно в 4 раза. Таким образом, статическая память не требует регенерации, однако при одинаковых размерах кристалла с микросхемами динамического ОЗУ уступает последнему в информационной емкости.

В микросхемах ОЗУ присутствуют две операции: *операция записи* и *операция чтения*. Для записи и чтения информации можно использовать различные шины данных (как это делается в сигнальных процессорах), но чаще используется одна и та же шина данных. Это позволяет экономить выводы микросхем, подключаемых к этой шине и легко осуществлять коммутацию сигналов между различными устройствами.

Пример схемы статического ОЗУ приведен на рис. 2.1.5. Здесь вход и выход микросхемы объединены при помощи шинного формирователя. Схемы реальных ОЗУ будут отличаться от приведенной на этом рисунке, однако эта схема позволяет понять принцип работы реального статического ОЗУ.

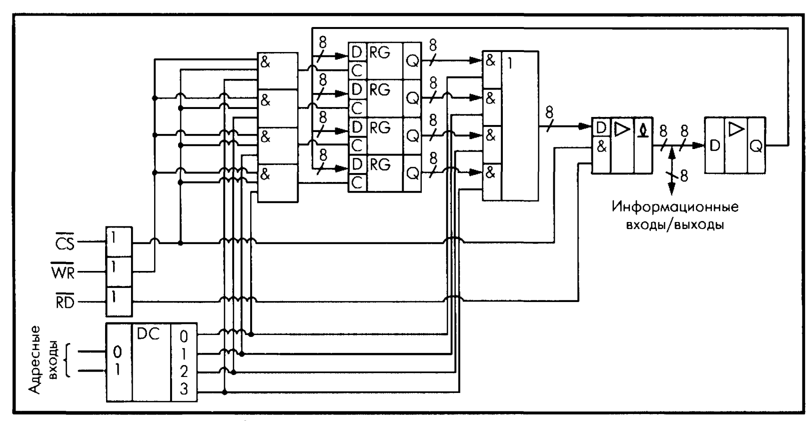


Рис. 2.1.5. Пример схемы статического ОЗУ

Сигнал записи WR дает возможность записать логические уровни, присутствующие на информационных входах, во внутреннюю ячейку ОЗУ. Сигнал чтения RD позволяет выдать содержимое внутренней ячейки памяти на информационные выходы микросхемы. В приведенной на рисунке схеме невозможно одновременно производить операцию записи и чтения, но обычно это и не нужно.

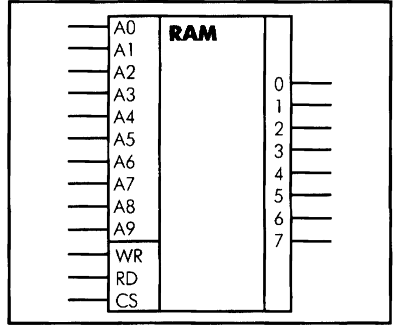


Рис. 2.1.6. Изображение статического ОЗУ на принципиальных схемах

Конкретная ячейка микросхемы выбирается при помощи двоичного кода — адреса ячейки памяти. Объем памяти микросхемы зависит от количества ЯП (или количества адресных входов, что в принципе одно и то же).

Изображение ОЗУ на принципиальных схемах приведено на рис. 2.1.6.

Статическое ОЗУ используется, как правило, для построения кэш-памяти. В простейших организациях кэш-памяти применяется асинхронный режим работы, при котором процессор посылает адрес в кэш-память, кэш производит поиск адреса и передает требуемые данные. Соответственно, такая память называется асинхронным статическим ОЗУ (*Async SRAM*).

В синхронном режиме ИМС буферизует поступающие адреса. В течение первого такта SRAM запоминает запрашиваемый адрес в регистре. Во время второго такта — извлекает и пересылает данные. Поскольку адрес данных хранится в регистре, синхронная статическая память SRAM может получать следующий адрес, пока процессор принимает данные предыдущего запроса. Последовательные элементы данных синхронная SRAM может объединять в «пакеты», не принимая и не дешифруя дополнительные адреса от процессора. Время доступа для такой памяти уменьшается на 15–20 % по сравнению с асинхронной и составляет около 10 нс.

При частотах шины, не превышающих 66 МГц, синхронное пакетное статическое ОЗУ (*SyncBurst SRAM*) является наиболее быстрым из существующих видов памяти. Причина этого в том, что, если процессор работает на не слишком большой частоте, SyncBurst SRAM может обеспечить полностью синхронную выдачу данных, что означает отсутствие задержки при пакетном чтении. Пакетный цикл в этом случае имеет вид 2-1-1-1. Когда частота процессора превышает 66 МГц, SyncBurst SRAM не справляется с нагрузкой и выдает данные пакетами по 3-2-2-2.

Решением этой проблемы стала конвейерная пакетная статическая память (*Packet Burst SRAM — PB SRAM*). Принцип конвейеризации — распараллеливание операций SRAM с использованием входных и выходных регистров. Заполнение регистров требует дополнительного начального цикла, но, будучи однажды заполненными, регистры обеспечивают быстрый переход к следующему адресу за то время, пока по текущему адресу считываются дан-

ные. Благодаря этому такая память является наиболее быстрой кэш-памятью для новых систем с производительностью шины 75–100 МГц. Кроме того, при использовании в медленных системах PB SRAM работает не намного медленнее, чем SyncBurst SRAM, выдавая данные пакетами по 3-1-1-1.

Все описанные ранее типы синхронной SRAM относятся к приборам типа «одиночные данные за такт» (*Single Data Rate SRAM — SDR SRAM*), в которых доступ к данным и опрос сигналов управления производятся по нарастающему фронту тактовых импульсов. Для достижения более высоких скоростей передачи данных и увеличения пропускной способности была разработана память типа DDR SRAM, которая может вести обмен данными и считывать сигналы управления по обоим фронтам синхросигнала, что позволяет удвоить скорость передачи данных. DDR SRAM была разработана для применения в качестве высокопроизводительной кэш-памяти серверов и рабочих станций, а также для высококачественного сетевого оборудования.

Есть два типа DDR SRAM: приборы с *объединенным портом* ввода/вывода и *разделенным портом* ввода/вывода. DDR SRAM с объединенным портом ввода/вывода — это память, у которой обмен данными при записи и считывании происходит по одной общей шине данных. Этой памяти, как и синхронной пакетной SRAM, требуются циклы изменения направления передачи при переключении между операциями считывания и записи. Количество «пустых циклов» такой памяти зависит от частоты: на частоте 166 МГц требуется обычно один такт, а на частоте выше 200 МГц — обычно два. Количество необходимых «пустых циклов» растет с увеличением частоты и зависит от технологии изготовления приборов.

QDR SRAM (*Quad Data Rate SRAM*) была разработана для применения в сетевых подсистемах, которые требуют не только малого времени задержки и полного использования цикла SRAM, но и существенно более высокой рабочей частоты. QDR SRAM имеет раздельные порты записи и считывания и не имеет циклов изменения направления передачи данных по шине на всех частотах, что позволяет значительно повысить быстродействие при существующей технологии производства самих устройств памяти. Память типа QDR имеет преимущество в количестве выводов по сравнению с памятью типа DDR, что позволяет использовать шины меньшей размерности. Все циклы имеют длительность пакета устройства и не могут быть пропущены или прерваны. Однако части цикла записи могут быть произвольно маскированы при помощи побайтовых средств управления записью.

В некоторых случаях, встраивая кэш-память в микросхемы динамической памяти, разработчики пытаются решить проблему повышения быстродействия основной памяти. Примером может служить CDRAM (*Cashed DRAM*), разработанный компанией Mitsubishi. Здесь каждая 4- или 16-мегабитовая микросхема динамического ОЗУ содержит 16 килобайт быстрой кэш-памяти. CDRAM имеет раздельные адресные линии для статического кэша и динамического ядра. Необходимость управлять разнородными типами памяти

еще больше усложняет контроллер, однако эффективность кэш-памяти, размещенной «внутри» ИМС, выше, чем при традиционной архитектуре, так как перенос в кэш осуществляется блоками, в восемь раз большими, чем при выдаче «наружу» из ИМС DRAM. В CDRAM объем одного блока данных, помещаемого в кэш, равен 128 бит. В этом случае в 16-килобитном кэше могут одновременно храниться данные из 128 различных участков памяти. Затирание первого помещенного в кэш участка памяти начнется лишь при обращении к сто двадцать девятому. Поскольку перенос из DRAM в SRAM совмещен с выдачей данных на шину, то частые, но короткие пересылки не снижают производительности всей ИМС при перекачке больших объемов информации. Эта память предназначена для использования в 3D графике в качестве текстурной.

В компании Enhanced Memory Systems была разработана память EDRAM (*Enhanced DRAM*) с *асинхронным* интерфейсом. Затем с появлением SDRAM была разработана и ESDRAM (с *синхронным*). Принцип ее работы в том, что из динамической в кэш-память целиком переносится вся строка, в которой находится считываемая ячейка. После этого считывание производится уже из кэш-памяти, а в ядре в это время можно выбирать нужную строку или производить регенерацию. Перенос почти не сказывается на быстродействии, поскольку происходит всего за один такт. Благодаря встроенной в ESDRAM кэш-памяти скорость извлечения данных по сравнению с обычной динамической памятью увеличивается примерно в пять раз. Операция записи происходит в обход кэш-памяти, что увеличивает производительность ESDRAM при возобновлении чтения из ранее уже загруженной в кэш строки. Поскольку внутренних банков два, простои из-за их подготовки к операциям чтения/записи сводятся к минимуму. По сигналам и типоразмерам модули ESDRAM полностью совместимы с DIMM SDRAM. Недостаток ESDRAM — усложнение контроллера: он должен учитывать возможность подготовки к чтению новой строки ядра. Кроме того, при произвольных адресах чтения кэш-память используется крайне неэффективно, поскольку чтение строки ядра *целиком* происходит очень редко. EDRAM/ESDRAM содержат 8 Кбайт кэш-памяти для каждых 4 Мбит динамической памяти. Обычно используются в системах без кэш-памяти 2-го уровня.

2.1.3.3. ПЗУ

Очень часто в различных применениях требуется хранение информации, которая не изменяется в процессе эксплуатации устройства. Это такая информация, как программы в микроконтроллерах, начальные загрузчики и BIOS в компьютерах, таблицы коэффициентов цифровых фильтров в сигнальных процессорах. Практически всегда эта информация не требуется одновременно, поэтому простейшие устройства для запоминания постоянной информации можно построить на мультиплексорах. Схема такого постоянного запоминающего устройства приведена на рис. 2.1.7.

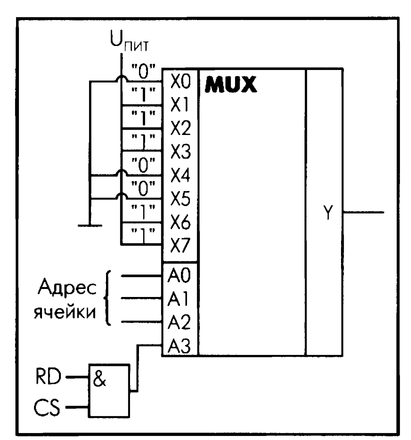


Рис. 2.1.7. Схема ПЗУ, построенного на мультиплексоре

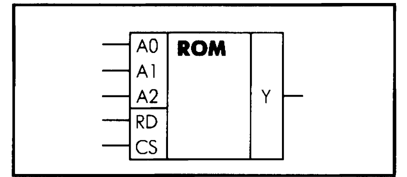


Рис. 2.1.8. Обозначение ПЗУ на принципиальных схемах

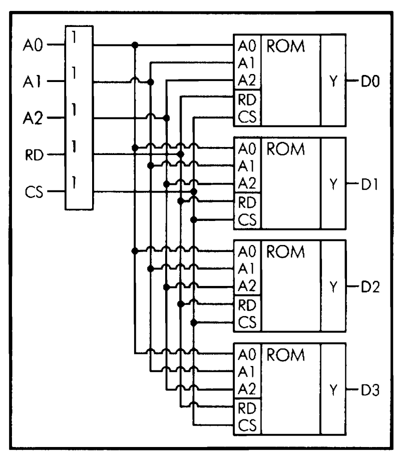


Рис. 2.1.9. Схема многоразрядного ПЗУ

В этой схеме построено постоянное запоминающее устройство на восемь одноразрядных ячеек. Запоминание конкретного бита в одноразрядную ячейку производится запайкой провода к источнику питания (запись единицы) или запайкой провода к корпусу (запись нуля). На принципиальных схемах такое устройство обозначается, как показано на рис. 2.1.8.

Чтобы увеличить разрядность ячейки памяти ПЗУ, эти микросхемы можно соединять параллельно (выходы и записанная информация, естественно, остаются независимыми). Схема параллельного соединения одноразрядных ПЗУ приведена на рис. 2.1.9.

В реальных ПЗУ запись информации производится при помощи последней операции производства микросхемы — *металлизации*. Металлизация выполняется при помощи маски, поэтому такие ПЗУ получили название *масочных ПЗУ*. Еще одно отличие реальных микросхем от упрощенной модели, приведенной выше, — это использование кроме мультиплексора еще и демультиплексора. Такое решение позволяет превратить одномерную запоминающую структуру в многомерную и тем самым существенно сократить объем схемы дешифратора, необходимого для работы схемы ПЗУ. Эта ситуация иллюстрируется рис. 2.1.10.

Программирование масочного ПЗУ производится на заводе-изготовителе, что очень неудобно для мелких и средних серий производства, не говоря уже о стадии разработки устройства. Естественно, что для крупносерий-

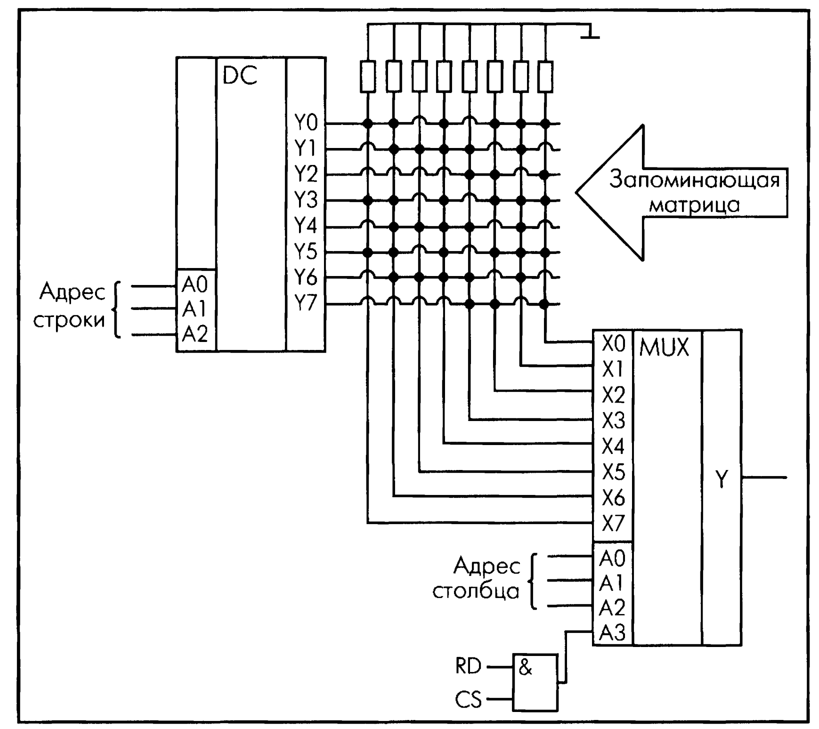


Рис. 2.1.10. Схема масочного ПЗУ

ного производства масочные ПЗУ являются самым дешевым видом ПЗУ и поэтому широко применяются в настоящее время. Для мелких и средних серий производства радиоаппаратуры были разработаны микросхемы, которые можно программировать в специальных устройствах — *программаторах.*

В этих микросхемах, называемых ППЗУ (*Программируемое ПЗУ, Programmable ROM, PROM*), постоянное соединение проводников в запоминающей матрице заменяется плавкими перемычками, изготовленными из поликристаллического кремния. При производстве микросхемы изготавливаются все перемычки, что эквивалентно записи во все ячейки памяти логических единиц. В процессе программирования на выводы питания и выходы микросхемы подается повышенное питание. При этом если на выход микросхемы подается напряжение питания (логическая единица), то через перемычку ток протекать не будет и перемычка останется неповрежденной. Если же на выход микросхемы подать низкий уровень напряжения (присоединить к корпусу), то через перемычку будет протекать ток, который испарит эту перемычку, и при последующем считывании информации из этой ячейки будет считываться логический ноль.

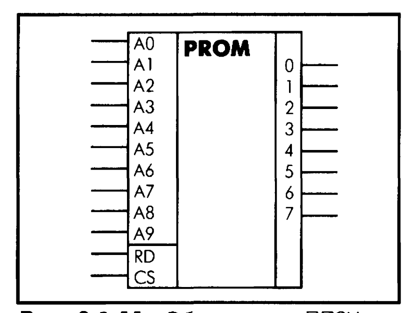


Рис. 2.1.11. Обозначение ППЗУ на принципиальных схемах

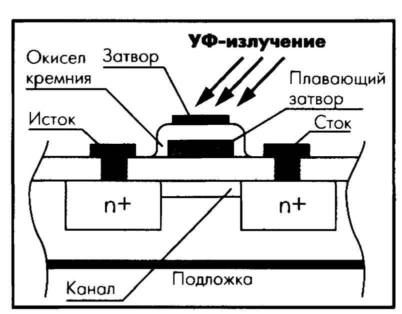


Рис. 2.1.12. Ячейка памяти с УФ-стиранием

Возможно также применение другой технологии создания PROM (*Antifuse* от фирмы Actel), когда перемычка образована трехслойным диэлектриком с чередованием слоев «оксид-нитрид-оксид». Программирующий импульс напряжения пробивает перемычку и создает проводящий канал между электродами. Величина тока, создаваемого импульсами программирования, влияет на диаметр проводящего канала, что позволяет управлять параметрами проводящей перемычки.

Обозначение микросхем ППЗУ на принципиальных схемах иллюстрируется рис. 2.1.11.

Программируемые ПЗУ оказались очень удобны при мелкосерийном и среднесерийном производстве. Однако при разработке радиоэлектронных устройств часто приходится менять записываемую в ПЗУ программу. ППЗУ при этом невозможно использовать повторно, поэтому раз записанное ПЗУ при ошибочной или промежуточной программе приходится выкидывать, что естественно повышает стоимость разработки аппаратуры. Для устранения этого недостатка был разработан еще один вид ПЗУ, который мог бы стираться и программироваться заново.

ПЗУ с ультрафиолетовым стиранием (*Стираемое ППЗУ, СППЗУ, Erasable PROM, EPROM*) создается на основе запоминающей матрицы, построенной на ячейках памяти. Такая ячейка (рис. 2.1.12) представляет собой МОП-транзистор, в котором затвор выполняется из поликристаллического кремния. Затем в процессе изготовления микросхемы этот затвор окисляется, в результате чего окружается оксидом кремния — диэлектриком с хорошими изолирующими свойствами. При полностью стертом ПЗУ заряда в «плавающем» затворе нет, и транзистор ток не проводит. При программировании микросхемы на второй затвор, находящийся над «плавающим» затвором, подается высокое напряжение, и в «плавающем» затворе индуцируются заряды. После снятия программирующего напряжения на «плавающем» затворе остается индуцированный заряд и, следовательно, транзистор остается в проводящем состоянии. Заряд на «плавающем» затворе может храниться десятки лет.

Структурная схема постоянного запоминающего устройства не отличается от описанного ранее масочного ПЗУ, но вместо перемычки используется описанная выше ячейка. В репрограммируемых ПЗУ стирание ранее записанной информации осуществляется ультрафиолетовым излучением. Для того чтобы этот свет мог беспрепятственно проходить к полупроводниковому кристаллу, в корпус микросхемы встраивается окошко из кварцевого стекла.

При облучении микросхемы изолирующие свойства оксида кремния теряются и накопленный заряд из плавающего затвора стекает в объем полупроводника, в результате чего транзистор запоминающей ячейки переходит в закрытое состояние. Время стирания микросхемы колеблется в пределах 10–30 минут. Количество циклов записи/стирания микросхем находится в диапазоне от 10 до 100 раз, после чего микросхема выходит из строя. Это связано с разрушающим воздействием ультрафиолетового излучения. СППЗУ изображаются на принципиальных схемах, как показано на рис. 2.1.13.

Дороговизна корпусов с кварцевым окошком, а также малое количество циклов записи/стирания привели к поиску способов стирания информации из ППЗУ электрическим способом. На этом пути встретилось много трудностей, которые к настоящему времени практически решены. Сейчас достаточно широко распространены микросхемы с *электрическим стиранием информации (ЭСППЗУ, Electrically Erasable PROM, EEPROM)*. В качестве запоминающей ячейки в них используются такие же ячейки, как и в СППЗУ, но они стираются электрическим потенциалом. Время стирания ячейки памяти в таких микросхемах уменьшается до 10 мс. В то же время площадь запоминающего элемента с электрическим стиранием вначале была приблизительно вдвое больше, чем площадь элемента с УФ стиранием.

Электрически стираемые ППЗУ дороже и меньше по объему, но зато позволяют перезаписывать каждую ячейку памяти отдельно. В результате эти микросхемы обладают максимальным количеством циклов записи/стирания. Область применения ЭСППЗУ — хранение данных, которые не должны стираться при выключении питания. В последнее время технология EEPROM постепенно вытесняется технологией Flash.

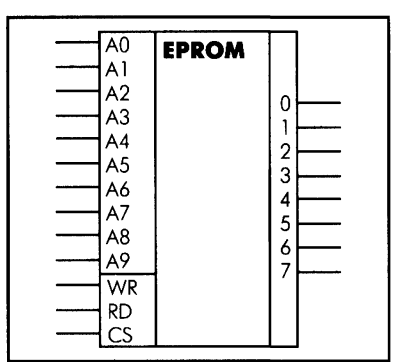


Рис. 2.1.13. Обозначение СППЗУ на принципиальных схемах

Flash — это дальнейшее развитие схемотехники EEPROM. Такие ПЗУ дешевле в производстве, имеют много большее количество циклов перезаписи (до 1 000 000) и большую скорость записи при последовательном доступе, что обусловлено отличной от предшественника организацией: доступ к данным осуществляется блоками. Правда, именно поэтому перезапись произвольных участков памяти происходит медленнее. Флэш-память имеет встроенный идентификатор и возможность защиты блоков от записи.

Флэш-память строится на однотранзисторных элементах памяти (с «плавающим» затвором), что обеспечивает плотность хранения информации даже несколько выше, чем в динамической оперативной памяти. Существуют различные технологии построения базовых элементов флэш-памяти, разработанные ее основными производителями. Эти технологии отличаются количеством слоев, методами стирания и записи данных, а также структурной организацией, что отражается в их названии. Наиболее широко известны *NOR* и *NAND* типы флэш-памяти, запоминающие транзисторы в которых подключены к разрядным шинам, соответственно, параллельно и последовательно.

Первый тип (NOR) имеет относительно большие размеры ячеек и высокую скорость доступа (порядка 70 нс), что позволяет выполнять программы непосредственно из этой памяти. Второй тип (NAND) имеет меньшие размеры ячеек и быстрый последовательный доступ (обеспечивая скорость передачи до 16 Мбайт/с), что более пригодно для построения устройств блочного типа, например компактных носителей информации.

2.1.4. Перечень основных фирм — производителей ИМС памяти

Ведущие фирмы-производители ИМС-памяти представленны в табл. 2.1.2.

Таблица 2.1.2

Производитель	Характеристика
Atmel Corporation (*www.atmel.com*)	Производит ПЗУ по технологиям EPROM, EEPROM и FLASH
Elpida Memory, Inc. (*www.elpida.com*)	Лидер в производстве динамических ОЗУ среди японских компаний
Samsung (*www.samsung.com*)	Одна из крупнейших фирм, производящих и разрабатывающих ИМС памяти. В её ассортименте присутствуют ОЗУ и ПЗУ практически всех типов (кроме устаревших), как в виде отдельных ИМС, так и в виде готовых модулей для разнообразных ЭВМ
ST Microelectronics (*www.st.com/stonline*)	Одна из самых больших компаний, занимающихся полупроводниковой техникой. Производит асинхронные SRAM с пониженным энергопотреблением и PSRAM. Компания также производит ПЗУ по технологиям EPROM, EEPROM и FLASH
Infineon Technologies (*www.infineon.com*)	Один из крупнейших производителей динамического ОЗУ и ПЗУ типа FLASH
Ramtron (*www.ramtron.com*)	Разработчик и производитель уникальной энергонезависимой памяти FRAM
Rambus (*www.rambus.com*)	Разработчик RDRAM и XDR, компания, знаменитая своими высокопроизводительными ИМС памяти. Не имеет собственных производственных мощностей, однако пользуется услугами Elpida и Nanya
Micron Technology (*www.micron.com*)	Один из мировых лидеров в производстве и разработке памяти. Основные направления деятельности: динамическое ОЗУ и Flash. Также производит псевдостатическую память (PSRAM) для применения в мобильных устройствах
Nanya Technology (*www.nanya.com*)	Дочерняя компания корпорации Nanya Plastics. Один изведущих производителей и разработчиков динамического ОЗУ в мире
NEC (*www.nec.com*)	Крупная японская компания, производитель Flash, EEPROM и SRAM

2.1.5. Примеры ИМС памяти

2.1.5.1. Динамические ОЗУ «классического» типа

Динамические ОЗУ «классического» типа приведены в табл. 2.1.3.

2.1.5.2. Статические и совместимые с ними ОЗУ

В табл. 2.1.4 представленны статические и совместимые с ними ОЗУ.

2.1.5.3. ПЗУ типа PROM/EPROM

Таблица 2.1.5 содержит перечень ПЗУ типа PROM/EEPROM.

2.1.5.4. ПЗУ типа EEPROM и FLASH

Таблица 2.1.6 содержит информацию о ПЗУ типа EEPROM и FLASH.

2.1.6. Обозначения контактов ИМС памяти, применяемые производителями при составлении документации

Как уже упоминалось ранее, в справочниках и технической документации можно встретить таблицу соответствий номеров контактов и назначения выводов. Проиллюстрируем это на примере рассматриваемой ИМС (табл. 2.1.7.)

Типовая схема включения ИМС памяти в технической документации обычно не приводится, так как работа с микросхемами ОЗУ, вне зависимости от производителя, осуществляется одинаково.

В табл. 2.1.8. обозначение «XX» говорит о том, что таких контактов много и они нумеруются. На месте «XX» пишется номер контакта.

2.1.7. Пример цоколевки ИМС памяти

Рассмотрим микросхему HYB39S128400CT-8, производимую фирмой Infineon Technologies. Эта ИМС относится к ОЗУ типа SDRAM, рассчитана на тактовую частоту 100 МГц и имеет архитектуру 8M × 4 × 4. Корпус микросхемы относится к типу TSOPII54. Цоколевка этой ИМС приведена в технической документации производителя и показана на рис. 2.1.14.

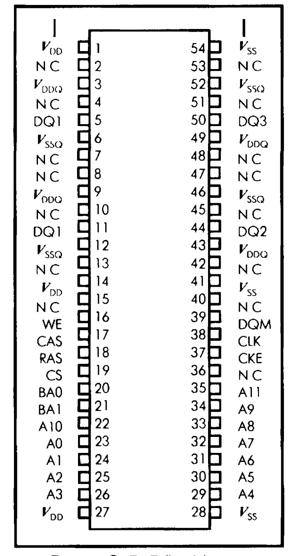


Рис. 2.1.14. Цоколевка HYB39S128400CT-8

2.1

Таблица 2.1.3

Наименование	Организация	Тип	Мин. длит. цикла (нс)	Макс. тактовая частота (МГц)	Тайминги	Пропускная способность	Ёмкость (Мбит)
K4S161622H-TC55	512КЧ16Ч2	SDRAM	5.5	183	3–3–3	183 Мбит/с	16
K4S1FG0632M-TC75	64МЧ4Ч4	SDRAM	7.5	133	3–3–3	133 Мбит/с	1024
HYB39S128400 CT-7	8МЧ4Ч4	SDRAM	7	143	2–2–2	133 Мбит/с	128
HYB39S512160 AT-8	8МЧ16Ч4	SDRAM	8	125	2–2–2	125 Мбит/с	512
EDS2532 AABH-6B	2МЧ32Ч4	SDRAM	6	166	3–3–3	166 Мбит/с	256
K4H1G0438M-TC/LB3	64МЧ4Ч4	DDR	6	166	2.5–3–3	333 Мбит/с	1024
K4H1G0838M-TC/LA2	32МЧ8Ч4	DDR	7.5	133	2–3–3	266 Мбит/с	1024
HYB25D512160 CF-5	8МЧ16Ч4	DDR	5	200	2 5–3–3	400 Мбит/с	512
EDD5108 ADTA-5C	16МЧ8Ч4	DDR	5	200	3–4–4	400 Мбит/с	512
K4T1G044QA-ZCCC	32МЧ4Ч8	DDR2	5	200	3–3–3	400 Мбит/с	1024
K4T1G164QA-ZCE6	8МЧ16Ч8	DDR2	3	333	5–5–5	667 Мбит/с	1024
HYB18T256800 AF-2.5	8МЧ8Ч4	DDR2	2.5	400	6–6–6	800 Мбит/с	256
EDE5108 ABSE-5C-E	16МЧ8Ч4	DDR2	3.7	266	4–4–4	533 Мбит/с	512
K4R761869A-FCN1	1МЧ18Ч32s	RDRAM	1.67	600	н/д	2.4 Гбит/с	576
K4R571669E-GCN1	512КЧ16Ч32s	RDRAM	1.67	600	н/д	2.4 Гбит/с	256
EDR2518 ABSE-AE-E	512КЧ18Ч32s	RDRAM	1.9	533	н/д	2.1 Гбит/с	288
K4Y50024UC-JCC4	32МЧ2Ч8s	XDR	2	500	н/д	4 Гбит/с	512
K4Y54164UF-JCA2	2МЧ16Ч8s	XDR	3.33	300	н/д	2.4 Гбит/с	256
EDX5116 ABSE-3C-E	4МЧ16Ч8s	XDR	2.5	400	н/д	3.2 Гбит/с	512

Таблица 2.1.4

Наименование	Организация	Тип памяти	Время доступа в асинхронном режиме (нс)	Время доступа в страничном режиме (нс)	Тактовая частота* (МГц)
K6X801C3B-TB55	512КЧ16	Async SRAM	55	н/д	н/д
K6F1616R6C	1МЧ16	Async SRAM	70	н/д	н/д
K6R4004V1D-JC10	1МЧ4	Async SRAM	10	н/д	н/д
M68AF127B	128КЧ8	Async SRAM	55	н/д	н/д
M68AW127B	128КЧ8	Async SRAM	70	н/д	н/д
K7D161874B-HC37	1МЧ18	DDR SRAM	2.3	н/д	375
K7J643682M-FC30	2МЧ36	DDRII SRAM	0.45	н/д	300
K7R320982M-FC20	4МЧ9	QDRII SRAM	0 45	н/д	200
MT45W1MW16 PDGA-70 WT	1МЧ16	Async PSRAM	70	20	н/д
M69AR048B	2МЧ16	Async PSRAM	80	25	н/д
M69AW024BE	1МЧ16	Async PSRAM	60	н/д	н/д
K1B3216B7D	2МЧ16	PSRAM	70	20	66
K1S2816BCM	8МЧ16	Async UtRAM	70	20	н/д
K1S64161CC	4МЧ16	Async UtRAM	70	20	н/д
FM20L08-60-TGC	128КЧ8	FRAM	60	25	н/д

*Параметр "Тактовая частота" используется только для синхронной памяти

[redacted]

Параметры регенерации	Макс. ток потребления (мА)	Ток потребления в режиме Standby (мА)	Ток потребления в режиме Power-Down (мА)	Напряжение питания (В)	Корпус	Производитель
32мс/2K	155	5–15	3	3–3.6	TSOPII50	Samsung
64мс/8K	240	45–80	16–23	3–3.6	TSOPII54	Samsung
64мс/4K	170	45	1.5	3–3.6	TSOPII54	Infineon
64мс/8K	110	27–35	2–4	3–3.6	TSOPII54	Infineon
64мс/4K	180	40–50	3–4	3–3.6	FBGA90	Elpida
64мс/8K	410	60	30	2.3–2 7	TSOPII66	Samsung
64мс/8K	370	55	30	2.3–2.7	TSOPII66	Samsung
64мс/4K	250	38–45	12–16	2 3–2 7	TFBGA60	Infineon
64мс/8K	530	70	20–30	2.5–2.7	TSOPII66	Elpida
64мс/8K	260	55	18–35	1.7–1.9	FBGA68	Samsung
64мс/8K	350	65	18–40	1.7–1.9	FBGA84	Samsung
64мс/8K	155	50	5–22	1 7–1 9	TFBGA60	Infineon
64мс/8K	190	65	25–40	1.7–1.9	FBGA64	Elpida
32мс/32K	980	110	9	2 37–2.63	WBGA92	Samsung
32мс/16K	780	115	6	2.37–2.63	WBGA84	Samsung
32мс/16K	680	70–90	6	2.37–2.63	FBGA80	Elpida
32мс/16K	1050	250	15	1.71–1.89	BOC104	Samsung
16мс/16K	1200	340	9.5	1.71–1.89	BOC104	Samsung
16мс/16K	1300	270	25	1.71–1.89	FBGA104	Elpida

[redacted]

Ёмкость (Мбит)	Максимальный ток потребления (мА)	Ток потребления в режиме Standby (мкА)	Напряжение питания (В)	Тип корпуса	Производитель
8	35	25	4.5–5.5	TSOPII44	Samsung
16	3	20	1 65–1.95	FBGA48	Samsung
4	65	5 000 – 20 000	3.0–3.6	SOJ32	Samsung
1	20	15	4.5–5.5	SOIC32 PDIP32 TSOP32	ST Microelectronics
1	15	2.5 – 15	2.7–3.6	SOIC32 TSOP32	ST Microelectronics
18	510	150 000	1.8–2 5	BGA153	Samsung
72	850	400 000	1.7–1.9	FBGA165	Samsung
36	720	300 000	1 7–1 9	FBGA165	Samsung
16	20	80	1 7–1.95	FBGA48	Micron
32	25	10 – 100	1 65–1 95	TFBGA48	ST Microelectronics
16	20	10 – 100	2.7–3.3	TFBGA48	ST Microelectronics
32	35	0.1	1 7–2 0	FBGA54	Samsung
128	40	130 – 250	1 7–2.0	TBD	Samsung
64	40	120 – 180	2 7–3 1	FBGA48	Samsung
1	22	н/д	3.135–3.43	TSOP32	Ramtron

Таблица 2.1.7

Название	№ контакта	Тип контакта	Описание назначения
V_{DD}	1, 14, 27	Вход	Питание логического ядра и входных буферов ИМС.
V_{SS}	28, 41, 54	Вход	«Земля», соответствующая V_{DD}
V_{DDQ}	3, 9, 43, 49	Вход	Питание выходного буфера ИМС памяти. Отделено от питания V_{DD} с целью снижения шумов
V_{SSQ}	6, 12, 46, 52	Вход	«Земля», соответствующая V_{DDQ}. Отделена от V_{SS}
N.C.	2, 4, 7, 8, 10, 13, 15, 36, 40, 42, 45, 47, 48, 51, 53	–	«No Connection». Этот контакт не следует подключать к чему-либо
DQ[0:3]	5, 11, 44, 50	Вход/выход	Контакты, используемые для передачи данных, записываемых в ОЗУ или считываемых из него
$\overline{WE}$	16	Вход	Сигнал «Write Enable». Указывает на тип операции (запись или считывание данных) с ячейку
$\overline{CAS}$	17	Вход	Сигнал «Column Address Strobe». Сигнализирует о появлении на адресных входах номера столбца, содержащего требуемую ячейку. По этому сигналу активизируется доступ к указанному столбцу
$\overline{RAS}$	18	Вход	Сигнал «Row Address Strobe». Сигнализирует о появлении на адресных входах номера строки, содержащей требуемую ячейку. По этому сигналу активизируется доступ к указанной строке
$\overline{CS}$	19	Вход	Сигнал «Chip Select». Управляет включением и выключением декодера команд. При отключенном декодере ИМС не принимает новые команды, однако выполнение последней операции продолжается
BA[0:1]	20,21	Вход	Сигналы на этих контактах указывают номер активного банка памяти
A[1:11]	24–26, 29–34, 22, 35	Вход	Входные каналы. Во время цикла активации заданного банка памяти через них передаётся номер столбца, а во время цикла чтения/записи – номер строки
CKE	37	Вход	Сигнал «Clock Enable». Логическая единица на этом входе разрешает работу с сигналом CLK, а логический ноль – запрещает. Сигнал участвует в установке режима работы ИМС
CLK	38	Вход	Сигнал тактовой частоты. Все входы ИМС проверяются синхронно с нарастающим фронтом этого сигнала.
DQM	39	Вход	Сигнал «Data Input/Output Mask». Логическая единица на этом входе переводит входы DQ[0:3] в третье состояние

Таблица 2.1.8

Обозначение контакта	Функция
CLK, CK, $\overline{CK}$, K, $\overline{K}$, SCL	Сигнал тактовой частоты (входной)
CQ, $\overline{CQ}$	Сигнал тактовой частоты (выходной)
CS, $\overline{CS}$, E_X	Сигнал «Chip Select» (он же «Chip Enabled»). Включает/выключает устройство методом маскирования всех каналов (кроме нескольких служебных)
CKE	Сигнал «Clock Enable». Позволяет маскировать сигнал тактовой частоты
A_{XX}	Входные каналы. При использовании параллельного интерфейса – через них передаётся адрес ячейки данных в микросхеме. Входы мультиплексируемые, т.е. на одних и тех же контактах по очереди может появляться адрес строки и адрес ячейки
SA	Входной канал при использовании последовательного интерфейса
B_1	Сигнал загрузки внешнего адреса
B_2	Сигнал включения пакетного режима для чтения/записи
B_3	Выбор между одинарной и удвоенной скоростью передачи данных. Используется в DDR. Данные могут передаваться либо по фронту тактового сигнала, либо по фронту и спаду
BA_{XX}	Сигнал применяется для выбора активного банка памяти
$\overline{G}$	Сигнал включения асинхронного вывода данных
$\overline{RAS}$	Сигнал «Row Address Strobe». Сигнализирует о появлении на входах A_{XX} адреса строки, содержащей нужные данные. По этому сигналу активизируется доступ к указанной строке
$\overline{CAS}$	Сигнал «Column Address Strobe». Сигнализирует о появлении на входах A_{XX} адреса столбца, содержащего нужные данные. По этому сигналу активизируется доступ к указанному столбцу
$\overline{WE}$, $\overline{WC}$	Сигнал «Write Enable» (он же «Write Control»). Запускает операцию записи данных в указанную ячейку
PE	Сигнал «Program Enable»
$\overline{LBO}$	Сигнал «Linear Burst Order»
ORG	Сигнал, предназначенный для конфигурации памяти
L(U)QDM, QDM, L(U)DM, DM, DQM	Сигнал «Data Input/Output Mask». Блокирует поступление входных данных и переводит информационные выводы в третье состояние. Наличие буквы L или U говорит о том, что этот контакт контролирует старшие (U – upper) или младшие (L – lower) биты
DQ_{XX}, I/O	Информационные выводы (Data Strobes)
DI	Контакт для ввода данных через последовательный интерфейс
DO	Контакт для вывода данных через последовательный интерфейс
SDA	Контакт для ввода/вывода данных через последовательный интерфейс
DQS, LDQS, UDQS	Сигнал «Data Strobe». Сигнализирует о появлении на DQ_{XX} данных. Наличие буквы L или U говорит о том, что этот контакт контролирует старшие (U – upper) или младшие (L – lower) биты
ODT	Сигнал внутрикристалльной терминации (On-die termination)
ODC	Сигнал внешней калибровки ODT (Off-Chip Driver Calibration)
V_{DD}, V_{DDL}	Питание ИМС
V_{SS}, V_{SSDL}	«Земля», соответствующая V_{DD}
V_{DDQ}	Питание выходного буфера ИМС памяти
V_{SSQ}	«Земля», соответствующая V_{DDQ}
V_{REF}	Эталонный уровень напряжения, соответствующего логической единице
NC, N.C., N/C	«No Connection» – этот канал не следует никуда подключать
RFU	«Reserved for Future Use» – канал зарезервирован для использования в будущем. Его также не следует никуда подключать
TCK TDI TDO TMS	Контакты интерфейса JTAG

Таблица 2.1.5

Наименование	Организация	Тип памяти	Время доступа (нс)	Скорость записи	Ёмкость	Макс. частота обмена данными (МГц)	Максимальный ток потребления при чтении (мА)
M27C322	2МЧ16	UV* OTP**	80	50 мкс/слово	32 Мбит	8	70
M27V160	2МЧ8	UV OTP	100	50 мкс/слово	16 Мбит	8	30
M27W101	128КЧ8	UV OTP	70 80	100 мкс/слово	1 Мбит	5	15
AT27C512R	64КЧ8	OTP	45	100 мкс/слово	512 Кбит	5	20
AT27C4096	256КЧ16	OTP	55	50 мкс/слово	4 Мбит	5	40
AT27BV040	512КЧ8	OTP	120	100 мкс/слово	4 Мбит	5	10 30

* – UV расшифровывается как Ultra Violet и обозначает УФ-стираемые ПЗУ, которые можно записать несколько раз. Они поставляются только в корпусах WDIP и WSOP.

Таблица 2.1.6

Наименование	Организация	Тип памяти	Тактовая частота (МГц)	Время последовательного доступа (нс)	Время произвольного доступа (нс)	Цикл стирания блока (мс)	Цикл записи (мс)
M24C16-W	2КЧ8	Serial EEPROM				н/д	5
M93C56-R	256Ч8	Serial EEPROM				н/д	5
M95640	8КЧ8	Serial EEPROM				н/д	5
AT28HC256N	32КЧ8	EEPROM	н/д	н/д	90	н/д	3
K9E2G08B0M	256МЧ8	NAND Flash		15000	50	2	0.2
AT25F2048	256КЧ8	Serial Flash	33	н/д	н/д	1000/сектор	30 мкс/слово
AT49BV320D	2МЧ16	Flash	н/д	н/д	70	100/сектор	10/слово

Максимальный ток потребления при записи (мА)	Ток потребления в режиме Standby (мкА)	Напряжение питания (В)	Напряжение для записи (В)	Тип корпуса	Производитель
50	100	4.5 – 5.5	11.75 – 12.25	WDIP42 PDIP42 SDIP42	ST Microelectronics
50	60	3.0 – 3.6	12.25 – 12.75	WDIP42 PDIP42 SDIP42 PLCC44 SOIC44	ST Microelectronics
50	15	3.0 – 3.6 2.7 – 3.6	11.5 – 12.5	WDIP32 PDIP32 PLCC32 TSOP32	ST Microelectronics
25	100	4.5 – 5.5	11.5 – 12.5	PDIP28 SOIC28 TSOP28 PLCC32	Atmel
50	100	4.5 – 5.5	11.5 – 12.5	PDIP40 PLCC44 VSOP40	Atmel
40	20 – 100 100 – 1000	2.7 – 3.6 4.5 – 5.5	11.5 – 12.5	PLCC32 TSOP32 VSOP32	Atmel

** – OTP расшифровывается как One-Time Programming, такие ПЗУ можно записать только один раз

Ёмкость	Максимальный ток потребления (мА)	Ток потребления в режиме Standby (мкА)	Напряжение питания (В)	Тип корпуса	Интерфейс	Производитель
16 Кбит	3	2 – 5	2.5 – 5.5	PDIP8 SOIC8 TSSOP8	I²C	ST Microelectronics
2 Кбит	2	2	1.8 – 5.5	PDIP8 SO8 TSSOP8	Microwire	ST Microelectronics
64 Кбит	12	2	4.5 – 5.5	PDIP8 SO8 TSSOP8	SPI	ST Microelectronics
256 Кбит	30	300 (КМОП) 3 (ТТЛ)	4.5 – 5.5	PLCC32	Parallel	Atmel
2 Гбит	20	20 – 100	2.5 – 2.9	TSOP48 WSOP48	Parallel	Samsung
2 Мбит	45	2 – 10	2.7 – 3 6	SOIC8	SPI	Atmel
32 Мбит	25	15 – 25	2.65 – 3.6	TSOP48 CBGA47	Parallel	Atmel

2.2. УНИВЕРСАЛЬНЫЕ МИКРОПРОЦЕССОРЫ

2.2.1. Основные характеристики микропроцессоров

Микропроцессор (МП) является программно-управляемой СБИС, предназначенной для обработки цифровой информации. Типовыми узлами микропроцессора являются блок управления, регистры, сумматоры, счетчики команд и очень быстрая память малого объема (кэш-память, обычно статического типа). Некоторые микропроцессоры дополняются сопроцессорами, расширяющими возможности микропроцессоров и набор выполняемых команд.

Универсальные микропроцессоры предназначаются для применения в вычислительных системах: персональных ЭВМ, рабочих станциях, массово-параллельных супер-ЭВМ. Как правило, закладываемые в универсальные МП технические решения служат в первую очередь задаче получения максимального быстродействия, во вторую — задачам минимизации потребляемой мощности и стоимости. МП также используются для управления различными системами, в этом случае их называют *микроконтроллерами* (от англ. *control* — управление) (разд. 2.3).

МП характеризуются следующими параметрами.

Тактовая частота (Clock Rate) — частота повторения сигналов, синхронизирующих работу микросхем компьютера. Эти сигналы вырабатываются тактовым генератором центрального процессора и используются для создания единого стандарта времени для управления всеми процессами, происходящими в устройствах компьютера. Тактовая частота используется для управления теми устройствами ЭВМ, которые имеют наибольшее быстродействие, а работа устройств с меньшим быстродействием осуществляется на частотах, получаемых делением тактовой частоты.

Разрядность — максимальное количество разрядов двоичного кода (бит), с которым может одновременно работать устройство.

Пиковая (техническая) производительность (Peak Perfomance) — теоретический максимум быстродействия процессора в идеальных условиях. Она определяется как число вычислительных операций, выполняемое за единицу времени всеми АЛУ процессора. Предельное быстродействие достигается при обработке бесконечной последовательности не связанных между собой и не конфликтующих при доступе в память команд (т.е. результат любой операции не зависит от действий, выполненных другими командами). При этом предполагается, что все операнды выбираются из кэш-памяти данных, а команды — из кэш-памяти команд. Пиковая производительность процессора при проведении операций с фиксированной точкой измеряется в *MIPS (Million Instructions Per Second)*, а при проведении операций с плавающей точкой — в *MFLOPS (Million FLoating-point Operations Per Second)*.

Регистры (Registers) — ячейки памяти внутри микропроцессора, в каждой из которых можно хранить одно число. Диапазон чисел, которые можно хранить в регистре, зависит от его разрядности. Основное назначение регистров — оперативное хранение операндов и адресов ячеек памяти. Поскольку регистры расположены непосредственно на кристалле микропроцессора, время обращения к ним мало и их можно считать сверхоперативным ОЗУ.

Кэш-память — буферная память, в которой данные содержатся в совокуп-

ности с их адресом в основной памяти. Кэш-память имеет малый объем, малое время доступа и используется помимо основного ОЗУ. Ее применение позволяет сократить количество обращений к основному ОЗУ за счет аккумуляции в ней текущего фрагмента программного кода, что позволяет создать эффект уменьшения времени доступа в основную память и существенно сократить простои процессора в ожидании данных. При этом эффект уменьшения времени доступа в память будет тем больше, чем больше время обработки данных в кэш-памяти по сравнению со временем пересылки между кэш- и основной памятью. Этому способствует локальность обрабатываемых данных, когда процессор многократно использует одни и те же данные для выработки некоторого результата. Локально обрабатываемые данные могут возникать в ходе вычислений, и не обязательно сосредоточены в одной области ОЗУ. Поэтому кэш-память организуют как ассоциативную, в которой данные содержатся в совокупности с их адресом в основной памяти.

Инструкция — команда, указывающая микропроцессору на действие, которое необходимо выполнить.

Операнд — величина, представляющая собой объект операции, выполняемой ЭВМ. Например, операндами арифметических операций обычно являются числа: при сложении — слагаемые, при умножении — сомножители.

Прерывание (Interrrupt) — это специальный сигнал, при поступлении которого процессор прекращает выполнение текущей программы, а вместо этого выполняет какую-то служебную программу (какую — зависит от прерывания). После окончания обработки прерывания исходная программа продолжает выполнение, сохраняя работоспособность. Для определения очередности прерываний (если несколько прерываний могу поступить одновременно) используются приоритеты прерываний, указывающие, какое прерывание должно быть обработано немедленно, а какое — позже. Прерывания делятся на *маскируемые* (их обработка может быть запрещена программно) и *немаскируемые* (выполняются в любом случае, обычно — системные).

2.2.2. Классификация микропроцессоров

Так как задачи, выполняемые микропроцессорами, весьма разнообразны, причем в зависимости от программы один и тот же МП может реализовывать совершенно разные функции, то классификацию микропроцессоров принято вести по их архитектуре. При этом следует выделить два основных качественных признака:

- используемый набор команд;
- метод работы с памятью.

Рассмотрим эти два признака.

2.2.2.1. Используемый набор команд

Микропроцессор с CISC-архитектурой (Complicated Instruction Set Computer — CISC), он же *компьютер со сложным набором команд.*

Эту архитектуру также называют «классической», так как она была разработана первой и долгое время оставалась единственной. МП с CISC-архитектурой применяются, как правило, в персональных компьютерах и серверах. Команды таких МП имеют много разных форматов и требуют для своего представления различного числа ячеек. Это обуславливает определение типа команды в ходе ее дешифрации при исполнении, что усложняет устройство управления процессора и препятствует повышению тактовой частоты до уровня, достижимого в RISC-процессорах на той же элементной базе. Лидером в производстве процессоров с CISC-архитектурой является фирма Intel, микропроцессорами которой комплектуется более 80 % выпускаемых персональных компьютеров.

Микропроцессор с RISC-архитектурой (Reduced Instruction Set Computer — RISC), он же *компьютер с сокращенным набором команд*.

В начале 80-х годов архитектура CISC стала серьезным препятствием на пути развития микропроцессорной техники, поскольку для работы с «традиционным» расширенным списком команд стало требоваться очень сложное устройство центрального управления, занимающее до 60 % всей площади кристалла. Тогда же был проведен анализ машинного кода, генерируемого компиляторами языков высокого уровня. Этот анализ показал, что в таком коде используется весьма ограниченный набор простых команд. Идея, заложенная в основу RISC-архитектуры, такова: оставить в системе команд наиболее употребляемые и универсальные инструкции, исключив сложные и редко используемые. Результатом стало существенное упрощение центрального управления и высвобождение части поверхности кристалла процессора для размещения более мощных средств обработки данных.

2.2.2.2. Методы работы с памятью

В январе 1945 года Джон фон Нейман, математик венгерского происхождения, предложил архитектуру процессора с объединенной памятью программ и данных. Машина фон Неймана была создана в Принстонском институте новейших исследований в 1951 году. С тех пор это простое решение широко применяется в большинстве компьютеров и называется *«неймановская архитектура»*. Она содержит три основных функциональных блока:

- память;
- арифметико-логическое устройство (АЛУ);
- блок ввода/вывода.

Для выполнения каждой операции АЛУ обращается по одной и той же линии связи (шине) сначала к памяти программ, а потом к памяти данных. Устройство ввода/вывода управляет потоком внешних данных.

Архитектура фон Неймана использует только одну шину памяти. Она очень дешевая, требует меньшего количества выводов шины и является простой в использовании, так как программист может размещать и команды, и данные в любом месте свободной памяти.

Главное преимущество неймановской архитектуры — универсальность. Один и тот же компьютер можно использовать в самых разных целях: и

для разработки, и для выполнения готовых приложений. По этой архитектуре строились первые DSP, однако со временем они были практически полностью вытеснены DSP на основе гарвардской архитектуры и ее модификаций.

Гарвардская архитектура была разработана в конце 30-х Говардом Айхеном в Гарвардском университете (отсюда и название) с целью оптимизации работы памяти и увеличения скорости выполнения операций. Первая машина Harvard Mark1 заработала в 1944 году. До конца 70-х годов гарвардская архитектура почти не использовалась, пока производители МК не поняли, что она дает определенные преимущества разработчикам автономных систем управления.

Главное отличие гарвардской архитектуры от неймановской состоит в том, что память программ и память данных физически разделены и используют собственные линии связи с АЛУ. Это позволяет пересылать команды и данные одновременно и, следовательно, увеличить производительность процессора. Гарвардская архитектура требует наличия двух шин памяти. Это значительно повышает количество выводов МП и стоимость производства чипа.

Часто необходимо произвести выборку не двух, а трех компонентов — инструкции с двумя операндами, на что классическая гарвардская архитектура неспособна. Для таких случаев данная архитектура дополняется кэш-памятью. Она применяется для хранения тех инструкций, которые будут использоваться вновь. Кэш-память позволяет освободить шину адреса и шину данных, что делает возможным выборку двух операндов. Такую архитектуру называют *расширенной гарвардской архитектурой (Super Harvard ARChitecture — SHARC)*.

Но подобная схема реализации доступа к памяти имеет очевидный недостаток: чтобы разделить каналы передачи адреса и данных, на кристалле необходимо сделать в два раза больше выводов. Для решения этой проблемы был использован следующий прием: внешние данные передаются по общей шине данных и шине адреса, а внутри кристалла эти данные расходятся на шину данных, шину команд и две шины адреса. Такой подход позволяет избежать увеличения числа выводов без особого ущерба для производительности.

2.2.2.3. История развития МП

История микропроцессоров начинается 15 ноября 1971 года, когда компания Intel в лице инженеров Теда Хоффа, Стэна Мэйзора и Федерико Фэджини разработала первый МП для использования в калькуляторах японской фирмы Busicom. Идея объединения функций нескольких специализированных микросхем в одной универсальной ИМС, управляемой фиксированным набором команд и пригодной для применения в различных приложениях, была революционной для своего времени. Первый МП носил название i4004, был четырехразрядным, обладал ОЗУ 640 байт, работал на тактовой частоте 108 кГц, выполнял около 60 тыс. простейших операций в секунду и поставлялся в 16-выводном корпусе.

Следующий шаг был сделан 1 апреля 1972 года, когда компания Intel выпустила МП i8008 — восьмиразрядную версию своего МП i4004. Производительность i8008 превышала производительность i4004 в два раза, а

сам МП содержал около 3500 транзисторов размером 10 мкм. С 1972 года похожие ИМС начинают выпускать еще несколько фирм.

Ровно через два года после выхода i8008, 1 апреля 1974 года, на рынок выходит новый микропроцессор i8080. Эта ИМС была первым микропроцессором, который стал массово применяться для создания персональных компьютеров. Тактовая частота i8080 была равна 1.77 МГц, на кристалле размещалось около 4500 транзисторов, а количество вспомогательных ИМС было уменьшено (с 20 для i8008 до 6 для i8080). В 1975 году процессор i8080 получил дальнейшее развитие: была выпущена ИМС i8085, обладавшая рядом улучшенных показателей: питанием от одного источника 5 В (вместо 5 и 12 В у i8080), контроллером приоритетных прерываний и встроенным генератором синхронизации. Также в очередной раз было уменьшено количество требуемых ИМС поддержки.

В 1978 году появился первый в мире 16-разрядный микропроцессор i8086. На его кристалле было размещено около 29 000 транзисторов, причем за счет мультиплексирования линий ввода/вывода количество контактов в корпусе осталось на уровне i8080 (40 контактов). Несмотря на всю революционную новизну этого МП, он долгое время не мог обрести популярность, так как был весьма дорогим и требовал редких 16-разрядных микросхем поддержки. В результате компания Intel выпустила процессор i8088, который, будучи 8-разрядным, тем не менее был полностью совместим с i8086. Тактовая частота i8088 доходила до 8 МГц, и на его основе в 1981 го- ду компания IBM создала свой первый персональный компьютер IBM PC (а затем и XT). Результатом развития технологии i8086 в 1982 году стал микропроцессор i80286, впервые в истории микропроцессоров совместимый с программами для предыдущих моделей МП.

Очередное повышение разрядности МП произошло в 1985 году с выходом микропроцессора i80386. Это был первый «истинно 32-разрядный» МП, который стал родоначальником семейства IA-32, популярного даже сегодня. Основными приемами, позволившими повысить производительность этого МП (помимо 32 разрядностей), стали страничная организация памяти и распараллеливание функционирования внутренних устройств микропроцессора.

В 1989 году компания Intel выпускает серию процессоров i80486 (SX, SX2, DX, DX2, DX4), содержащих около 1.2 млн транзисторов. На кристалле этих МП была размещена кэш-память первого уровня (8 или 16 Кбайт, в зависимости от модели) и устройство обработки чисел с плавающей точкой (DX). Это был первый в мире МП со встроенным эквивалентом математического сопроцессора. Такой микропроцессор поддерживал также многопроцессорный режим работы и был оптимизирован для энергосбережения. Совершенствование i80486 шло в ходе его промышленного выпуска, вследствие чего новые МП i80486 отличались своими возможностями от выпущенных ранее. Аналоги этих МП выпускались фирмами Texas Instruments (Ti486), Cyrix (Cx486) и Advanced Micro Devices (Am486).

1993 год был ознаменован появлением первых процессоров Pentium. Эти универсальные МП работали на тактовых частотах 60 и 66 МГц (а затем и до 133 МГц — такие процессоры называли Pentium-2), а также имели 64-разрядную шину данных, несмотря на то, что АЛУ оставалось 32-разрядным. Такая организация процессора позволила обеспечить эффективную работу как со старыми, так и с новыми (32- и 64-разрядными соответственно) микросхемами памяти. Кроме того, у процессоров Pentium объем кэш-памяти был

увеличен до 16 Кб (8 Кб было предназначено для часто используемых команд и 8 Кб — для часто используемых данных), что позволило оптимизировать выполнение циклических операций. Что касается архитектуры, то процессор Pentium имел два независимых конвейера команд, позволявших распараллелить выполнение независимых друг от друга операций. В этих МП также была реализована поддержка работы в симметричных (на базе идентичных процессоров) двухпроцессорных системах. Еще одной инновацией стал блок предсказания ветвлений. Суть его работы такова: как только дешифратор обрабатывает команду условного или безусловного перехода, дополнительный буфер команд заполняется командами по адресу этого перехода. Если переход производится, то очередь команд заполняется из вышеупомянутого буфера и потери производительности при переходе не происходит.

В 1995 году был выпущен процессор Pentium Pro. Его система команд была полностью аналогична системе команд Pentium (т.е. не требовалась очередная оптимизация программ), однако архитектура была существенно доработана. Во-первых, была добавлена новая шина данных, работающая на тактовой частоте процессора и связывающая ядро МП с внутренней кэш-памятью второго уровня объема 256 Кб. Во-вторых, поддерживалась возможность подключения внешней кэш-памяти, также увеличивавшей производительность МП. Третье усовершенствование коснулось конвейера команд: появилась возможность во время длительных операций (например, обмена данных с памятью) «заранее» выполнять следующие за ними быстрые операции, если данные для их выполнения уже есть в кэш-памяти. Pentium Pro поддерживал работу в 4-процессорных симметричных системах и был оптимизирован для выполнения 32-разрядных инструкций. Pentium Pro был ориентирован на сегмент высокопроизводительных систем и серверов, так что практически не применялся в ПК.

В 1997 году набор команд Pentium был расширен набором MMX (Multi-Media eXtension — мультимедийные расширения), а объем кэш-памяти первого уровня был увеличен до 32 Кбайт. Кэш-память второго уровня, в отличие от Pentium Pro, работала на половинной тактовой частоте МП. Процессоры Pentium MMX были ориентированы на замену процессоров Pentium-2 и выпускались в аналогичных корпусах. Параллельно аналогичные изменения (MMX и расширение кэш-памяти) были внесены в процессоры Pentium Pro, а также было в очередной раз усовершенствовано устройство обработки чисел с плавающей точкой. Получившиеся МП назвали Pentium II (не путать с Pentium-2). Работали эти МП на тактовых частотах до 450 МГц, а выпускались они в виде картриджа, причем в разъем для Pentium II невозможно было вставить его аналоги от конкурирующих фирм. Для использования в ПК выпускался также аналог Pentium II с уменьшенной тактовой частотой и без кэш-памяти второго уровня. Такие процессоры получили название Celeron.

Следующим шагом стал процессор Pentium III, первая модель которого вышла в 1999 году, а выпуск последней модели был прекращен лишь в 2003. Следует отметить, что от картриджевого исполнения корпуса компания Intel все же отказалась. Тактовые частоты этих процессоров лежали в диапазоне от 450 до 1330 МГц, а в архитектуру был внесен ряд изменений. Во-первых, архитектура этих процессоров содержала DIB (Dual Independent Bus — Две Независимые Шины), в результате чего запросы к кэш-памяти

второго уровня стали идти через специализированную шину, а не через системную. Во-вторых, в Pentium III был реализован новый набор инструкций с SIMD-расширениями, распараллеливавшими выполнение сложных команд на несколько АЛУ. Выпускались модификации процессора с кэш-памятью второго уровня объемом 256 и 512 Кб, кэш-память первого уровня была расширена до 32 Кб. Также были выпущены модели Pentium III с пониженным энергопотреблением и тепловыделением для использования в переносных компьютерах. Такие модели получили название Pentium III-M. Динамическое исполнение команд также претерпело изменения, касающиеся блока предсказания ветвлений и анализа потоков данных. Блок вычислений с плавающей точкой (Floating Point Unit — FPU) стал поддерживать не только 32-, но и 64-, и даже 80-разрядный форматы данных. Кроме того, в механизм управления системной шиной было привнесено использование помехоустойчивого кодирования (контроль четности). Так как теплоотдача процессоров этой серии грозила разрушением процессора при недостаточном охлаждении, то в состав кристалла также был внесен диодный датчик температуры, в случае перегрева снижавший тактовую частоту процессора. Как и в случае с Pentium II, выпускались также и процессоры Celeron-2 с урезанной кэш-памятью, уменьшенной тактовой частотой и отключенной возможностью работы в многопроцессорных системах.

В 2001 году появились первые образцы Intel Pentium 4, процессора, который производится и сегодня. Основной упор при разработке этого процессора был сделан на увеличение его производительности в мультимедийных приложениях. Была введена технология HyperThreading, позволяющая многопоточным приложениям параллельно выполнять два потока вычислений и увеличивающая общее быстродействие системы при работе со специализированными приложениями и в многозадачных средах. Кроме того, процессоры Pentium 4 обладают возможностью программно менять уровень питания, используемого ими для работы. Максимальный размер внешнего ОЗУ этих процессоров дошел до 4 Гб, а тактовые частоты — до 4 ГГц в штатном режиме и до 5.5 — в режиме разгона (хотя такие повышения тактовой частоты и остались единичными, рискованными и сложными).

2.2.3. Основные принципы построения и структурные схемы

На рис. 2.2.1 представлена обобщенная структура микропроцессорного ядра. Условно в ней можно выделить блок обработки команд и блок обработки данных. Блок обработки команд состоит из регистра команд (РК) и управляющего устройства (УУ). Блок обработки данных включает АЛУ, регистр-накопитель, буферный регистр (БР), регистр признаков (РП), блок регистров общего назначения (БРОН) и регистр адреса (РА).

Рассмотрим более подробно функциональные блоки, представленные на рис. 2.2.1.

2.2.3.1. Арифметико-логическое устройство (АЛУ)

АЛУ является одной из важнейших частей микропроцессора. Оно предназначено для выполнения арифметических и логических операций над чис-

лами в двоичном коде. АЛУ строится на базе параллельного сумматора, поэтому для него базовой операцией является операция сложения двоичных чисел. Другие операции выполняются АЛУ с помощью специальных команд, двоичные коды которых хранятся во внешней памяти. В состав арифметических операций, кроме сложения, входят операции вычитания, логического сравнения, логического поразрядного умножения, а также «ИЛИ» и «НЕ».

Для АЛУ важнейшей характеристикой является разрядность, которая и определяет разрядность всего МП. Поскольку любая цифра из диапазона от «0» до «9» может быть закодирована четырьмя двоичными разрядами, то для выполнения арифметических операций достаточно иметь 4-разрядное АЛУ. Однако этого недостаточно для обработки текстовой информации, так как символы принято кодировать 8-разрядным двоичным кодом. Именно поэтому в свое время разработчики МП перешли от 4-разрядных АЛУ к 8-разрядным. Разрядность АЛУ в современных микропроцессорах может доходить до 64, что позволяет эффективно работать с большими числами, а также упрощать адресацию при работе с большими объемами данных.

2.2.3.2. Программный счетчик

Программный счетчик (на схеме не показан) используется для формирования адреса очередной выполняемой команды. Команды размещаются в ячейках памяти с последовательными адресами. После того как очередная ячейка памяти считана в микропроцессор, содержимое счетчика увеличивается на 1. Процедура увеличения содержимого счетчика повторяется при выполнении всех команд программы. При необходимости изменения порядка выполнения программы (например, при организации условных и безусловных переходов) содержимое счетчика подвергается изменению с помощью специальных команд. Разрядность счетчика команд соответствует разрядности адресов ячеек памяти, т.е. разрядности шины данных.

Как видно из рис. 2.2.1, в состав микропроцессора входит несколько регистров, объединенных в блок регистров. По своему назначению регистры МП разделяются на две категории:

- регистры общего назначения;
- специальные регистры.

2.2.3.3. Регистры общего назначения (РОН)

РОН выполняют функции сверхоперативной памяти. Наличие РОН на кристалле МП расширяет его внутренние возможности по хранению данных и позволяет увеличить производительность МП без увеличения тактовой частоты. Все РОН программно адресуемы и обозначаются символическими именами:

- 8-разрядные: A, B, C, D и т.д.;
- 16-разрядные: AX, BX, CX, DX и т.д.;
- 32-разрядные: EAX, EBX, ECX, EDX и т.д.;
- 64-разрядные: MM0, MM1, MM2, MM3 и т.д.;
- 128-разрядные: XMM0, XMM1, XMM2, XMM3 и т.д.

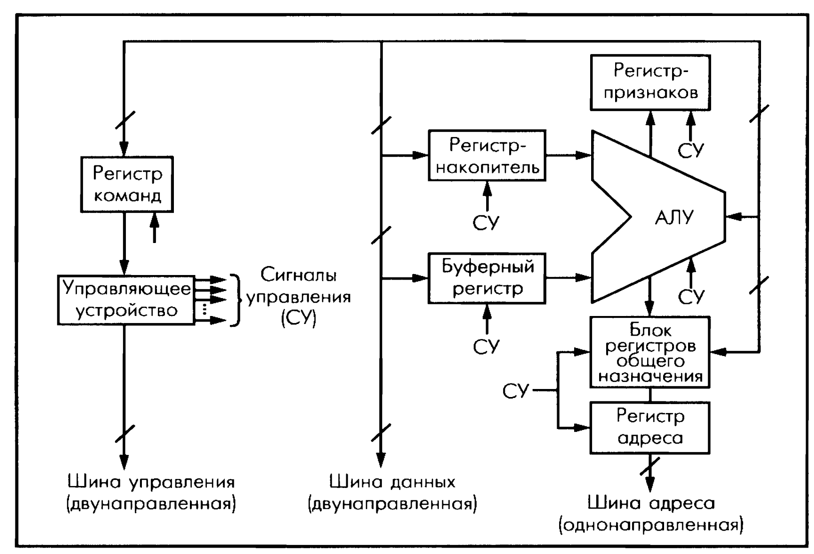


Рис. 2.2.1. Обобщенная структура микропроцессорного ядра

Рассмотрим специальные регистры микропроцессоров.

Входы *регистра-накопителя (аккумулятора)* и *буферного регистра* подключены к внутренней магистрали микропроцессора, а выходы — к входу АЛУ. Эти регистры применяются для выполнения арифметических и логических операций, а их разрядности всегда равны. Буферный регистр нужен исключительно для временного хранения одного из операндов, участвующих в операции. Аккумулятор выполняет такую же функцию, однако после завершения операции в него записывается ее результат, т.е. аккумулятор участвует во всех арифметических операциях. Кроме того, аккумулятор используется для ввода и вывода данных к внешним устройствам. Следует заметить, что существуют микропроцессоры, в которых отсутствует буферный регистр, и тогда второй операнд поступает в АЛУ через внутреннюю магистраль МП из регистров общего назначения или из внешней памяти.

Регистр признаков предназначен для хранения результата логической или арифметической операции, выполненной в АЛУ. В качестве результатов могут выступать самые разнообразные признаки: признак нулевого результата, признак четности единиц в результате, признак переноса единицы в старший разряд и т.д. Количество признаков и их назначение может изменяться в зависимости от модели и производителя микропроцессора. Однако правило записи информации о признаках всегда одинаково: логическая единица соответствует удовлетворению признака. С помощью специальных команд возможно получение информации о любом разряде регистра признаков или извлечение его содержимого для дальнейшего применения. Признаки используются для организации условных переходов в программах.

Для выполнения команд программы ее код, записанный в память системы, считывается и по шине данных пересылается в *регистр команд*, где и хранит-

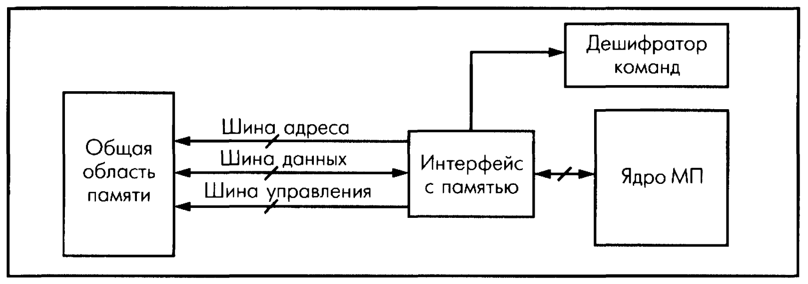


Рис. 2.2.2. Микропроцессорная система с неймановской архитектурой

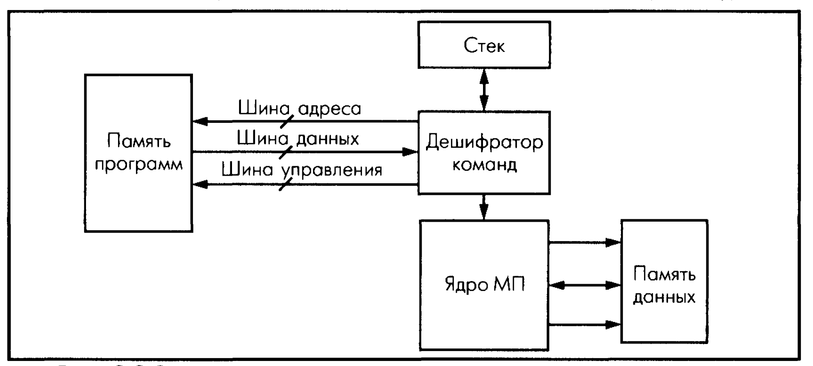


Рис. 2.2.3. Микропроцессорная система с гарвардской архитектурой

ся до момента записи кода следующей команды. Разрядность регистра команд совпадает с разрядностью АЛУ микропроцессора.

Регистр адреса предназначен для хранения адреса очередной выполняемой команды. Этот адрес формируется программным счетчиком команд (см. выше). Регистр адреса позволяет организовать переходы в процессе выполнения программы с помощью изменения содержимого регистра.

2.2.3.4. Управляющее устройство (УУ)

УУ управляет работой всех блоков микропроцессора и внешними устройствами системы с помощью формирования управляющих сигналов. Для управления внутренними устройствами УУ вырабатывает группу сигналов СУ, для управления внешними устройствами — сигналы, входящие в состав шины управления. Комбинация управляющих сигналов, необходимая для выполнения определенной команды, формируется в результате дешифрации кода команды, который хранится в регистре команд.

Для связи МП с внешними устройствами используются следующие шины МП (также называемые магистралями):

- *шина адреса (Address Bus)*. Является однонаправленной и применяется для передачи цифрового адреса (ячейки памяти или устройства) от микропроцессора к внешним устройствам (в том числе и ОЗУ);

- *шина данных (Data Bus).* Двунаправленная шина, используемая для передачи данных от микропроцессора к внешним устройствам и в противоположном направлении;
- *шина управления (Control Bus).* Эта шина используется для передачи сигналов управления от МП к внешним устройствам и наоборот. Однако, в отличие от шины данных, эта шина является квазидвунаправленной, т.е. каждый ее сигнальный провод используется для передачи сигнала только в одном направлении.

2.2.3.5. Неймановская и гарвардская архитектуры МП

Общий вид системы, построенной по неймановской архитектуре, представлен на рис. 2.2.2. Как видно из этого рисунка, каждое обращение к памяти проходит через соответствующий интерфейс. Это приводит к повышенной нагрузке на шины адреса и данных, что может снизить общую производительность процессора.

Гарвардская архитектура (рис. 2.2.3) решает проблему большого количества обращений к памяти с помощью разделения областей памяти программ и данных. Теперь команды поступают на дешифратор независимо от данных, которыми обменивается процессор с ОЗУ. За счет этого становится возможным повысить быстродействие микропроцессора (особенно в операциях обработки массивов данных). Однако за это приходится платить усложнением адресации (в гарвардской архитектуре — два адресных пространства).

2.2.4. Перечень основных фирм — производителей универсальных МП

Таблица 2.2.1 содержит перечень ведущих фирм, которые производят универсальные микропроцессоры.

Таблица 2.2.1

Производитель	Характеристика
«Advanced Micro Devices» (*www.amd.com*)	Один из ведущих производителей новейших микропроцессоров, в том числе и процессоров с низким энергопотреблением.
«Intel Corporation» (*www.intel.com*)	Гигант электронной промышленности, один из лидеров в разработке и изготовлении высокопроизводительных микропроцессоров на основе CISC-архитектуры.
«VIA Technologies, Inc.» (*www.via.com.tw*)	Производит универсальные CISC-микропроцессоры серии Cyrix, характеризующиеся пониженным энергопотреблением и чрезвычайно низким тепловыделением.
«IBM Corporation» (*www.ibm.com*)	Корпорация, разрабатывающая и изготовляющая высокопроизводительные процессоры серии PowerPC с RISC-архитектурой.
«Freescale Semiconductor» (*www.freescale.com*)	Дочерняя компания корпорации «Motorola», специализирующаяся на производстве полупроводниковой продукции, в частности, микропроцессоров и микроконтроллеров с RISC-архитектурой.

2.2.5. Типовая цоколевка универсального МП

Рассмотрим цоколевку универсальных МП на примере MCF5373. Производитель — фирма Freescale Semiconductor — приводит в своей технической документации цоколевку, как показано на рис. 2.2.4. Эта микросхема поставляется в корпусах QFP (MCF5373, рис. 2.2.4, слева) и BGA (MCF5373L, рис. 2.2.4, справа).

Выше приведена табл. 2.2.2 соответствий номеров контактов и назначений выводов для этих ИМС.

Типовая схема включения микропроцессора в технической документации обычно не приводится, так как схема подключения МП в значительной мере зависит от целей разработчика, использующего этот МП.

2.2.6. Примеры современных универсальных МП

Современные универсальные микропроцессоры представленны в табл. 2.2.3.

2.2.7. Обозначения контактов универсальных МП в документации

В табл. 2.2.4 обозначение «XX» говорит о том, что таких контактов много и они нумеруются. На месте «XX» пишется номер контакта.

Также у микропроцессоров часто присутствуют наборы выходов, объединенные по какому-либо признаку, с обозначениями, которые не являются специфическими для универсальных микропроцессоров. Например, МП имеет встроенный контроллер памяти или выводы выполняют схожую функцию (табл. 2.2.5).

Таблица 2.2.2

Название	№ контакта (QFP)	№ контакта (BGA)	Тип контакта
RESET	94	K13	вход
RSTOUT	86	L12	выход
EXTAL	90	L14	вход
XTAL	92	K14	выход
EXTAL32K	–	P13	вход
XTAL32K	–	N13	выход
FB_CLK	40	N1	выход
RCON	72	P8	вход
DRAMSEL	91	H11	вход
A[23:0]	134–126,123,120–107	A9,B9,C9,D9,A10,B10,C10,D10, A11,B11,C11,A12,B12,A13,A14, B14,B13,C12,D11,C14,C13,D14–D12	выход
D[31:16]	27–34,46–53	J2,J1,K4–K1,L4,L3,N2, P1,P2,N3,L5,P3,N4,P4	выход
D[15:0]	16–23,57–64	F2,F1,G4–G1,H4,H3,L6, M6,N6,P6,L7,M7,N7,P7	выход
BE/BWE[3:0]	26,54,24,56	J3,M5,H2,P5	выход
PBE[3:0] (альт.)	26,54,24,56	J3,M5,H2,P5	вход
PBUSCTL[3:0] (альт.)	66,106,65,12	M8,E14,L8,E2	вход
OE	66	M8	выход
TA	106	E14	вход
R/W	65	L8	выход
TS	12	E2	выход
DACK[1:0] (альт.)	6,12	D2,E2	выход
FB_CS[5:2]	–	D8,C8,B8,A8	выход
FB_CS[1:0]	135,136	D7,C7	выход
FB_CS[5:4] (альт.)	134,133	A9,B9	выход
PCS[5:2] (альт.)	–	D8,C8,B8,A8	вход
PCS1 (альт.)	135	D7	вход
SD_BA[1:0] (альт.)	126,123	A11,B11	выход
SD_A[13:11] (альт.)	120–118	C11,A12,B12	выход
SD_A10	43	M2	выход
SD_A[9:0] (альт.)	116-107	A14,B14,B13,C12,D11, C14,C13,D14–D12	выход
SD_D[31:16] (альт.)	27–34,46–53	J2,J1,K4–K1,L4,L3,N2, P1,P2,N3,L5,P3,N4,P4	выход
FB_D[31:16]	16–23,57–64	F2,F1,G4–G1,H4,H3,L6, M6,N6,P6,L7,M7,N7,P7	выход
SD_CKE	14	F4	выход
SD_CLK	37	L1	выход
SD_CLK	38	M1	выход
SD_CS0	15	F3	выход
SD_DQS3	25	H1	выход
SD_DQS2	55	N5	выход
SD_DQS1 (альт.)	25	H1	выход
SD_DQS0 (альт.)	55	N5	выход

Описание назначения

Сигнал сброса микропроцессора

Выход, предназначенный для сброса других ИМС на плате.
Во время действия сигнала $\overline{\text{RESET}}$ выход $\overline{\text{RSOUT}}$ находится в третьем состоянии, а после окончания сброса на нём устанавливается логическая единица.

Вход для внешнего тактового сигнала.

Выход кварцевого резонатора.

Вход для внешнего тактового сигнала.

Выход кварцевого резонатора.

Сигнал «Feedback Clock», являющийся задержанным сигналом CLK_OUT – сигналом тактовой частоты.

Сигнал «Read Control»

Сигнал, задающий режим работы МП. Проверяется только в момент сброса МП. Логическая единица соответствует 32-х разрядному режиму работы, логический ноль – 16-ти разрядному.

Выводы адресной шины. Адресная шина используется совместно шиной FlexBus и памятью SDRAM.

Выводы шины данных. В 16-ти разрядном режиме используются только SDRAM, в 32-х разрядном – ещё и FlexBus.

Выводы шины данных. В 16-ти разрядном режиме используются только FlexBus, в 32-х разрядном – ещё и SDRAM.

Сигнал, извещающий о чтении и записи данных в память.

Сигнал «Byte Enable Pin Assignment Register», позволяет использовать контакты $\overline{\text{BE/BWE}}$ как линии общего назначения.

Позволяет использовать $\overline{\text{OE}}$, $\overline{\text{TA}}$, $\overline{\text{R/W}}$ и $\overline{\text{TS}}$ как линии общего назначения.

Сигнал «Output Enable».

Сигнал «Transfer Acknowledge». Посылается внешним устройством и подтверждает окончание передачи данных.

Сигнал, определяющий тип передачи данных как цикл чтения или записи.

Сигнал «Transfer Start». Сигнализирует о начале передачи данных.

Сигналы «DMA Acknowledge», подтверждающие прямой доступ к памяти.

Сигналы $\overline{\text{FB_CS}}$ («Chip Select» общего назначения) могут быть распределены между интерфейсами FlexBus и SDRAM.

Сигналы, позволяющие использовать $\overline{\text{FB_CS}}$[5:2] как линии общего назначения.

Сигнал, позволяющий использовать $\overline{\text{FB_CS1}}$ как линию общего назначения.

Сигнал номера активного банка памяти SDRAM.

Адресная шина SDRAM (используется совместно с FlexBus).

Шина данных SDRAM (используется совместно с FlexBus).

Шина данных FlexBus (используется совместно с SDRAM).

Сигнал «Clock Enable» для SDRAM.

Тактирующий сигнал для SDRAM.

Инвертированный тактирующий сигнал для SDRAM.

Сигнал «Chip Select» для SDRAM.

Шина данных SDRAM.

Таблица 2.2.2

Название	№ контакта (QFP)	№ контакта (BGA)	Тип контакта
SD_DQM[3:0] (альт.)	26,54,24,56	J3,M5,H2,P5	выход
SD_SCAS	44	M3	выход
SD_SRAS	45	M4	выход
SD_SDR_DQS	35	L2	выход
SD_WE	13	E1	выход
IRQ7	102	F13	вход
IRQ[6:5]	–	F12,F11	вход
IRQ[4:3]	101,100	G14,G13	вход
IRQ2	–	G12	вход
IRQ1	99	G11	вход
PIRQ7	102	F13	вход
PIRQ[6:5]	–	F12,F11	вход
PIRQ[4:3]	101,100	G14,G13	вход
PIRQ2	–	G12	вход
PIRQ1	99	G11	вход
FEC_MDC	4	B1	выход
FEC_MDIO	3	A1	вход/выход
FEC_TXCLK	153	A3	вход
FEC_TXEN	154	B3	выход
FEC_TXD[3:0]	157,158,1,2	D4,C3,B2,C2	выход
FEC_COL	144	B6	вход
FEC_RXCLK	146	A5	вход
FEC_RXDV	147	B5	вход
FEC_RXD[3:0]	148–151	C5,D5,A4,B4	вход
FEC_CRS	145	A6	вход
FEC_TXER	155	A2	выход
FEC_RXER	152	C4	вход
USBOTG_M	–	H14	вход/выход
USBOTG_P	–	H13	вход/выход
USBHOST_M	–	J13	вход/выход
USBHOST_P	–	J12	вход/выход
USBHOST_VBUS_EN (альт.)	–	F12	вход
PWM7	–	E13	вход/выход
PWM5	–	E12	вход/выход
PWM3	–	E11	вход/выход
PWM1	–	F14	вход/выход
I2C_SCL	–	E3	вход/выход
I2C_SDA	–	E4	вход/выход
QSPI_CS2	78	N12	выход
QSPI_CS1	–	M12	выход
QSPI_CS0	–	M11	выход
QSPI_CLK	77	P12	выход
QSPI_DIN	75	P11	вход
QSPI_DOUT	76	N11	выход

Описание назначения

Сигналы, маскирующие шину данных SDRAM.
Сигнал «Column Address Strobe», подключается к контакту $\overline{CAS}$ ИМС памяти.
Сигнал «Row Address Strobe», подключается к контакту $\overline{RAS}$ ИМС памяти.
Сигнал «Data Strobe», подключается к контакту DQS ИМС памяти.
Сигнал «Write Enable», подключается к контакту $\overline{WE}$ ИМС памяти.
Сигналы внешних прерываний.

Сигналы, позволяющие использовать $\overline{IRQ}$[7:1] как линии общего назначения.

Сигнал «Management Data Clock», предназначенный для тактирования канала данных MDIO.
Двунаправленный последовательный канал данных.
Тактирующий сигнал для передачи данных по каналу TXD.
Сигнал «Transmit Enable». Процессор устанавливает этот сигнал, когда установлены достоверные данные на канале TXD. Сигнал синхронизирован с TX_CLK.
Контакты для передачи данных через Ethernet. Сигналы на этих контактах синхронизированы с TX_CLK.
Сигнал «Collision Detected». Сигнализирует о наличии коллизии при обмене данными с Ethernet. Сигнал асинхронный.
Тактирующий сигнал для приёма данных по каналу RXD.
Сигнал «Receive Data Valid». Получение этого сигнала говорит о том, что пакет данных передан правильно. Сигнал синхронизирован с RX_CLK.
Контакты для приёма данных через Ethernet. Сигналы на этих контактах синхронизированы с RX_CLK.
Сигнал «Carrier Sense». При работе в полудуплексном режиме этот сигнал сообщает о приёме или передаче пакетов данных. При работе в дуплексном режиме – только о приёме Устанавливается асинхронно, сбрасывается при потере несущей синхронно с RX_CLK.
Сигнал «Transmit Error». Сообщает о том, что в передаваемом потоке данных произошла ошибка. Сигнал должен быть синхронизирован с TX_CLK.
Сигнал «Receive Error». Сообщает о том, что в принимаемом потоке данных произошла ошибка. Сигнал синхронизирован с RX_CLK.
Контакты контроллера интерфейса USB 2.0 On-The-Go

Контакты контроллера интерфейса USB 2.0 Host

Контакт, контролирующий включение и выключение контроллера интерфейса USB.
Контакты ШИМ-контроллера.

Шина I²C. Сигнальная линия, предназначенная для передачи тактового сигнала.
Шина I²C. Сигнальная линия, предназначенная для обмена данными.
Сигналы «Chip Select» для интерфейса QSPI.

Сигнал тактовой частоты для интерфейса QSPI.
Последовательный канал для приёма данных при использовании интерфейса QSPI.
Последовательный канал для передачи данных при использовании интерфейса QSPI.

Таблица 2.2.2

Название	№ контакта (QFP)	№ контакта (BGA)	Тип контакта
U1CTS U0CTS	143 85	C6 M14	вход
U1RTS U0RTS	142 84	D6 M13	выход
U1TXD U0TXD	141 83	A7 N14	выход
U1RXD U0RXD	140 80	B7 P14	вход
DT3IN/PTIMER3/DT3OUT	8	D1	вход
DT2IN/PTIMER2/DT2OUT	7	C1	вход
DT1IN/PTIMER1/DT1OUT	6	D2	вход
DT0IN/PTIMER0/DT0OUT	5	D3	вход
JTAG_EN	95	G10	вход
DSCLK	88	K11	вход
PSTCLK	70	N8	выход
BKPT	87	L13	вход
DSI	89	K12	вход
DSO	74	L11	выход
DDATA[3 0]	–	L9,M9,N9,P9	выход
PST[3:0]	–	L10,M10,N10,P10	выход
ALLPST	73	–	выход
TEST	124		
		E10	вход
EVDD	9,69,71,81,93,103,139,160	E6,E7,F5–F7,G5,H10,J8,K8–K9	вход
IVDD	36,79,96,125,156	E5,J9,K5,K10	вход
PLL_VDD	98	J10	вход
SD_VDD	11,39,41,67,105,121,137	E8–E9,F8–F10,J4–J7,H5,K6,K7	вход
USBOTG_VDD	–	H12	вход
VSS	10,42,68,82,104,122,138,159	G6–G9,H6–H9	вход
PLL_VSS	97	J11	вход
USBHOST_VSS	–	J14	вход

Таблица 2.2.3

Наименование	Архитектура	Разрядность АЛУ	Разрядность регистров	Разрядность шины данных	Тактовая частота	Частота системной шины (МГц)	Производи-тельность
Xeon 3 6	CISC	32	128	64	3 6 ГГц	800	н/д
Pentium 4 3 4	CISC	32	128	64	3 4 ГГц	800	н/д
MPC8245	RISC	32	32/64	64	350 МГц	66/33	н/д
MPC7448	RISC	32	128	64	1 5 ГГц	200	~3300 MIPS
MFC5373	RISC	32	32	32	180 МГц	60	158 MIPS
MFC5373L							
IBM25PPC 750GX	RISC	32	64	64	1 ГГц	200	~4000 MIPS
IBM25PPC 970FX	RISC	64	64	64	2 2 ГГц	300	н/д

Описание назначения

Сигнал, предназначенный для задержки обмена данными при использовании интерфейса UART
Сигнал, сигнализирующий о готовности к обмену данными при использовании интерфейса UART
Последовательный канал для передачи данных при использовании интерфейса UART
Последовательный канал для приёма данных при использовании интерфейса UART
Контакты 32-разрядных таймеров с функцией DMA (прямого доступа в память)

Сигнал «JTAG Enable», управляющий включением и выключением интерфейса JTAG
Тактовый сигнал для работы в режиме BDM (Background Debug Mode)
Задержанный тактовый сигнал процессора
Сигнал включения режима BDM
Последовательный входной канал данных для работы в режиме BDM
Последовательный выходной канал данных для работы в режиме BDM
Выводы, предназначенные для трассировки программы МП в режиме реального времени. Синхронизированы с PSTCLK. Канал DDATA передаёт отладочные данные, в том числе и статус контрольных точек в программе МП. Канал PST передаёт данные о текущем состоянии процессора
Сигнал «All Processor Status Outputs». Представляет собой логическое «И» выводов PST
Используется только для тестирования МП на заводе. Для предотвращения случайной активации тестовых функций рекомендуется соединять этот контакт с контактом VSS
Питание КМОП (3.3 В)
Питание микропроцессорного ядра(1.5В)
Питание петли ФАП (1.5 В)
Питание контроллера памяти (3.3 В)
Питание контролера USB (3.3 В)
«Земля» микропроцессора
«Земля» петли ФАП
«Земля» контроллера USB

Кэш-память первого уровня (Кб)	Кэш-память второго уровня (Кб)	Объем встроенной памяти	Макс объем внешнего ОЗУ	Тип корпуса	Напряжение питания (В)	Производитель
16	1024	0	64 Гб	FC-mPGA604	3 3	Intel
16	1024	0	64 Гб	FC-mPGA478	3 3	Intel
16	16	64/128 Мб	2 Гб	TBGA352	1 9–2 2	Freescale
32	1024	0	внеш контроллер	BGA360	1 0–1 3	Freescale
16	н/д	32 Кб	2 банка (32 Мб)	QFP160 BGA196	1.4–1 6	Freescale
32	1024	0	4 Гб	CBGA292	1 45–1 55	IBM
н/д	н/д	0	н/д	CBGA576	1 1–1 2	IBM

Таблица 2.2.4

Обозначение	Функция
RESET	Сигнал сброса микропроцессора.
RSOUT	Выход, предназначенный для сброса других ИМС на плате. Во время действия сигнала RESET выход RSOUT находится в третьем состоянии, а после окончания сброса на нём устанавливается логическая единица.
EXTAL	Вход для внешнего тактового сигнала.
XTAL	Выход кварцевого резонатора.
RCON	Сигнал «Read Control».
DRAMSEL	Сигнал, задающий режим работы МП. Проверяется только в момент сброса МП. Логическая единица соответствует 32-х разрядному режиму работы, логический ноль – 16-ти разрядному.
A_{xx}	Адресная шина.
D_{xx}	Шина данных.
BE/BWE_{xx}	Сигнал, извещающий о чтении и записи данных в память.
C/BE_{xx}	Сигналы, используемые шиной PCI. Нумеруются с нулевого по третий. Во время фазы передачи адреса по этим сигналам определяется тип цикла передачи данных.
DEVSEL	Сигнал шины PCI, предназначенный для выбора устройства назначения. Сигнал DEVSEL в качестве входа показывает, было ли выбрано на шине какое-то устройство.
FRAME	Сигнал шины PCI «Cycle Frame». Становится активным, когда надо указать начало транзакции шины. Пока FRAME активен, идёт передача данных. Когда сигнал FRAME становится неактивным, транзакция переходит в заключительную фазу данных.
IRDY	Сигнал шины PCI «Initiator Ready». Указывает на способность управителя шины завершить текущую фазу транзакции данных. IRDY используется вместе с TRDY. Фаза данных завершается в любой момент времени, когда активны IRDY и TRDY. При записи, IRDY показывает, что на линиях A_{xx} и D_{xx} присутствуют достоверные данные. При чтении – что мастер готов к приему данных. Циклы ожидания вставляются до тех пор, пока активны IRDY и TRDY.
TRDY	Сигнал шины PCI «Target Ready». Указывает на способность выбранного устройства завершить текущую фазу транзакции данных. Значение сигнала похоже на IRDY: При чтении – показывает, что на линиях A_{xx} и D_{xx} присутствуют достоверные данные, при записи – что целевое устройство готово к приему данных. Циклы ожидания вставляются до тех пор, пока активны IRDY и TRDY.
OE	Сигнал «Output Enable».
TA,DTACK	Сигнал «Transfer Acknowledge». Посылается внешним устройством и подтверждает окончание передачи данных.
R/W	Сигнал, определяющий тип передачи данных как цикл чтения или записи.
TS	Сигнал «Transfer Start». Сигнализирует о начале передачи данных.
DACK	Сигналы «DMA Acknowledge», подтверждающие прямой доступ к памяти.
IRQ_{xx}	Сигналы внешних прерываний.
PWM_{xx}	Контакты ШИМ-контроллера.
DTIN PTIMER DTOUT	Контакты таймера с функцией DMA.
JTAG_EN	Сигнал «JTAG Enable», управляющий включением и выключением интерфейса JTAG.
DSCLK	Тактовый сигнал для работы в режиме BDM (Background Debug Mode).
PSTCLK	Задержанный (обычно на полтакта) тактовый сигнал процессора.
BKPT	Сигнал включения режима BDM.
DSI	Последовательный входной канал данных для работы в режиме BDM.
DSO	Последовательный выходной канал данных для работы в режиме BDM.
DDATA[3:0]	Синхронный выходной канал для передачи отладочных данных в режиме трассировки.

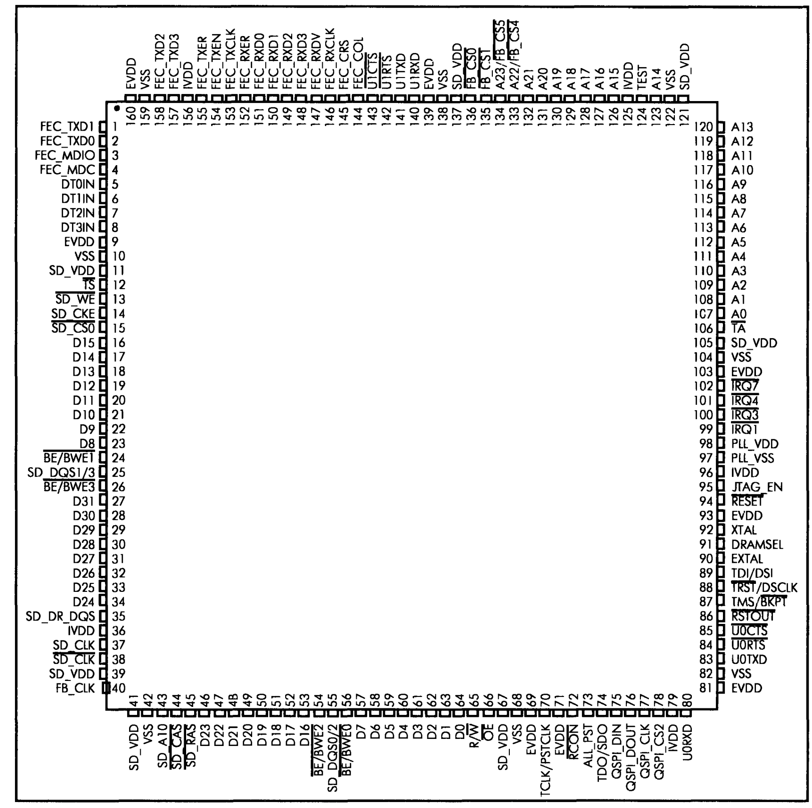


Рис. 2.2.4. Цоколевка MCF5373 и MCF5373L

Продолжение табл. 2.2.4

Обозначение	Функция
PST[3:0]	Синхронный выходной канал для передачи данных о состоянии процессора в режиме трассировки.
ALLPST	Сигнал «All Processor Status Outputs». Представляет собой логическое «И» выводов PST.
TEST	Контакт используется для активации функций тестирования МП. Предназначен только для тестирования МП на заводе. Рекомендуется подключать к «земле».
EVDD	Питание КМОП.
IVDD	Питание микропроцессорного ядра.
PLL_VDD	Питание петли ФАП
SD_VDD	Питание контроллера памяти.
USBOTG_VDD	Питание контролера USB
VSS	«Земля» микропроцессора.
PLL_VSS	«Земля» петли ФАП
USBHOST_VSS	«Земля» контроллера USB.
GPIO	Линия общего назначения

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
A	FEC_ MDIO	FEC_ TXER	FEC TXCLK	FED_ RXD1	FEC_ RXCLK	FEC_ CRS	U1TXD	FB_CS2	A23	A19	A15	A12	A10	A9	A
B	FEC MDC	FEC_ TXD1	FFC TXEN	FEC_ RXD0	FFC_ RXDV	FEC_ COL	U1RXD	FB_CS3	A22/	A18	A14	A11	A7	AB	B
C	DT2IN	FEC_ TXD0	FEC_ TXD2	FED_ RXER	FFC_ RXD3	U1CTS	FB_CS0	FB_CS4	A21	A17	A13	A6	A3	A4	C
D	DT3IN	DT1IN	DT0IN	FEC_ TXD3	FFC_ RXD2	U1RTS	FB_CS1	FB_CS5	A20	A16	A5	A0	A1	A2	D
E	SD_WE	TS	I2C_SCL	I2C_SDA	IVDD	EVDD	EVDD	SD_VDD	SD_VDD	TEST	PWM3	PWM5	PWM7	TA	E
F	D14	D15	SD_CS0	SD_CKE	EVDD	EVDD	EVDD	SD_VDD	SD_VDD	SD_VDD	IRQ5	IRQ6	IRQ7	PWM1	F
G	D10	D11	D12	D13	EVDD	VSS	VSS	VSS	VSS	JTAG_ EN	IRQ1	IRQ2	IRQ3	IRQ4	G
H	SD_ DQSS	BE/ BWE1	D8	D9	SD_VDD	VSS	VSS	VSS	VSS	EVDD	PLL_ VSS	USBOTG _VDD	USB OTG_P	USB OTG_M	H
J	D30	D31	BE/ BWE3	SD_VDD	SD_VDD	SD_VDD	SD_VDD	EVDD	IVDD	PLL_ VDD	DRAM SEL	USB HOST_P	USB HOST_M	USBHOST _VSS	J
K	D26	D27	D28	D29	IVDD	SD_VDD	SD_VDD	EVDD	EVDD	IVDD	TRST/ DSCLK	TDI/DSI	RESET	XTAL	K
L	SD_CLK	SD_DR_ DQS	D24	D25	D19	D7	D3	R/W	DDATA3	PST3	TDO/ DSO	RSTOUT	TMS/ BKPT	EXTAL	L
M	SD_CLK	SD_A10	SD_CAS	SD_RAS	BE/ BWE2	D6	D2	OE	DDATA2	PST2	QSPI_ CS0	QSPI_ CS1	U0RTS	U0CTS	M
N	FB_CLK	D23	D20	D17	SD_ DQS2	D5	D1	TCIK/ PSTCIK	DDATA1	PST1	QSPI_ DOUT	QSPI_ CS2	XTAL 32K	U0TXD	N
P	D22	D21	D18	D16	BE/ BWE0	D4	D0	RCON	DDATA0	PST0	QSPI_ DIN	QSPI_ CLK	EXTAL 32K	U0RXD	P
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	

Рис. 2.2.4. Цоколевка MCF5373 и MCF5373L

Таблица 2.2.5

Обозначение	Функция
U*	Контакты контролера порта UART
FEC_*	Контакты контроллера Ethernet (Fast Ethernet Controller)
USBOTG_*	Контакты контроллера USB On-The-Go.
USBHOST_*, USBHOST_*	Контакты контроллера USB Host
I2C_*	Контакты интерфейса I²C.
QSPI_*	Контакты интерфейса QSPI
SPI_*	Контакты интерфейса SPI.
FB_*	Контакты шины FlexBus
SD_*	Контакты контроллера динамической памяти.
PAR_*,P*	Сигналы «Pin Assignment Register», дающие использовать другие сигналы, как GPIO

2.3. МИКРОКОНТРОЛЛЕРЫ

2.3.1. Назначение микроконтроллеров

Особенностью построения современных технических систем является широкая автоматизация процессов, контроля их состояния и управления их состоянием с помощью так называемых *контроллеров* (устройств управления). Именно для создания подобных устройств используется в настоящее время большая часть выпускаемой электронной продукции. С целью сокращения аппаратурных затрат при построении контроллеров и снижения их стоимости производятся *однокристальные микроконтроллеры (МК или ОМК, MCU — MicroController Unit)*, выполненные в виде отдельных БИС.

В отличие от микропроцессоров МК включают все устройства, необходимые для реализации цифровых систем управления минимальной конфигурации: процессор, запоминающее устройство данных, запоминающее устройство команд, внутренний генератор тактовых сигналов, а также программируемую интегральную схему для связи с внешней средой. МК позволяют добиться небольших габаритов устройств, малой потребляемой мощности, а также возможности быстрой модификации алгоритмов работы.

Наибольшей специализацией и разнообразием функций обладают микроконтроллеры, используемые во встроенных системах управления, в том числе в бытовых приборах. Общее число типов кристаллов с различными системами команд превышает 500. В настоящее время самыми распространенными и доступными (хотя и не единственными) являются микроконтроллеры семейств *PIC* (фирма Microchi p)и *AVR* (фирма Atmel). Типовыми являются размер платы 3 x 5 см и потребляемая мощность 10–100 мВт. Для устройств, выполняющих не значительное количество функций, возможно достижение габаритов 10 x 10 мм и потребляемой мощности менее 0.1 мВт.

Спектр применения МК чрезвычайно широк. В наши дни на их базе создают микро-АТС, автоответчики, АОНы, мобильные телефоны, зарядные устройства, факсы, модемы, пейджеры, таймеры, системы сигнализации, измерительные приборы, счетчики воды, газа и электроэнергии, дозиметры, приборы сигнализации, системы управления зажиганием и впрыском топлива, приборные панели и радарные детекторы, интеллектуальные датчики, системы управления электродвигателями, промышленные роботы, регуляторы температуры, влажности, давления и пр., схемы управления принтерами и плоттерами, сетевые контроллеры, сканеры, схемы управления аудио- и видеосистемами, системы синтеза речевых сообщений, видеоигры, системы дистанционного управления, кассовые аппараты и т.д.

Быстрое развитие и распространение МК обусловлено их универсальностью и низкой стоимостью. Современные микроконтроллеры обладают всеми ресурсами для решения задач управления и при этом производятся в таком разнообразии, что могут удовлетворить практически любые потреб-

ности. Сейчас именно они являются средством реализации блочного подхода к построению устройств электронной техники.

2.3.2. Терминология микроконтроллеров

Архитектура CISC (Complicated Instruction Set Code) — это классическая архитектура со сложным набором команд, которая применяется, как правило, в персональных компьютерах и серверах. В этих процессорах команды имеют много разных форматов и требуют для своего представления различного числа ячеек. Это обуславливает определение типа команды в ходе ее дешифрации при исполнении, что усложняет устройство управления процессора и препятствует повышению тактовой частоты до уровня, достижимого в RISC-процессорах на той же элементной базе.

Архитектура RISC (Reduced Instruction Set Code) — это архитектура с сокращенным набором команд. Цель сокращения системы команд состоит в получении более компактных программ и ускорении их выполнения. Компактный код программы получается вследствие того, что все команды имеют размер в одно слово. Это предполагает, что все инструкции имеют одну длину и выбираются за один машинный цикл. Сокращенный набор команд предполагает быстрое обучение программиста. Однако следует отметить известный факт, что при изучении ассемблера для RISC программистом, привыкшим к CISC, возникают трудности, связанные с разительным отличием системы команд.

Аналого-цифровой преобразователь (АЦП, Analog-Digital Converter, ADC) — служит для ввода в микроконтроллер аналоговых сигналов напряжения с датчиков физических величин и преобразования этих сигналов в цифровой код с целью последующей программной обработки. АЦП характеризуется разрядностью, которая обычно совпадает с разрядностью МК, и числом аналоговых входов от 8 и выше.

Оперативное запоминающее устройство (ОЗУ, Random Access Memory, RAM) — резидентная память данных, т.е. память для хранения переменных, организованная внутри микросхемы.

Постоянное запоминающее устройство (ПЗУ, Read-Only Memory, ROM) — резидентная память программ, т.е. память для хранения команд программы, организованная непосредственно в микросхеме.

Программируемое ПЗУ (ППЗУ) — разновидность ПЗУ, содержимое которой можно изменять в процессе использования. Существуют следующие разновидности ППЗУ:

- *EEPROM (Electrically Erasable Programmable ROM, ЭСППЗУ)* — электрически стираемое ППЗУ;
- *EPROM (Erasable Programmable ROM, УФППЗУ)* — ППЗУ с ультрафиолетовым стиранием информации;

- *Flash* — ППЗУ с принципом работы, основанном на EEPROM. Отличие заключается в том, что доступ к данным осуществляется блоками.

Разрядность МК определяется разрядностью данных, которые он может обрабатывать. На данный момент основную массу составляют 8- и 16-разрядные МК.

Режим Idle — один из режимов работы МК с пониженным потреблением. В этом режиме на АЛУ перестают поступать тактовые импульсы, а остальные устройства продолжают работать. Вывод МК из этого режима осуществляется аппаратным прерыванием или сбросом МК.

Режим Power Down — один из режимов работы МК с пониженным потреблением. В этом режиме тактовый генератор МК останавливается, а все схемы переводятся в статический режим. Из этого режима процессор выводится операцией сброса или внешним прерыванием.

Сторожевой таймер (WatchDog Timer, WDT) — это устройство, отслеживающее, работает ли система или зависла. В его счетчик загружается некоторое значение, соответствующее заданному временному интервалу. После инициализации таймер начинает обратный отсчет времени, равный этому временному интервалу. Если до конца заданного интервала процессор не перезагрузит счетчик таймера, то последний вызовет процедуру перезагрузки системы.

Таймер-счетчик — это устройство, реализованное на базе счетчика. Оно служит для подсчета тактовых импульсов и генерирования прерывания по переполнению, при этом источник тактового сигнала может быть как внутренним, так и внешним. В микроконтроллерах таймер является одним из важнейших периферийных устройств, поскольку при выполнении задач управления очень часто возникает необходимость приема и выдачи управляющих сигналов в заданные моменты времени.

Широтно-импульсный (ШИМ, PWM) генератор предназначен для формирования выходных сигналов с фиксированной, заданной пользователем несущей частотой и регулируемой скважностью. ШИМ-генераторы применяются как для прямого цифрового управления ключами силовых преобразователей для двигателей, так и для простых схем цифро-аналоговых преобразователей. ШИМ характеризуются разрядностью, обычно совпадающей с разрядностью МК, и числом выводов от 1 до 8.

2.3.3. Классификация микроконтроллеров

Выбор критериев для классификации микроконтроллеров очень затруднен тем обстоятельством, что область их применения чрезвычайно широка. За исключением части, «унаследованной» от микропроцессоров, структура микроконтроллеров оптимизирована для выполнения определенного круга задач и может значительно отличаться даже в рамках ассортимента одно-

го производителя. В связи с этим будем производить классификацию МК по их семействам, дав им краткую характеристику.

2.3.3.1. Семейство Intel MCS-51

Это семейство микроконтроллеров наиболее хорошо известно разработчикам и является популярным средством управления в устройствах самого широкого круга. Имеется множество эмуляторов, отладчиков и программаторов этих микросхем, поэтому с разработкой программного обеспечения нет никаких трудностей. Назначение MCS-51 — построение компактных и дешевых цифровых устройств.

Все микросхемы этого семейства работают *с одной и той же системой из 111 команд*, большинство из них выполняется в одинаковых корпусах с совпадающей цоколевкой (нумерация ножек для корпуса). Это позволяет использовать для разработанного устройства микросхемы разных фирм-производителей (таких, как Intel, Dallas, Atmel, Philips и т.д.) без переделки принципиальной схемы устройства и программы.

На текущий момент это семейство МК является абсолютным чемпионом по количеству разновидностей и компаний, выпускающих различные его модификации. Архитектура MCS-51 получила свое название от первого представителя этого семейства — микроконтроллера 8051, выпущенного в 1980 году по технологии HMOS. Удачный набор периферийных устройств, возможность гибкого выбора внешней или внутренней программной памяти и приемлемая цена обеспечили этому микроконтроллеру успех на рынке. После перехода на технологию изготовления CHMOS в семействе MCS-51 были реализованы режимы Idle и Power Down, позволившие резко снизить энергопотребление кристалла и применить его в энергозависимых приложениях, например в автономных приборах с батарейным питанием.

Фирма Intel предлагает микроконтроллеры этого семейства с тактовой частотой до 33 МГц в корпусах PLCC44, QFP44, PDIP40 и CDIP40.

2.3.3.2. Семейство Intel MCS-151/251

Основные проблемы семейства MCS-51 — наличие 8-разрядного АЛУ на базе аккумулятора и относительно медленное выполнение инструкций. Для применения в приложениях, требующих повышенного быстродействия и сложных (16- и 32-битовых) вычислений, в 1995 году было разработано семейство MCS-251. Так как тогда уже была создана масса наработок в области программного и аппаратного обеспечения, то одной из основных задач разработки новой архитектуры была реализация аппаратной и программной совместимости со старыми разработками на базе MCS-51.

В результате система команд МК семейства MCS-251 содержит все команды микроконтроллеров семейства MCS-51 (стандартные инструкции), а

также 157 новых расширенных инструкций. Коды некоторых новых команд имеют формат 4 байта.

Перед использованием МК его необходимо сконфигурировать, т.е. с помощью программатора «прожечь» конфигурационные байты, определяющие, какой из наборов инструкций станет активным после включения питания. Если установить набор инструкций MCS-51, то в этом случае MSC-251 будет совместим с MCS-51 на уровне двоичного кода. Такой режим называется *Binary Mode*. При этом расширенные инструкции доступны через зарезервированный код инструкции 0A5h, а их длина увеличивается на один байт. Если же изначально установить набор расширенных инструкций, то в этом случае программы, написанные для MCS-51, потребуют перекомпиляции на кросс-средствах для MCS-51, так как теперь уже стандартные инструкции будут доступны через тот же код 0A5h и длина их также увеличится на 1 байт. Такой режим называется *Source Mode*. Он позволяет с максимальной эффективностью использовать расширенные инструкции и достигнуть наибольшего быстродействия, но требует переработки программного обеспечения.

Для пользователей, ориентированных на применение MCS-251 в качестве механической замены MCS-51 компания Intel выпускает MCS-251 с уже запрограммированными битами конфигурации в состоянии Binary Mode. Такие МК получили индекс MCS-151. Помимо самой Intel, МК семейства MCS-251 по ее лицензии выпускает компания Temic Semiconductors (подразделение Atmel).

2.3.3.3. Семейство Intel MCS-96/196/296

Микроконтроллеры семейства MCS-96 предназначены для использования в контрольно-измерительных системах и приборах в качестве встраиваемых микропроцессорных устройств.

Система команд имеет в своем составе двух- и трехадресные команды арифметических и логических операций с различными способами адресации, что позволяет создавать компактные и быстродействующие программы. В ней присутствуют операции умножения и деления для чисел со знаком и без знака при разных форматах представления данных, операции сдвига на заданное число разрядов и операции групповой пересылки.

Разрядная сетка MCS-96 расширена (по сравнению с MCS-51) и позволяет выполнять операции с данными, представленными в формате «байт» (8 бит) и формате «слово» (16 бит), а некоторые операции — в формате «двойное слово» (32 бита).

Также на кристаллах семейства MCS-96 расположено большое количество разнообразных периферийных устройств, выполняющих функции ввода и вывода данных, событий и аналоговых сигналов, обслуживания запросов прерывания без прерывания текущей программы, контроля правильности функционирования микроконтроллера. Это позволяет разрабатывать ма-

логабаритные и надежные устройства с минимальным числом дополнительных микросхем.

Контроллеры серии MCS-96 выполнены по технологии *HMOS (High-density MOS — МОП высокой плотности)*. После перехода на технологию *CHMOS (Complimentary HMOS — КМОП высокой плотности)* семейство, выполняемое по этой технологии, назвали MCS-196. МК этого семейства фактически стали индустриальным стандартом для 16-разрядных встроенных систем управления, обеспечивая сочетание высоких технических показателей и экономической эффективности. Последнее добавление к этой линейке — микроконтроллеры семейства MCS-296 с архитектурой, аналогичной MCS-196, однако обладающие более высоким быстродействием.

Линейка МК семейства MCS-96/196/296 делится на три подсемейства:

- *семейство EPA (Event Processor Array)* включает последние разработки Intel в области МК и содержит гибкую систему ввода/вывода, современные периферийные устройства и блок процессоров событий (EPA);
- *семейство HSIO (High Speed Input-Output)*. МК этого типа содержит устройство генерации импульсных сигналов (HSO Unit). Его функция — выполнять различные действия в заранее запрограммированные моменты времени с минимальным контролем со стороны центрального процессора (ЦП). От ЦП требуется только указать, что сделать и в какой момент времени (время отсчитывается по таймеру-счетчику). Помимо генерации сигналов, HSO одновременно может выполнять функции 4 дополнительных таймеров;
- *семейство Motor Control* предназначено для контроля работы разнообразных двигателей, содержит интегрированный генератор трехфазных сигналов с ШИМ, а также, как и первое подсемейство, блок процессоров событий.

2.3.3.4. Семейство Motorola HC05/HCL05

Это семейство содержит наибольшее количество модификаций (около 180), так как это семейство в немалой степени формировалось крупными потребителями фирмы Motorola, заказывавшими разработку МК нужной конфигурации под свою конкретную продукцию.

Все МК этого семейства имеют одинаковое 8-разрядное процессорное ядро, основанное на популярной процессорной архитектуре 6800, и отличаются набором периферийных функций. Это означает, что применение любого МК этого семейства открывает пользователю возможность использовать приобретенный опыт при создании новых устройств как с применением других МК из обширного семейства HC05, так и на основе более производительного, но программно совместимого семейства HC08.

Обозначение МК содержит символ, следующий в названии МК непосредственно за MC68HC05 и относящий его к одной из подгрупп в преде-

Таблица 2.3.1

Серия	Область применения
C	Общее назначение, в т.ч. коммуникационные системы и бытовая техника
J	Общее назначение, в т.ч. бытовая техника, распределённые системы управления и сбора информации
K	Общее назначение, в т.ч. бытовая техника, распределённые системы управления и сбора информации
P	Общее назначение, в т.ч. бытовая техника, распределённые системы управления и сбора информации
F	Телекоммуникации (абонентские устройства и терминалы)
L	Телекоммуникации, портативные устройства, бытовая электроника, сбор и обработка данных с индикацией в промышленных системах
E	Телекоммуникации (как МК общего назначения)
M	Бытовая электроника
MC	Управление электродвигателями в бытовой технике и промышленной аппаратуре
T	Видео- и телеаппаратура
CC	Видео- и телеаппаратура
X	Автомобильная электроника (управление и сбор данных в подсистемах автомобиля)
V	Управление и сбор данных в распределённых подсистемах оборудования (автомобильная электроника, промышленная техника)
B	Индустриальные приложения
G	Портативные компьютеры
BD	Построение мониторов
SC	Устройства кодированного доступа и электронные платёжные средства типа SmartCard

лах семейства или серии, которые отличаются друг от друга функциональными особенностями. С другой стороны, большинство МК семейства HC05 создавались под определенные приложения, поэтому классификацию удобно провести с учетом этих двух факторов одновременно.

Области применения различных серий семейства HC05 сведены в табл. 2.3.1.

Серия C характерна широким разнообразием встроенной памяти и линий параллельного ввода/вывода. Асинхронный последовательный интерфейс (SCI) позволяет организовать обмен данными с внешними устройствами со скоростью до 131 кГц. Высокоскоростной синхронный последовательный интерфейс (SPI) удобен для управления дисплеями и внешними периферийными устройствами по 4-проводной линии. Все МК серии C имеют в своем составе 16-битный программируемый таймер с функциями «входной фиксации» и «выходного сравнения» для одновременного измерения временных параметров внешних импульсов и генерации импульсного сигнала.

Серия J включает недорогие 20-выводные МК, содержащие ПЗУ, многофункциональный таймер и функцию прерывания реального времени.

Серия K содержит самые дешевые из выпускаемых фирмой Motorola 16-выводные МК, включающие память, таймер прерывания реального времени,

линии с повышенной нагрузочной способностью и программируемую пользователем «идентификационную» область памяти (8 байт) даже в масочном варианте.

Серия P характерна наличием встроенного АЦП, разнообразием вариантов встроенной памяти (включая EEPROM), наличием простого последовательного порта, а также небольшим 28-выводным корпусом и низкой ценой.

Серия F обладает генератором DTMF для тонального набора номера и цифровой сигнализацией. Ряд МК этой серии дополнительно содержит контроллер ЖКИ-дисплея, а также большой объем ПЗУ для реализации сложных алгоритмов современных ТА и энергонезависимую память для хранения номеров. МК этой серии обладают низким энергопотреблением, позволяющим питать их от телефонной линии или батарей.

Серия L, главными особенностями которой являются наличие встроенных контроллеров алфавитно-цифровых и графических ЖКИ-дисплеев (от 32 до 40000 сегментов), наличие тонального генератора, часов реального времени и низкое потребление. Серия широко используется при создании разнообразного, особенно портативного, связного оборудования. Низкое потребление МК этой серии позволяет создавать системы с одновременной передачей питания и данных по одной линии.

Серия E включает МК, содержащие синтезатор тактовой частоты с ФАПЧ для гибкого управления потреблением, энергонезависимую память, АЦП и интерфейс I^2C, и используется в средствах связи как МК общего назначения.

Серия M содержит встроенный контроллер вакуумного флуоресцентного индикатора. Встроенный формирователь обеспечивает возможность управления по 24 линиям при напряжении 40 В. В состав микросхем серии также входят 8-битный таймер, 6-канальный 8-битный АЦП, асинхронный последовательный порт и большой объем встроенного ПЗУ.

Серия MC характеризуется наличием в 28-выводном корпусе скоростных каналов ШИМ и 6-канального АЦП и предназначена для управления электродвигателями как в бытовой, так и в промышленной технике.

Серия T специально предназначена для применения в видео- и телевизионной аппаратуре и содержит драйвер цветного экранного дисплея, позволяющий отображать на экране ЭЛТ символы и текстовую информацию. Встроенный АЦП может использоваться для управления настройкой на определенный канал телевидения. Каналы ШИМ используются для управления громкостью звука, яркостью изображения и т.д. Интерфейс I^2C позволяет управлять другими подсистемами ТВ-приемника, например видеопроцессором.

Серия CC является продолжением серии *T* и имеет расширенный драйвер экранного дисплея с возможностью секционирования данных.

Серия X включает МК со встроенным контроллером локальной управляющей сети (*CAN — Controller Area Network*) европейского стандарта для построения мультиплексной шины автомобиля. Ряд моделей серии *X* содержит расширенный таймер, энергонезависимую память, АЦП, ШИМ и расши-

ренный последовательный порт. Эта серия выпускается в различных модификациях (ПЗУ от 4К до 32К, корпус от 28 до 64 выводов, АЦП, ШИМ).

Серия V предназначена для выполнения функций, аналогичных серии *X*, но ориентирована на другие стандарты построения мультиплексной шины: *MDLC (Message DataLink Control)* или J1850. Характерной особенностью МК этой серии является сочетание нескольких технологий: CMOS, высоковольтной и силовой, что позволило создать «Систему на кристалле», содержащую, кроме стандартных блоков МК, высоковольтный регулятор напряжения, трансиверы мультиплексной шины, EEPROM, АЦП, ШИМ и другие устройства.

Серия B сочетает большой объем встроенного программируемого ПЗУ, EEPROM, АЦП и ШИМ, а также таймер и расширенный последовательный порт.

Серия G была разработана специально для использования в портативных компьютерах. Включает в свой состав два асинхронных последовательных интерфейса, контроллер клавиатуры, синтезатор частот с ФАПЧ и возможность управления энергопотреблением.

Серия BD содержит процессор горизонтальной и вертикальной развертки, а также 16-канальный контроллер ШИМ, и идеально подходит для использования в компьютерных мониторах.

Серия SC (функции защиты) специально разработана для использования в электронных платежных средствах типа SmartCard и устройствах кодированного доступа. Выпустив на рынок первые чипы для SmartCard в 1977 году, Motorola по настоящее время является лидером в области производства кристаллов и модулей для SmartCard, удовлетворяющих наиболее жестким требованиям безопасности как в смысле программно-аппаратной защиты/шифрования информации, так и в смысле строгого контроля за производством и распределением кристаллов. МК этой серии поставляются, как правило, в виде кристаллов или модулей на ленточных носителях для использовании в банковских, страховых и транспортных картах, а также в картах для систем кабельного и спутникового ТВ, электронных систем доступа и т.д.

2.3.3.5. Семейство Motorola HCL05

Это семейство, ориентированное на низкое энергопотребление и малое напряжение питания, было создано в 1980 году, когда появились первые версии МК с питанием 3 В. Сейчас в семействе HCL05 имеются также МК с питанием 2.2 или 1.8 В. Новое семейство МК с питанием 1.8 В (тактовая частота до 500 кГц) имеет в 3 раза меньшее потребление, чем аналогичные МК с питанием 3 В.

2.3.3.6. Семейство Motorola HC08

Семейство HC08 является следующим шагом в развитии программы заказных МК фирмы Motorola для массовых приложений и характеризуется

повышенной в 5–10 раз производительностью процессорного ядра, совместимого по системе команд с HC05. Семейство HC08 поддерживает дополнительные эффективные команды и методы адресации, а также такие новые функции, как прямой доступ к памяти, технология «нечеткой логики» и элементы цифровой обработки сигналов. При этом полностью статическое процессорное ядро оптимизировано для работы с пониженным напряжением питания и позволяет гибко управлять потреблением с помощью встроенного синтезатора тактовой частоты. Семейство HC08 является первым 8-разрядным семейством с определяемой пользователем архитектурой на базе набора стандартных модулей, что значительно ускоряет цикл разработки нового заказного МК.

Набор модулей в настоящее время включает:

- ПЗУ типа ROM, PROM, EEPROM или Flash;
- ОЗУ;
- процессорное ядро (CPU08), работающее на тактовой частоте 8 МГц и включающее 16-разрядный индексный регистр, 16-разрядный программный счетчик и 16-разрядный указатель стека;
- модуль таймера (TIM08);
- 8-разрядный АЦП (ADC08);
- модуль управления ЖК-дисплеем (LCD08);
- миловые и высоковольтные ключи;
- модуль прямого доступа к памяти (DMA08);
- 12-разрядный 6-канальный контроллер ШИМ (PWM08);
- модуль интерфейса внешней памяти (ADX08);
- модуль задающего генератора (CGM08);
- модуль системной интеграции (SIM08);
- модули последовательного обмена. Представлены универсальным асинхронным интерфейсом (SCI08), универсальной последовательной шиной (USB08), скоростным синхронным интерфейсом (SPI08), а также специализированными последовательными интерфейсами CAN (msCAN08) и J1850 (BDLC08), применяемыми в автомобильных системах и системах промышленного управления.

2.3.3.7. Семейство Motorola HC11

В отличие от относительно специализированных МК «заказных» семейств, *семейство MC68HC11* содержит набор из около 40 более универсальных и высокопроизводительных микроконтроллеров, ориентированных как на массовые рынки, так и на среднее и мелкое производство. Процессорное ядро МК этого семейства отличается повышенной производительностью, по сравнению с HC05 более эффективной архитектурой, системой команд, наличием дополнительных методов адресации и возможностью адресовать больший объем внешней памяти. МК семейства HC11 содержат встроенную память различных типов и конфигураций.

Периферийные функции представлены многофункциональными таймерами, АЦП (до 12 каналов и 10 разрядов), встроенным сопроцессором, ускоряющим выполнение умножения и деления на порядок, ШИМ, ЦАП; последовательными интерфейсами, контроллером ПДП, синтезатором тактовой частоты и другими функциями. Как и в других семействах, имеется большое разнообразие корпусов, а также версии с пониженным напряжением питания и расширенным температурным диапазоном.

Наиболее характерные особенности процессорного ядра этого семейства:

- два 8-битных или один 16-битный аккумулятор;
- два 16-битных индексных регистра;
- два программно управляемых режима пониженного энергопотребления;
- операции умножения 8 x 8 и деления 16/16.

МК некоторых моделей семейства содержит встроенный математический сопроцессор, выполняющий 16-битные операции умножения и деления значительно быстрее, чем процессор. Существуют версии МК с программно управляемым значением тактовой частоты на основе ФАПЧ, что позволяет гибко управлять энергопотреблением в зависимости от сложности вычислительных задач. МК семейства HC11 поддерживает следующие режимы адресации:

- неявная;
- непосредственная;
- прямая;
- расширенная;
- индексная;
- относительная.

МК семейства HC11 имеют в своем составе все типы внутренней памяти: ПЗУ (программируемое или масочное), EEPROM, ОЗУ объемом до 2 Кбайт.

2.3.3.8. Семейство Motorola HC12

Новое *процессорное ядро семейства HC12 (CPU12)*, основанное на популярной архитектуре HC11, обеспечивает полную поддержку операций нечеткой логики, что дает возможность экономии кода программы, упрощения алгоритмизации задачи и другие преимущества. Система команд CPU12 позволяет работать с нечетным байтом и имеет расширенную систему адресации внешней памяти (до 5 Мбайт). Ассемблер CPU12 воспринимает тексты для HC11 без изменений, что дает пользователям HC11 возможность перейти на новый уровень производительности с минимальными зат-

ратами. Наличие встроенного отладчика и поддержка отладочными средствами облегчают разработчику переход на новую архитектуру.

2.3.3.9. Семейство Motorola HC16

МК семейства HC16 используются в различных автомобильных подсистемах; телекоммуникационном оборудовании (сотовых телефонах, телефонных коммутаторах), бытовой электронике (видеокамерах, телевизорах, цифровых аудио системах); офисной технике (факсах, модемах, копировальной технике); медицинском оборудовании; робототехнике. Эффективному использованию МК HC16 в этих приложениях способствуют поддержка функций ЦОС, высокая производительность 16-разрядного CPU16 с частотой до 25 МГц и мощная периферия. Простота построения системы на базе МК HC16, обеспечиваемая модулем системной интеграции, а также простота программирования, благодаря встроенному отладчику, привлекают к МК этого семейства внимание разработчиков во всем мире.

2.3.3.10. Семейство Motorola 68300

МК семейства 68300 являются наиболее известными и распространенными из высокопроизводительных МК фирмы Motorola. Применение этих МК в промышленности крайне широко. Основные факторы успеха — высокопроизводительное 32-разрядное процессорное ядро, основанное на промышленном стандарте 68000; широкая номенклатура периферийных модулей, в том числе специализированных для определенных приложений; исключительная гибкость и простота построения и отладки системы.

Условно МК семейства 68300 можно разделить на три основные группы, принципиально отличающиеся друг от друга по функциональному назначению:

- *коммуникационные МК (КМК).* В эту группу можно отнести все МК, содержащие коммуникационный сопроцессор. Их отличительной особенностью является наличие в их составе специализированного скоростного коммуникационного сопроцессора с RISC-ядром, управляющего обменом данными по нескольким независимым каналам, поддерживающего практически все распространенные протоколы обмена и позволяющего гибко и эффективно распределять и обрабатывать последовательные потоки данных с временным разделением каналов (например, ИКМ и ISDN PRI). Среди многочисленных применений КМК можно выделить цифровые телефонные станции, абонентское и групповое оборудование ISDN, базовые станции сотовой связи, модемы, терминалы, мосты, маршрутизаторы, а также распределенные промышленные контроллеры и многие другие устройства.
- Все КМК имеют похожую структуру, включающую центральный процессор (CPU), осуществляющий общее управление, коммуникационный про-

цессор (CPM), обрабатывающий последовательные данные, и модуль системной интеграции (SIM), упрощающий подключение памяти и внешних устройств. Обмен данными требует минимального участия CPU, функции которого сводятся, как правило, к обработке флагов окончания передачи и переустановке указателей. Все остальные задачи по обработке протокола и управлению обменом автоматически выполняет интеллектуальный коммуникационный сопроцессор;

- *МК для промышленного управления.* МК этой группы содержат таймерный сопроцессор и применяются в индустриальных системах управления, автомобильных контроллерах, и т.д. МК этой группы содержат набор встроенных средств, оптимизированный для построения систем управления разнообразными промышленными объектами, требующими обработки быстротекущих процессов и интенсивных вычислений;
- *МК общего назначения.* Эти МК, иногда называемые интегрированными процессорами (ИП), содержат помимо центрального процессора только наиболее распространенную универсальную периферию: модуль системной интеграции, контроллер ПДП, последовательный интерфейс, часы реального времени, и т.д. В силу своей универсальности, интегрированные процессоры могут быть использованы практически в любом устройстве, требующем высокой производительности, высокой степени интеграции, гибкости и простоты подключения к внешним устройствам и памяти.

2.3.3.11. Семейство ZiLOG Z8

Микроконтроллеры широкого потребления Z8 позиционируются как *«серия низкой стоимости».* Отладочная среда написана под Windows и обеспечивает простейшие функции для разработки и проверки программного обеспечения. Разрядность этих МК равна восьми битам, объем ПЗУ составляет от 512 до 4096 байт, а размер ОЗУ — до 237 байт. Тактовая частота отдельных моделей доходит до 16 МГц. Микроконтроллеры построены по неймановской архитектуре и используют систему команд CISC.

Использование МК семейства Z8 эффективно при управлении каким-либо одним процессом или объектом, а также при создании несложных специализированных приборов. Семейство Z8 характеризуется низким энергопотреблением и подходит для применения в устройствах с батарейным типом питания.

2.3.3.12. Семейство Microchip PIC10

Семейство PIC10 — дешевые и экономичные 8-разрядные микроконтроллеры, ориентированные на простые задачи. Тактовая частота этого семейства — 4 МГц, при этом их производительность доходит до 1 MIPS. Семейство характеризуется 12-битным словом команд и двухуровневой глубиной стека. При этом МК семейства PIC10 чрезвычайно компактны: за

счет использования последовательного интерфейса число контактов ИМС удалось уменьшить до 6. При этом в PIC10 встроен блок внутрисхемного программирования, а также блок внутрисхемной отладки. В качестве ПЗУ в МК семейства PIC10 применяется Flash, а низкое энергопотребление позволяет использовать эти МК в изделиях с питанием от батарей.

Как и все микроконтроллеры PICmicro, семейство PIC10 построено по RISC-архитектуре. В совокупности с гарвардской архитектурой и очередью команд это позволило добиться очень высокого быстродействия и получить очень компактный код. Все команды микроконтроллера, за исключением команд перехода, выполняются за один машинный цикл, который составляет 4 периода тактового генератора. МК PICmicro, в том числе и PIC10, не требуют традиционных внешних цепей для формирования сигнала сброса, так как вырабатывают его автоматически при включении питания или при подаче внешнего сигнала сброса.

2.3.3.13. Семейство Microchip PIC12

Как и предыдущее семейство, *МК PIC12* ориентированы на несложные задачи и являются очень дешевым. Однако производительность этих МК существенно выше и доходит до 5 MIPS. Слово команд расширено до 14 бит, а в стеке теперь восемь уровней. МК этого семейства также обзавелись интегрированным 10-канальным АЦП и набором таймеров, при этом не слишком изменившись в размерах — всего лишь до 8 контактов. В качестве ПЗУ в МК этого семейства может применяться как EEPROM, так и Flash. Аналогично PIC10, семейство PIC12 имеет невысокое энергопотребление, но при этом еще и допускает широкий диапазон питающих напряжений (с понижением питания до 2.5 В). Эти свойства делают PIC12 хорошим выбором при создании устройств, работающих с батареями.

Этот МК позволяет также использовать встроенный модуль передатчика на диапазон 433 МГц с мощностью излучения 5 мВт.

2.3.3.14. Семейство Microchip PIC14

Это *семейство* является обособленным — в него входит *всего один микроконтроллер PIC14000*. Его структура схожа со структурой PIC12, однако PIC14000 имеет значительно большее количество контактов, а также существенные отличия в области периферийных устройств. В частности, в PIC14000 используется 16-разрядный дифференциальный АЦП, встроенный сенсор температуры, а также опорные генераторы, управляемые программно. Также следует обратить внимание, что в этом МК сторожевой таймер использует свой собственный генератор тактовой частоты

на случай проблем с основным, также управляемым программно. PIC14000 ориентирован на цифровую обработку сигналов, измерение температуры, обмен данными через последовательные интерфейсы и на применение в приложениях с пониженным энергопотреблением. Основной недостаток — отсутствие Flash-памяти, т.е. возможно только однократное программирование.

2.3.3.15. Семейство Microchip PIC16

Это *семейство*, напоминающее PIC12, — *универсальные микроконтроллеры* с хорошей производительностью и богатым ассортиментом функциональных возможностей. Семейство PIC16 является самым многочисленным представителем PICmicro, и ему свойственна самая разнообразная номенклатура корпусов и периферии. Одно слово команд, по-прежнему, имеет размер 14 бит, а стек — 8 уровней. Однако ОЗУ в этих МК организовано в виде регистрового файла. Максимальная скорость выполнения команд составляет 5 MIPS на частоте 20 МГц, система команд включает 35 инструкций. В качестве периферийных устройств в этом семействе присутствуют ОЗУ (до 384 байт), двунаправленные порты ввода/вывода с током нагрузки до 25 мА, таймеры-счетчики, компараторы, 8-битные АЦП, последовательные интерфейсы (I^2C и SPI), устройства выборки и сравнения (компараторы), генераторы сигналов с ШИМ, контроллер ЖКИ, параллельный порт, программируемые источники опорного напряжения, сторожевой таймер и т.д. Допускается широкий диапазон питающих напряжений с нижней границей напряжения — 2.0 В.

2.3.3.16. Семейство Atmel AVR

AVR — это семейство экономичных 8-разрядных микроконтроллеров на основе технологии КМОП и архитектуры RISC. За счет выполнения большинства инструкций за один машинный цикл МК семейства AVR достигают производительности 1 MIPS на каждый МГц тактовой частоты, позволяя проектировщикам систем оптимизировать энергопотребление и производительность. Ядро AVR сочетает в себе богатый набор инструкций с 32 рабочими регистрами общего назначения. Все 32 регистра непосредственно подсоединены к АЛУ (арифметико-логическое устройство), что позволяет указывать в одной инструкции два разных регистра и выполнить эту инструкцию за один машинный цикл. Характерными особенностями семейства AVR являются:

- небольшой корпус с малым количеством выводов;
- небольшой объем Flash-памяти;
- наличие однопроводного отладочного интерфейса.

2.3.4. Основные принципы построения и структурные схемы МК

2.3.4.1. Семейство Intel MCS-51

Практически все микроконтроллеры этого семейства построены по схеме, приведенной на рис. 2.3.1, и имеют гарвардскую архитектуру. Отличия между разными ИМС этого семейства состоят в количестве портов и регистрах специального назначения.

Рассмотрим эту схему более подробно.

Назначение и работа *АЛУ, программного счетчика, инкремента программного счетчика, регистров адреса ПЗУ и ОЗУ и регистра признаков (PSW)* рассмотрены в предыдущей главе под названием «Универсальные микропроцессоры».

Порты (Ports) являются квазидвунаправленными устройствами ввода/вывода и предназначены для обеспечения обмена информацией микроконтроллера с внешними устройствами, образуя 32 линии ввода/вывода. Каждый из портов содержит восьмиразрядный регистр, имеющий байтовую и битовую адресацию для установки (запись «1») или сброса (запись «0») раз-

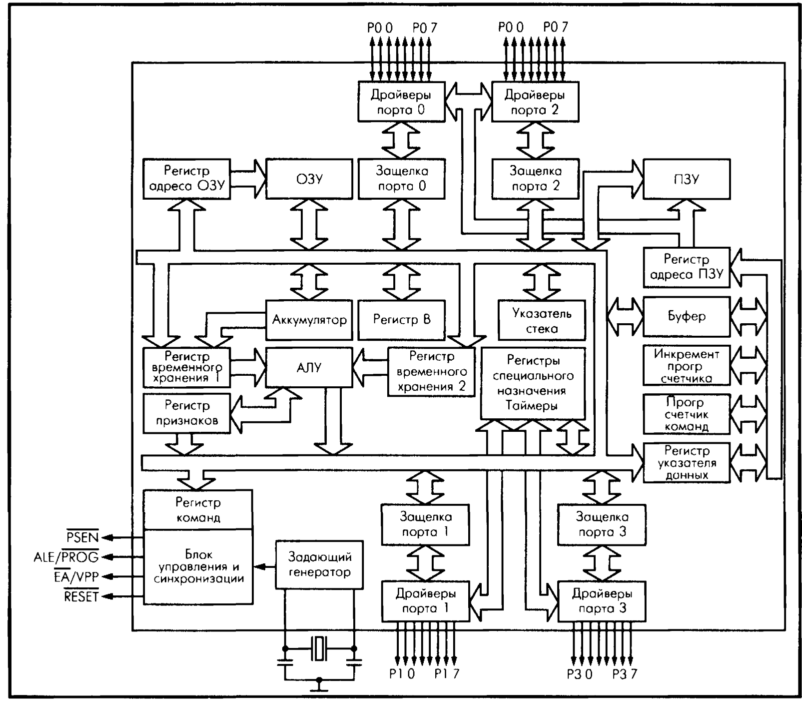


Рис. 2.3.1. Структурная схема МК семейства MCS-51

рядов этого регистра с помощью программного обеспечения. Выходы этих регистров соединены с внешними ножками микросхемы.

Каждый разряд регистра-защелки (*latch*) порта представляет собой *D*-триггер. Данные с внутренней шины микроконтроллера записываются в регистр-защелку по сигналу «запись в защелку». Выход *D*-триггера подключается к внутренней шине (считывается) по сигналу «чтение защелки». Значение сигнала непосредственно с внешнего вывода порта считывается по сигналу «чтение вывода».

ПЗУ (ROM) предназначено для хранения программы МК. В ИМС семейства MCS-51 применяются ПЗУ на основе технологий ROM, PROM, EPROM, EEPROM и FLASH. МК без внутреннего ПЗУ могут работать только с внешней микросхемой ПЗУ емкостью до 64 Кбайт (при использовании портов P1 и P3 в качестве расширителя адреса объем подключаемой ПЗУ может быть увеличен до 1 Гбайт). MCS-51 имеют внешний вывод EA, с помощью которого можно запретить работу внутренней памяти.

ОЗУ (RAM) предназначено для временного хранения информации, используемой в процессе выполнения программы. В ИМС семейства MCS-51 применяется статическое ОЗУ.

Регистр указателя данных (Data Pointer Register, DPTR) предназначен для хранения 16-разрядного адреса внешней памяти данных или памяти программ

Регистры временного хранения (TMP1, TMP2) — это 8-разрядные регистры, предназначенные для приема и хранения операндов на время выполнения операций над ними. Эти регистры программно недоступны.

Регистр А (аккумулятор) — это 8-разрядный регистр, предназначенный для приема и хранения результата, полученного при выполнении арифметико-логических операций или операций сдвига.

Регистр В — это 8-разрядный регистр, используемый во время операций умножения и деления. Для других инструкций он может рассматриваться как дополнительный сверхоперативный регистр.

Указатель стека (Stack Pointer, SP) — 8-разрядный регистр, предназначенный для организации особой области памяти данных (стека), в которой можно временно сохранить любую ячейку памяти. Стек работает по принципу *«последний вошел — первый вышел» (Last In First Out – LIFO)*.

Регистры специальных функций (Special Function Registers, SFRs) занимают адреса внутренней памяти данных с 080h по 0FFh. Так как адреса регистров специальных функций совпадают со старшими адресами внутреннего ОЗУ данных, то при использовании этих адресов внутренней памяти данных имеются некоторые особенности.

Блок управления и синхронизации (Timing and Control) предназначен для выработки синхронизирующих и управляющих сигналов, обеспечивающих координацию совместной работы блоков МК во всех допустимых режимах работы. В состав блока управления входят:

- устройство формирования временных интервалов;
- логика ввода/вывода;

- регистр команд;
- регистр управления потреблением электроэнергии;
- дешифратор команд, логика управления ЭВМ.

Устройство формирования временных интервалов предназначено для формирования и выдачи внутренних синхросигналов фаз, тактов и циклов. Количество машинных циклов определяет продолжительность выполнения команд. Практически все команды ОЭВМ выполняются за один или два машинных цикла, кроме команд умножения и деления, продолжительность выполнения которых составляет четыре машинных цикла. Обозначим частоту задающего генератора через Fr. Тогда длительность машинного цикла равна 12/Fr или составляет 12 периодов сигнала задающего генератора. Логика ввода/вывода предназначена для приема и выдачи сигналов, обеспечивающих обмен информацией с внешними устройствами через порты ввода/вывода P0-P3.

Регистр команд предназначен для записи и хранения 8-разрядного кода операции выполняемой команды. Код операции с помощью дешифратора команд и логики управления ЭВМ преобразуется в микропрограмму выполнения команды.

Регистр управления потреблением (PCON) позволяет останавливать работу микроконтроллера для уменьшения потребления электроэнергии и уменьшения уровня помех от микроконтроллера. Еще большего уменьшения потребления электроэнергии и уменьшения помех можно добиться, остановив задающий генератор микроконтроллера. Этого можно достичь при помощи переключения бит регистра управления потреблением PCON. Для варианта изготовления по технологии n-МОП (серия 1816 или зарубежных микросхем, в названии которых в середине отсутствует буква «с») регистр управления потреблением PCON содержит только один бит, управляющий скоростью передачи последовательного порта SMOD, а биты управления потреблением электроэнергией отсутствуют.

2.3.4.2. Семейство Intel MCS-251

Как и семейство MCS-51, практически все микроконтроллеры *семейства MCS-251* имеют схожую архитектуру (схема приведена на рис. 2.3.2). Размер встроенного ОЗУ равен 1 Кб для версий SA, SB и 512 байт для версий SP, SQ.

Рассмотрим эту схему более подробно.

Как и в MCS-51, АЛУ МК семейства MCS-251 остается 8-разрядным. *Регистры общего назначения (РОН)* объединены в блок размером 40 байт (320 бит), а доступ к ним возможен в трех режимах:

- 16 8-разрядных регистров;
- 16 16-разрядных регистров;
- 10 32-разрядных регистров.

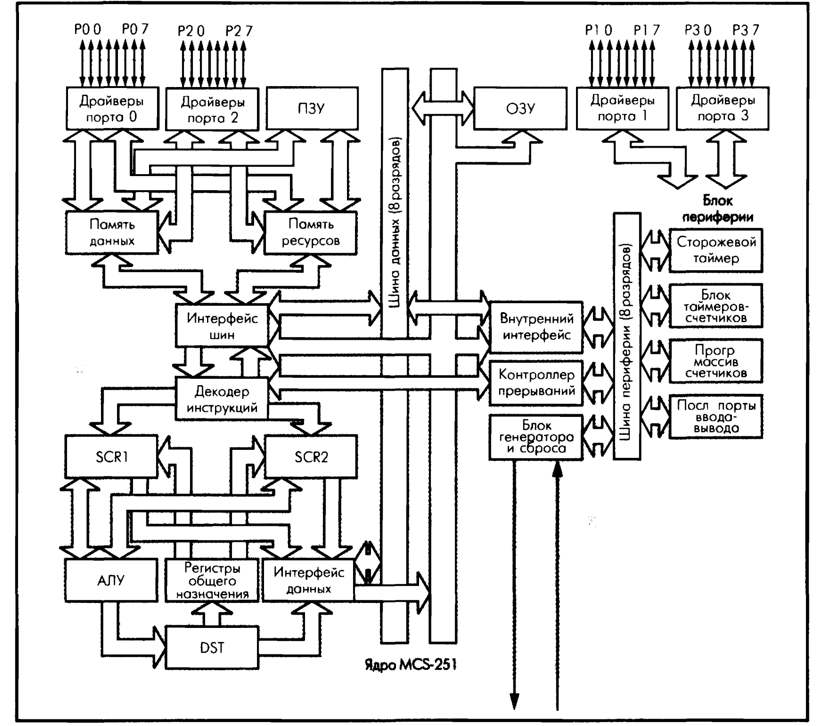


Рис. 2.3.2. Структурная схема МК семейства MCS-251

Шины *SRC-1* и *SRC-2* обеспечивают возможность использования любого РОН в роли любого из двух операндов при работе с АЛУ, а шина *DST* позволяет всем РОН выступать в роли аккумулятора. *Интерфейс данных* осуществляет доступ к РОН через шины адреса и данных.

Декодер инструкций (Instruction Sequencer) предназначен для перехода от инструкций к непосредственно операциям, исполняемым процессором. Взаимодействие декодера с АЛУ и РОН производится через шины SRC-1 и SRC-2.

ПЗУ в MCS-251 может иметь размер 8 или 16 Кб. Некоторые микроконтроллеры этого семейства не имеют встроенного ПЗУ, и программа загружается в них из внешнего ПЗУ.

В отличие от MCS-51, в МК семейства MCS-251 обращение к ПЗУ, регистрам специальных функций, а также внутреннему и внешнему ОЗУ осуществляется с помощью единого 24-разрядного адресного пространства. РОН, а также специальные регистры располагаются в собственном адресном пространстве, при этом доступ к РОН возможен в обоих адресных пространствах одновременно.

Контроллер прерываний (Interrupt Controller) может обрабатывать прерывания из 64 источников, а именно: 62 маскируемых прерывания, инструкции TRAP (отладочное прерывание) и одно немаскируемое прерывание. В зависимости от модели МК количество источников может отличаться. Также поддерживается четыре уровня приоритета для каждого из прерываний.

2.3.4.3. Семейство Intel MCS-96/196/296

Микроконтроллеры этого семейства — это МК *высокой интеграции* с 16-битным АЛУ и, как минимум, с 230-байтным внутренним ОЗУ. Семейство MCS-96/196/296 легко управляет высокоскоростными процессами и быстродействующими устройствами ввода/вывода. Типичная область применения — замкнутые системы управления и цифровая обработка сигналов, в том числе для MCS-96 модемы, системы управления двигателями, принтеры, фотокопировальная техника, тормозные системы, системы управления кондиционерами, дисководы и медицинская аппаратура.

МК серий MCS-96/196/296 имеют общую систему команд и архитектуру. Однако МК на основе технологии CHMOS (MCS-196/296) способны обеспечить более высокую интеграцию при меньшей потребляемой мощности. Они имеют специализированные подсистемы ввода/вывода и 16-битные арифметические операции, включая умножение и деление. На рис. 2.3.3 приведена блок-схема микроконтроллеров семейства MCS-96/196/296.

АЦП (A/D Converter) преобразует входной аналоговый сигнал в цифровой. АЦП может начать преобразование немедленно, или HSO может запустить преобразование в заранее запрограммированное время. Преобразователь выполняет преобразование за 88 тактов. По завершении

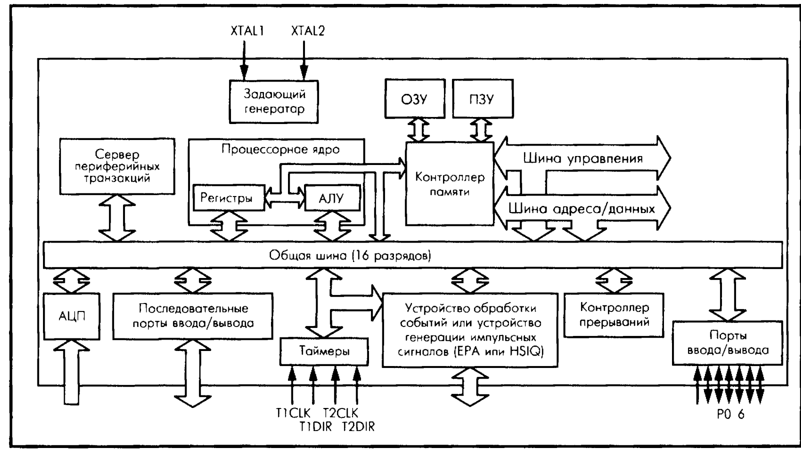


Рис. 2.3.3. Структурная схема МК семейства MCS-96/196/296

каждого преобразования может вырабатываться прерывание «A/D Conversion Complete». АЦП в микроконтроллерах семейства MCS-96/196/296 имеет отдельные линии питания (V_{ref} и ANGND) для изоляции от помех на основных линиях питания МК.

Порты ввода/вывода (I/O Ports). МК этого семейства имеют от пяти до семи 8-битных I/O портов. Порт 0 является входным, остальные порты могут содержать двунаправленные и квазидвунаправленные линии. Некоторые порты (обычно 3 и 4) подключают к шинам адреса и линию данных.

Последовательный порт (Serial I/O) имеет один синхронный режим (Mode 0) и три асинхронных (Mode 1, Mode 2 и Mode 3). Асинхронные режимы — полностью дуплексные. Приемник порта имеет буфер данных, что позволяет вести прием второго байта до считывания первого. Наиболее общее использование синхронного режима — расширение возможностей устройств ввода/вывода (I/O) у МК, использующих сдвиговые регистры. Асинхронные режимы предназначены для обмена данными со внешними устройствами, при этом Mode 2 и Mode 3 позволяют работать с прерываниями.

Таймеры-счетчики (Timers) — МК имеют два 16-битных таймера. Внутренняя синхронизация увеличивает их значение на каждый восьмой такт процессора, равный трем периодам тактовой частоты. Таймер 2 может иметь внешнюю синхронизацию. При внешней синхронизации значение таймера 2 увеличивается при каждом положительном или отрицательном перепаде. Любой внешний или внутренний источник может сбросить таймер 2. Таймеры могут сформировать прерывание при переходе границы FFFFh/0000h. Также можно использовать таймеры для задания скорости передачи информации последовательным портом и для управления работой сторожевого таймера.

Устройство обработки событий (Event Processor Array, EPA) выполняет захват событий и вывод событий, сформированных функциями, использующими таймеры. EPA состоит из 10 модулей «захват/сравнение», двух модулей «сравнение» и двух таймеров. В режиме захвата при появлении внешнего события EPA сохраняет значение таймера, вырабатывает прерывание или выполняет и то, и другое. Нарастающий, спадающий фронт или любой из них может инициировать захват. Все захваты дважды буферизованы. В режиме сравнения, когда значение таймера сравнится со значением в регистре сравнения, EPA изменяет состояние выходного вывода, формирует прерывание, или делает и то, и другое. EPA устанавливает, сбрасывает или переключает вывод, когда происходит сравнение. Таймер может вести прямой или обратный счет времени. Источники синхронизации таймеров могут быть внутренними или внешними. При счете времени также используется предделитель, который делит частоту колебаний в пределах отношения «1 к 64». EPA также позволяет двум каналам управлять одним выходом, что полезно для высокоскоростной ШИМ.

Устройство высокоскоростного ввода/вывода (High Speed Input/Output, HSIO) состоит из *устройства высокоскоростного ввода (HSI)* и *устройства*

высокоскоростного вывода (HSO). HSI может записывать время внешних событий, следить за четырьмя независимыми линиями HSI и фиксировать значение таймера № 1, когда происходят события. Захват могут инициировать нарастающий или спадающий фронт сигнала, оба фронта или каждый восьмой нарастающий фронт. Устройства HSI могут сохранять до 8 значений таймера № 1. Чтение регистра хранения HSI не стирает ранее загруженные значения, расположенные в FIFO. Устройство HSI может сформировать прерывание, когда фиксируется событие в HSI-регистре хранения или происходит шестая запись в буфер FIFO. HSO могут инициализировать события в определенные моменты, базирующиеся на показаниях таймеров. Эти программируемые события могут заключаться в запуске АЦП, сбросе таймера № 2, формировании до четырех программных временных задержек и в установке/очистке одной из шести выходных линий HSO. HSO хранит ожидаемые события и соответствующее время в области памяти CAM (Content Addressable Memory). Эта область хранит до восьми команд. Каждая команда определяет время действия, «природу» действия, имеет ли место прерывание, а также идет ли ссылка на таймеры. Каждые 8 тактов HSO сравнивает значение в ячейке CAM со значением времени. HSO-устройство инициализирует определенные события при совпадении значений. Команда стирается из CAM после выполнения или может быть зафиксирована для постоянного выполнения.

Контроллер прерываний (Programmable Interrupt Controller). При обнаружении одного из восьми прерываний устанавливает соответствующий бит в регистре ожидания прерывания. Индивидуальные прерывания разрешаются или запрещаются установкой или очисткой бита в регистре маски прерываний. Когда контроллер прерывания решает произвести прерывание, он делает вызов программы обслуживания прерываний (ISR). Соответствующий вектор прерывания содержит адрес ISR. Затем контроллер прерывания очищает соответствующий бит ожидания прерывания. В MCS-96 имеется 21 источник прерываний и 8 векторов прерываний.

2.3.4.4. Семейство Motorola HC05/HCL05

Обобщенная структурная схема микроконтроллеров семейства HC05/HCL05 приведена на рис. 2.3.4. Эти МК построены по неймановской архитектуре, имеют разрядность 8 бит и предназначены для применения в самых разнообразных областях.

Большая часть функциональных блоков, присутствующих на рисунке, нам уже знакома. Обратим внимание на специфические блоки, не присутствующие в рассмотренных ранее микроконтроллерах.

Блок контроля функционирования (Computer Operating Properly, COP) осуществляет контроль выполнения текущей программы. В случае «зависания» программы, обращения ее по запрещенному адресу или нарушения нормального хода ее исполнения блок контроля функционирования перезагружает процессор, возвращая его в исходное состояние.

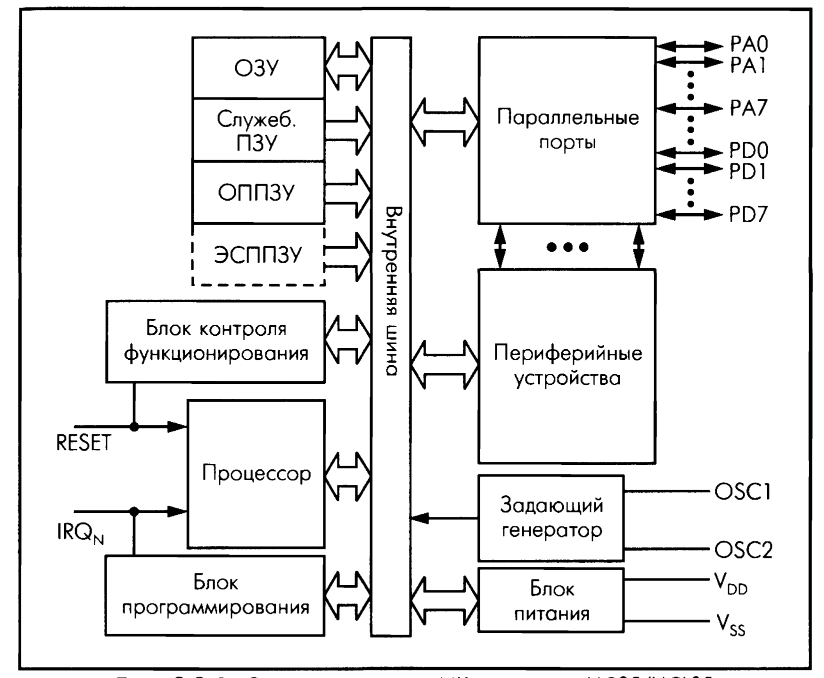


Рис. 2.3.4. Структурная схема МК семейства HC05/HCL05

Блок программирования предназначен для записи программ в ПЗУ. Для этого ему требуется дополнительное питание V_{PP}, равное примерно 16.5 В. Запись может идти как в однократно программируемое ПЗУ, так и в репрограммируемое.

Контакты OSC1 и *OSC2* служат для подключения кварцевого или керамического резонатора, задающего тактовую частоту МК. Функционально эти контакты аналогичны контактам XTAL1 и XTAL2 контроллеров от фирмы Intel.

2.3.4.5. Семейство Motorola HC08

На рис. 2.3.5 приведена обобщенная структурная схема микроконтроллеров семейства HC08. Как и HC05, это семейство является 8-разрядным и построено по архитектуре фон Неймана.

МК семейства HC08 имеют модульную структуру, т.е. их архитектура задается пользователем и состоит из готовых функциональных блоков. На рисунке представлен набор таких модулей, большая часть которых не является обязательными для микроконтроллера и интегрируется в зависимости от задач, которые предполагается решать с помощью МК. Рассмотрим блоки, которые еще не были описаны выше.

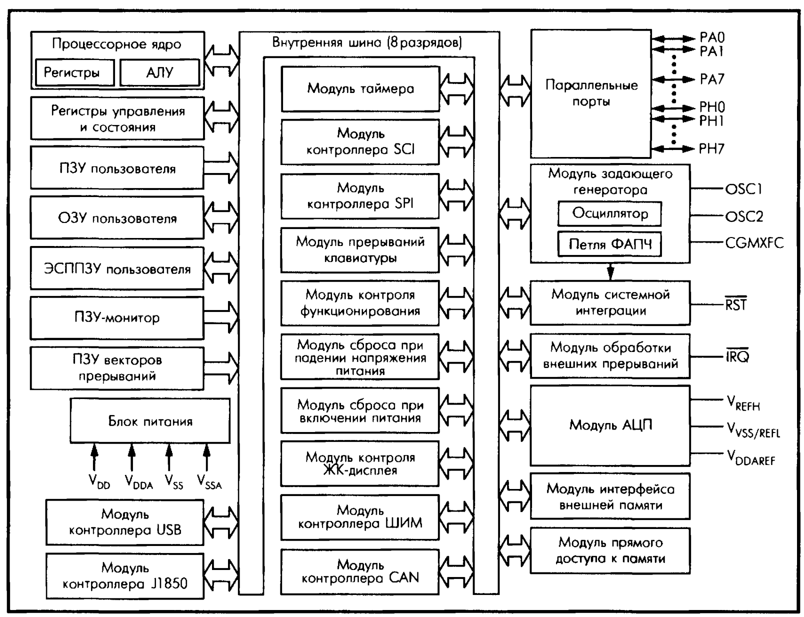


Рис. 2.3.5. Структурная схема МК семейства HC08

ПЗУ-монитор (Monitor ROM) — область памяти, содержащая команды, вводящие МК в режим мониторинга. В этом режиме МК получает и выполняет команды, идущие от внешнего устройства, осуществляющего проверку микроконтроллера. В режиме мониторинга проверяющее устройство имеет доступ ко всей памяти МК.

ПЗУ векторов прерываний (User ROM Vectors) — область памяти, содержащая адреса в памяти (векторы), с которых начинается выполнение подпрограмм при получении запроса на то или иное прерывание. Векторы прерываний расположены в определенном порядке, и каждый вектор имеет свой приоритет, определяющий, в каком порядке МК будет обрабатывать эти прерывания.

Модуль прерываний клавиатуры (Keyboard Interrupt Module). Этот модуль дает доступ к внешним прерываниям, которые маскируются независимо друг от друга и могут быть использованы для управления МК с подключенной внешней клавиатурой. Подсоединение к каждой линии прерывания отдельной клавиши, либо построение матричной схемы опроса клавиатуры с присоединением выходов матрицы к линиям модуля позволяет распознать нажатие клавиши в процессе выполнения любой программы без дополнительных затрат времени.

Модули последовательного обмена реализуют обмен данными с помощью различных последовательных интерфейсов (USB, J1850, SCI, SPI, CAN).

Наличие или отсутствие на кристалле этих модулей определяется назначением МК.

Модуль таймера (Timer Interface Module). Этот модуль может включать:

- многоканальный таймер (количество каналов зависит от модели МК), причем каждый канал содержит 16-разрядный счетчик с программируемым предделителем;
- таймер с генерацией прерывания;
- сторожевой таймер;
- регистры входной фиксации;
- регистры выходного сравнения;
- генератор сигнала с ШИМ.

Соответственно, на одном кристалле МК может быть расположено несколько модулей таймеров.

Модуль сброса при падении напряжения (Low-Voltage Inhibit Module) предназначен для генерации сигнала сброса МК, если напряжение питания микропроцессорного ядра падает ниже заданного порога.

Модуль сброса при включении питания (Power-On Reset Module) предназначен для генерации сигнала сброса МК при появлении напряжения питания на соответствующем контакте. При запуске МК должен находиться в определенном состоянии (ОЗУ чистое, в регистрах — нули и т.д.), что и обеспечивается подачей сигнала сброса при включении питания.

Модуль контроля ЖК-дисплея позволяет подключать до 1280 сегментов ЖКИ (32 группы по 40 сегментов) и содержит внутреннее буферное ОЗУ с побитовой адресацией объемом 1280 бит соответственно. Встроенная схема подкачки заряда позволяет формировать необходимые уровни напряжения на выходе драйверов, а регулировка контрастности с 8-разрядным разрешением и обратной связью поддерживает заданную контрастность во всем диапазоне рабочих напряжений.

Модуль прямого доступа к памяти обеспечивает скоростной обмен между памятью и внешними устройствами без участия процессорного ядра. В МК серии НС08 этот модуль может обслуживать последовательные интерфейсы, таймеры, ОЗУ и ПЗУ, при этом обеспечивая передачу блоков данных размером до 256 байт.

Модуль интерфейса внешней памяти (External Memory Interface Module) дает МК возможность использовать внешнюю память, расширяя таким образом свое адресное пространство. В серии НС08 максимальный объем внешней памяти составляет 16 Мбайт.

Модуль системной интеграции (System Integration Module, SIM) выполняет следующие функции:

- формирует сигнал внутренней тактовой частоты для процессорного ядра и периферийных модулей;

- обеспечивает работу МК в режимах пониженного энергопотребления «Stop» и «Wait»;
- позволяет программно управлять тактовой частотой с помощью ФАПЧ;
- генерирует некоторые системные прерывания;
- выполняет сброс МК при поступлении соответствующего сигнала (в том числе и от других модулей).

Модуль задающего генератора (Clock Generation Module, CGM) генерирует сигнал тактовой частоты, используемый модулем системной интеграции для тактирования разнообразных модулей МК.

2.3.4.6. Семейство Motorola HC11

Обобщенная структурная схема микроконтроллеров семейства HC11 приведена на рис. 2.3.6. Эти МК построены по неймановской архитектуре, имеют разрядность 8 бит и предназначены для применения в самых разнообразных областях.

Отметим, что архитектура HC11 унаследовала много черт от HC05. Однако отличительной особенностью архитектуры HC11 является способ-

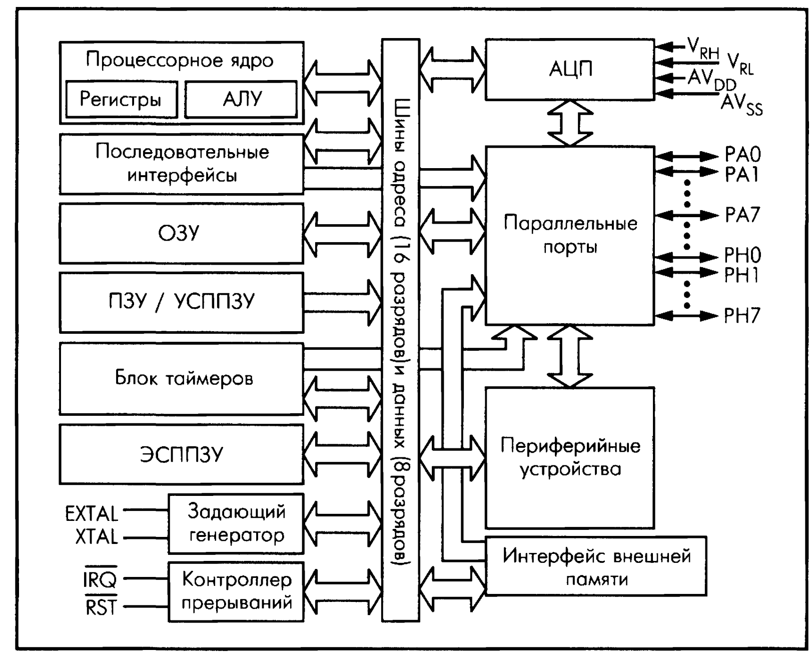


Рис. 2.3.6. Структурная схема МК семейства HC11

ность этих МК работать в так называемом *расширенном режиме (Extended Mode)*, когда к контроллеру подключается внешняя память.

2.3.4.7. Семейство Motorola HC12

На рис. 2.3.7 приведена обобщенная структурная схема микроконтроллеров семейства HC12. Это семейство является 16-разрядным, однако архитектурно совместимо с 8-разрядным семейством HC11.

Процессорное ядро этого семейства называется CPU12. Это ядро содержит 20-разрядное АЛУ и архитектурно совместимо с ядром, применяемым в семействе HC11. Кроме того, CPU12 поддерживает очередь инструкций и может использовать функции нечеткой логики.

В этом семействе МК вместо раздельных шин для адреса и для данных используется единая *мультиплексированная шина*. Эта шина может работать в двух режимах: «широком» (16 × 16 бит) и «узком» (16 × 8 бит).

Модуль последовательных интерфейсов способен поддерживать (в зависимости от конкретной модели МК) следующие интерфейсы: SCI; SPI; J1850; CAN.

Существенным отличием МК этого семейства также является наличие в них *модуля фоновой отладки (Background Debug Module, BDM)*. Этот модуль позволяет использовать режим фоновой отладки, который удобно применять при разработке систем на базе МК семейства HC12, тестировании и написании программ для МК. Модуль фоновой отладки содержит полный ассортимент средств отладки и обменивается данными с внешней системой по однопроводному интерфейсу. Обычно для работы этого модуля используются пустые циклы процессора, однако в случае необходимости возможен отбор циклов у процессорного ядра.

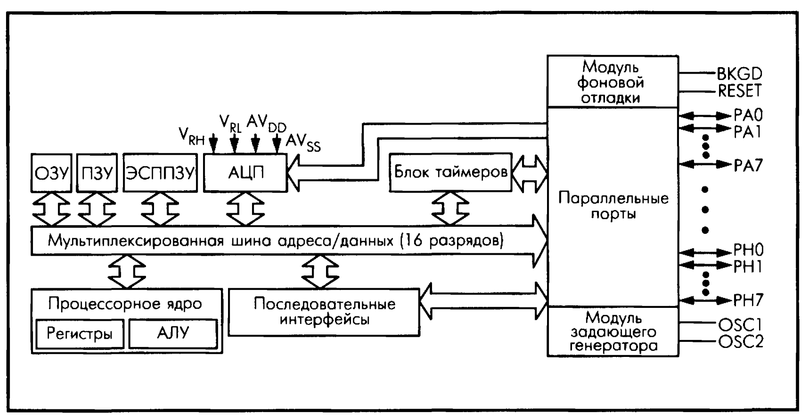


Рис. 2.3.7. Структурная схема МК семейства HC12

2.3.4.8. Семейство Motorola HC16

Обобщенная структурная схема микроконтроллеров семейства HC16 приведена на рис. 2.3.8.

Рассмотрим отдельные блоки этой схемы, содержащие специфические для этого семейства особенности.

В качестве *процессорного ядра в МК семейства HC16* применяется CPU16, обладающее истинно 16-разрядной архитектурой. Это ядро имеет полный набор 16-разрядных инструкций, тремя 16-разрядными регистрами и двумя 16-тразрядными регистрами-аккумуляторами. Ядро CPU16 способно адресовать до 1 Мбайт памяти программ и памяти данных, а также может использовать режим фоновой отладки.

Модуль системной интеграции, по-прежнему, является одной из важнейших частей микроконтроллера. В семействе HC16 этот модуль поддерживает внешнюю шину,обладает программируемым блоком сигналов «Chip Select», сторожевым таймером, монитором шины и задающего генератора, петлей ФАПЧ, а также двумя 8-разрядными двунаправленными портами и одним 7-разрядным однонаправленным (на выход) портом.

Если в МК присутствует *буферизованный модуль последовательных интерфейсов (Queued Serial Module, QSM)*, то такой МК поддерживает интерфейс SCI (в том числе буферизованный), а также имеет дополнительный 8-разрядный двунаправленный порт. Альтернативой QSM может послужить *многоканальный коммуникационный интерфейс (Multichannel Communication Interface, MCCI)*, обеспечивающий два канала SCI и один канал SPI.

Также следует обратить внимание на *межмодульную шину (Intermodule Bus, IMB)*, которая является стандартизованной и призвана унифицировать

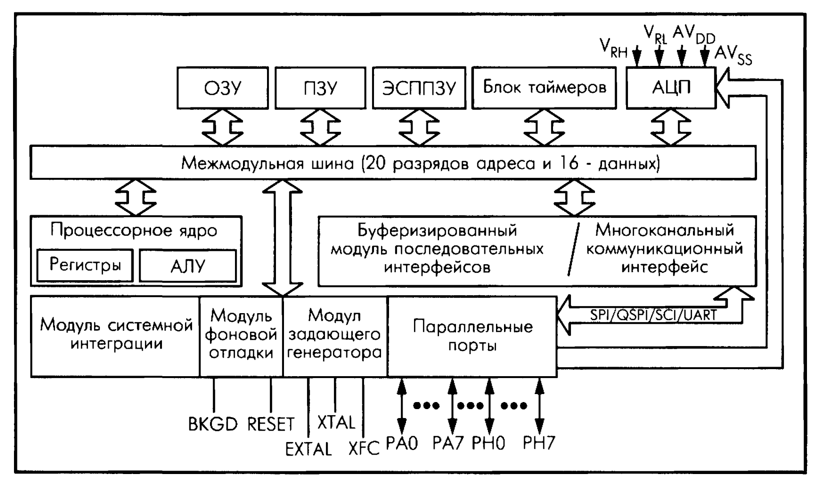


Рис. 2.3.8. Структурная схема МК семейства HC16

дизайн модульных микропроцессоров. Помимо обмена данными между модулями эта шина поддерживает обработку прерываний, разделение адресного пространства, несколько уровней приоритета прерываний, а также векторные прерывания. Межмодульная шина содержит 24 линии адреса и 16 линий данных, однако МК серии НС16 используют только 20 разрядов адреса. Оставшиеся разряды повторяют 20-й разряд адреса.

2.3.4.9. Семейство Motorola 68300

На рис. 2.3.9 приведена *обобщенная структурная схема МК семейства 68300.* В зависимости от модели МК в семействе 68300 может использоваться процессорное ядро CPU32, CPU32+ или CPU030. Отличия между этими ядрами заключаются в следующем:

- *CPU32* использует межмодульную шину с 24 линиями адреса и 16 линий данных;
- *CPU32+* использует межмодульную шину с 32 линиями адреса и 32 линии данных;
- *CPU030* использует 32-разрядную межмодульную шину, а также кэш-память и счетверенный модуль синхронного ОЗУ для повышения производительности.

Микропроцессорные ядра в семействе 68300 существенно оптимизированы с учетом особенностей задач управления во встраиваемых микроконтроллерных системах, оставаясь при этом полностью программно совместимыми с разработанной ранее архитектурой 68000. Внутренняя архитектура этих ядер является полностью 32-разрядной.

Существует ряд модификаций модуля системной интеграции, оптимизированных для различных моделей МК. Базовым для всех модификаций явля-

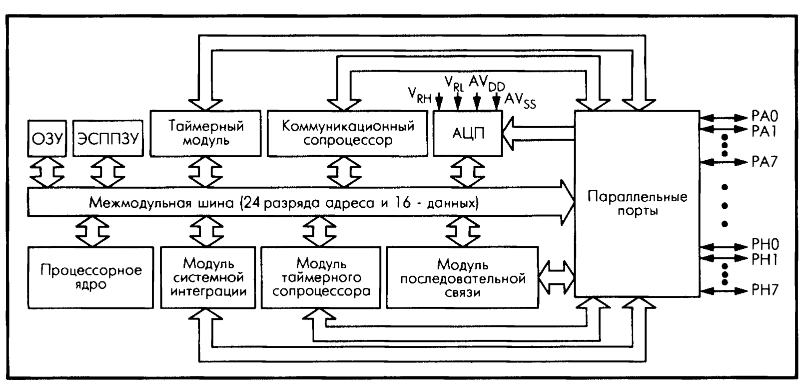


Рис. 2.3.9. Структурная схема МК семейства 68300

ется модуль SIM. Различные модификации полностью повторяют его. Они имеют только количественные отличия. Модуль системной интеграции состоит из пяти функциональных блоков, контролирующих внешнюю шину, запуск, инициализацию и конфигурацию микроконтроллера при помощи минимального количества внешних устройств.

Таймерный сопроцессор (Timer Processing Unit, TPU) способен независимо от процессора выполнять как простые, так и сложные таймерные функции. Таймерный сопроцессор можно считать отдельным специализированным микропроцессором, который осуществляет две основные операции над временем: проверку на совпадение (*match*) и сохранение значения счетчика-таймера в момент изменения состояния какого-либо входа (*capture*). Выполнение любой из них называется событием. Обслуживание событий сопроцессором замещает обработку прерываний центральным процессором.

Коммуникационный сопроцессор (Communications Processor Module, CPM) представляет собой процессорный модуль с RISC-архитектурой. Взаимодействие CPM с основным процессором и другими функциональными модулями, входящими в МК, осуществляется через внутреннюю шину IMB. CPM имеет ПЗУ, в котором содержатся программы, реализующие широкий набор наиболее распространенных протоколов (список зависит от модели МК). CPM также имеет двухпортовое статическое ОЗУ, часть которого может использоваться для загрузки собственного микрокода, реализующего заказной протокол. CPM имеет индивидуальные каналы прямого доступа к памяти (DMA) на прием и передачу данных. Также имеется блок сопряжения с физическими интерфейсами.

2.3.4.10. Семейство ZiLOG Z8

На рис. 2.3.10 приведена обобщенная структурная схема МК *семейства Z8*.

Рассмотрим отличительные черты структуры МК этого семейства.

Указатель регистров/регистровый файл (Register Pointer/Register File). В микроконтроллерах семейства Z8 ОЗУ для данных и стека организовано в виде регистрового файла. При этом для сокращения размера адреса этот регистровый файл поделен на рабочие группы. Номер активной группы задается указателем регистров. Стандартный регистровый файл объемом 256 байт присутствует во всех моделях МК рассматриваемого семейства и относится к нулевой рабочей группе. В некоторых моделях Z8 присутствует также расширенный регистровый файл, состоящий из 16 групп по 16 регистров в каждой.

Блок синхронизации и управления объединяет в себе функции задающего генератора (может использовать кварцевый или керамический резонатор, а также LC- или RC-цепь) и блока ввода/вывода данных. Для обмена данными используются сигналы AS (Address Strobe), DS (Data Strobe) и (Read/Write).

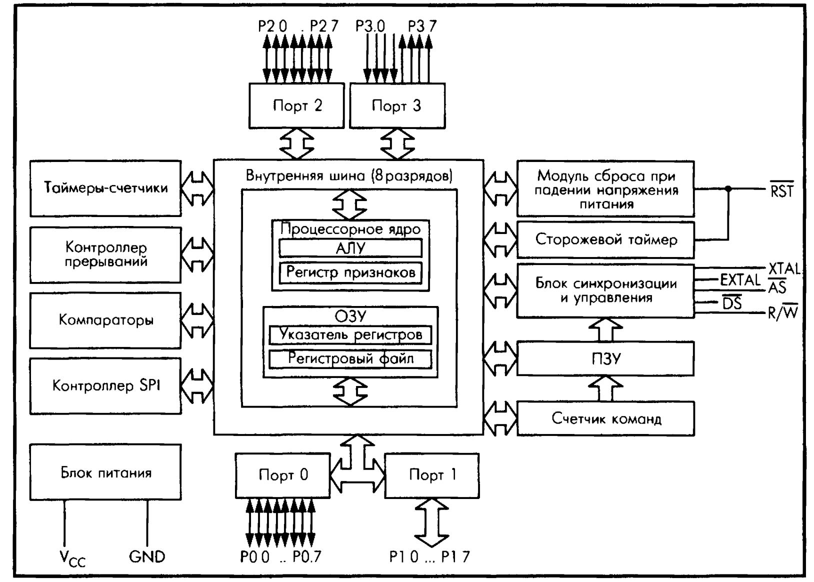


Рис. 2.3.10. Структурная схема МК семейства Z8

2.3.4.11. Семейство Microchip PIC10

Структурная схема микроконтроллеров *семейства PIC10* приведена на рис. 2.3.11.

Рассмотрим отличительные особенности МК этого семейства.

ПЗУ (ROM) — в микроконтроллерах серии PIC10 имеет объем 256 или 512 слов (регистров). Разрядность одного слова составляет 12 бит.

ОЗУ (RAM) — организовано в виде регистрового файла. Этот файл разделен на две функциональные группы: *регистры специального назначения (SFR)* и *регистры общего назначения (GPR)*. Регистры специального назначения на структурной схеме показаны отдельно от ОЗУ и включают:

- регистр таймера;
- программный счетчик;
- регистр признаков;
- регистр ввода/вывода;
- регистр калибровки осциллятора;
- регистр-указатель;
- регистр управления компаратором.

Регистры общего назначения используются для хранения данных. Доступ к ним осуществляется с помощью инструкций программы и регистра-указателя.

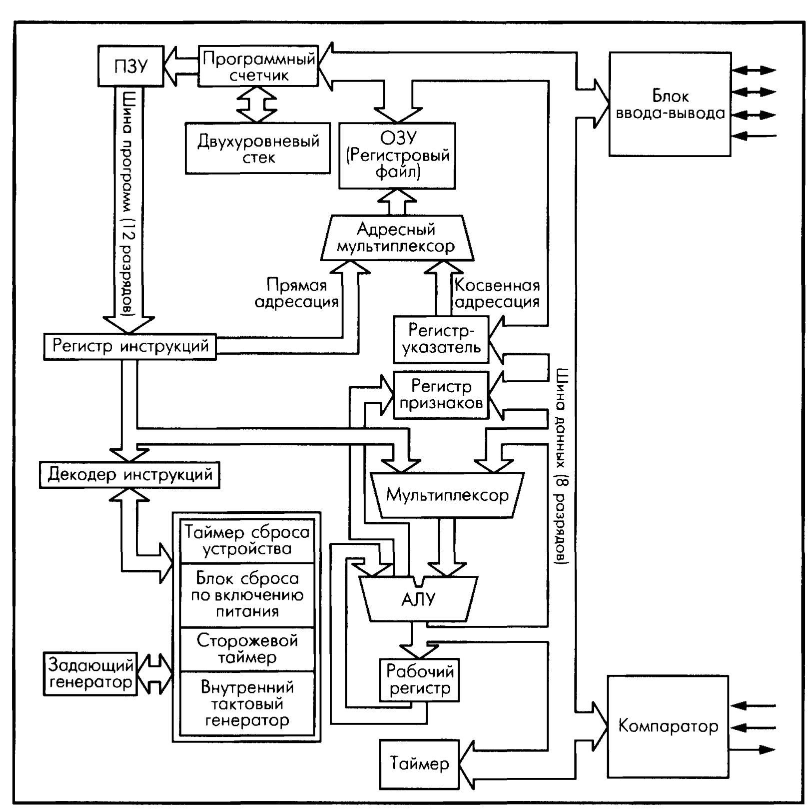


Рис. 2.3.11. Структурная схема МК семейства PIC10

Регистр-указатель (File Select Register, FSR) предназначен для выбора активного банка ОЗУ. Функционально схож с указателем регистров, применяемым в МК семейства Z8 (см. выше). В микроконтроллерах PIC также предусмотрен *регистр непрямой адресации (Indirect Data File, INDF)*, неразрывно связанный с регистром-указателем. Физически регистра INDF не существует, однако попытка доступа к нему приведет к работе с регистром, адрес которого размещен в регистре-указателе.

Программный счетчик (Program Counter, PC) — назначение уже рассматривалось в разделе 2.2. Следует отметить, что в PIC10 программный счетчик имеет на один разряд больше, чем требуется для полноценной адресации в пределах ПЗУ программ. Например, если на кристалле расположено 256 слов ПЗУ, то счетчик является 9-разрядным и способен адресовать область памяти в 512 слов. При этом попытка доступа в области с 256 по 511 слово приведет к переходу в начало ПЗУ (в англоязычной литературе — wraparound), т.е. вместо 256-го слова будет получен доступ к нулевому, вместо 257-го — к первому и т.д.

Рабочий регистр (W Register). Этот регистр используется для операций, проводимых АЛУ. Многие блоки МК имеют доступ к этому регистру, однако он не является адресуемым регистром и, соответственно, недоступен для программиста.

Регистр калибровки осциллятора (Oscillator Calibration Register, OSCCAL) используется для настройки внутреннего тактового генератора. Менять значение, записанное туда, нельзя, так как это приведет к некорректной работе контроллера. При этом сброс МК очищает этот регистр, поэтому его значение следует сохранять заранее.

Компаратор (Comparator) представляет собой аналоговый компаратор, управляемый соответствующим регистром. Входы и выход компаратора мультиплексированы с линиями общего назначения с целью снижения числа контактов ИМС.

Таймер сброса устройства (Device Reset Timer, DRT). Этот таймер запускается при включении МК и работает с внутренним тактовым генератором. Пока DRT остается активным, МК находится в режиме сброса. Это необходимо для того, чтобы внутренний тактовый генератор успел стабилизироваться, а уровень питания V_{DD} — превысить V_{DDMIN}. Длительность периода, в течение которого работает таймер, может меняться, при этом типовой период для PIC10 составляет 18 мс.

2.3.4.12. Семейство Microchip PIC12

Структурная схема микроконтроллеров *семейства PIC12* приведена на рис. 2.3.12.

Сравнивая с рис. 2.3.11, несложно заметить, что структура МК семейства PIC12 имеет много общего со структурой PIC10. Отличия можно разделить на две группы: *количественные отличия* и *структурные отличия.*

К количественным отличиям относятся:

- увеличение разрядности шины программ;
- увеличение глубины стека;
- увеличение количества регистров общего назначения (и, соответственно, размера ОЗУ);
- увеличение количества линий ввода/вывода.

Теперь рассмотрим структурные отличия.

ЭСППЗУ (EEPROM) предназначено для хранения данных и может быть перезаписано в ходе выполнения программы. Оно не входит в адресное пространство МК, соответственно, доступ осуществляется через четыре специализированных регистра:

- регистр EEDAT — содержащий данные для чтения/записи;
- регистр EEADR — содержащий адрес ячейки в ЭСППЗУ;

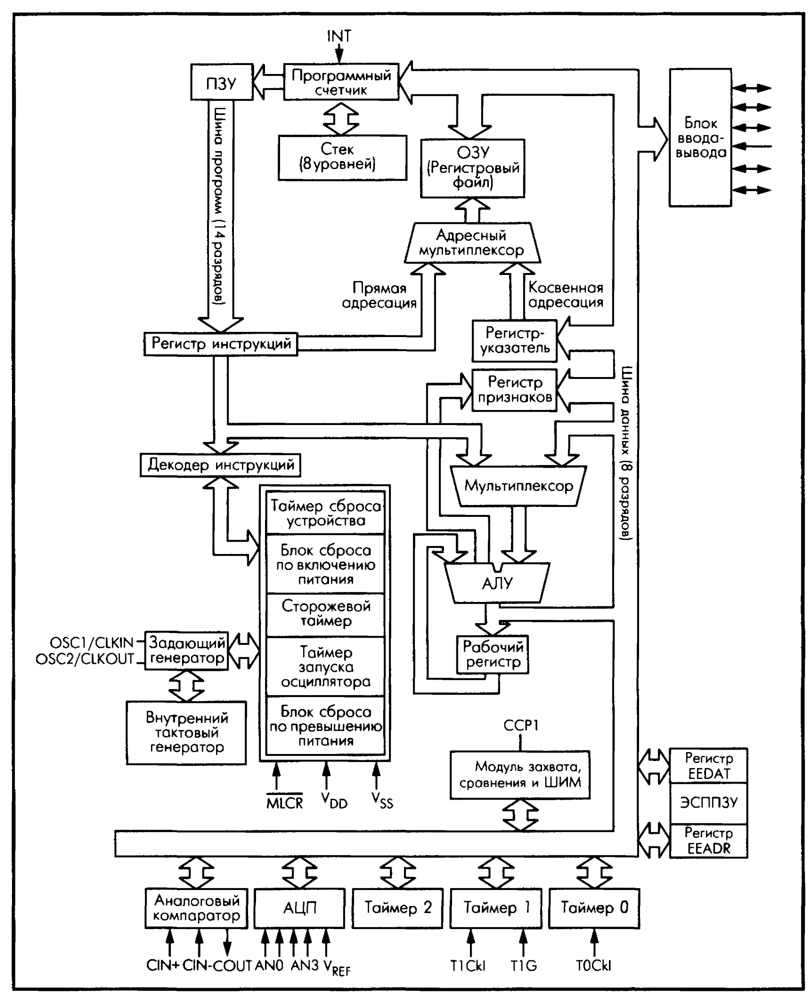


Рис. 2.3.12. Структурная схема МК семейства PIC12

- регистр EECON1 (не входит в схему) — хранящий данные о направлении обмена;
- регистр EECON2 (не входит в схему, физически не существует) — используемый исключительно в ходе записи данных в ЭСППЗУ.

Блок сброса по превышению питания (Brown-Out Detect). Назначением этого блока является защита ИМС от выгорания при превышении допустимого уровня питания. Если напряжение питания превышает заданный порог, этот блок генерирует сигнал сброса.

Внутренний тактовый генератор (Internal Oscillator Block) — это управляемый генератор колебаний. Некоторые модели МК могут иметь несколько таких генераторов. Они применяются в качестве внутреннего источника колебаний или в качестве «резерва» на случай остановки внешнего генератора. Логика МК способна переключаться между внутренними и внешними источниками колебаний.

Модуль захвата, сравнения и ШИМ (Capture/Compare/PWM Module) содержит 16-разрядный регистр CCPR1, имеющий следующие применения:

- регистр захвата;
- регистр сравнения;
- регистр управления ШИМ.

В качестве ввода/вывода этого модуля используется контакт CCP1.

АЦП (Analog-to-Digital Converter, ADC) — это микроконтроллеры семейства PIC12, в отличие от младшего семейства PIC10, обладают интегрированным АЦП. Аналоговые входы АЦП мультиплексированы. В качестве эталонного постоянного напряжения может использоваться как напряжение питания ИМС VDD, так и отдельный сигнал эталонного напряжения VREF.

Таймер запуска осциллятора (Oscillator Start-Up Timer, OST). Этот таймер включается по окончании периода работы таймера сброса устройства, а также при изменении тактовой частоты. Он отчитывает 1024 такта, используя вход OSC1, чтобы дать тактовому генератору время для запуска и стабилизации. В ходе этих 1024 тактов программный счетчик не изменяет свое состояние и выполнение команд приостанавливается.

2.3.4.13. Семейство Microchip PIC14

Структурная схема микроконтроллеров *семейства PIC14* приведена на рис. 2.3.13.

Как и в случае с PIC12, несложно заметить, что структура PIC14 основана на структуре младших семейств PICmicro. При этом разрядность шин и глубина стека МК семейства PIC14 аналогичны параметрам семейства PIC12, а объем ПЗУ и ОЗУ больше, чем в PIC12.

Рассмотрим структурные отличия между PIC14 и младшими семействами PICmicro.

Порты (I/O Ports) — вместо блока ввода/вывода, используемого в младших семействах, в PIC14 обмен данными осуществляется через набор портов. При этом отдельные линии могут работать в качестве аналоговых входов и присоединены к АЦП.

Таймер подачи питания (Power-Up Timer, PWRT) — это таймер, функция которого практически идентична функции таймера сброса устройства. Этот таймер запускается при подаче питания на МК и, пока он активен, ИМС находится в состоянии сброса. В серии PIC14 этот состояние длится около 72 мс.

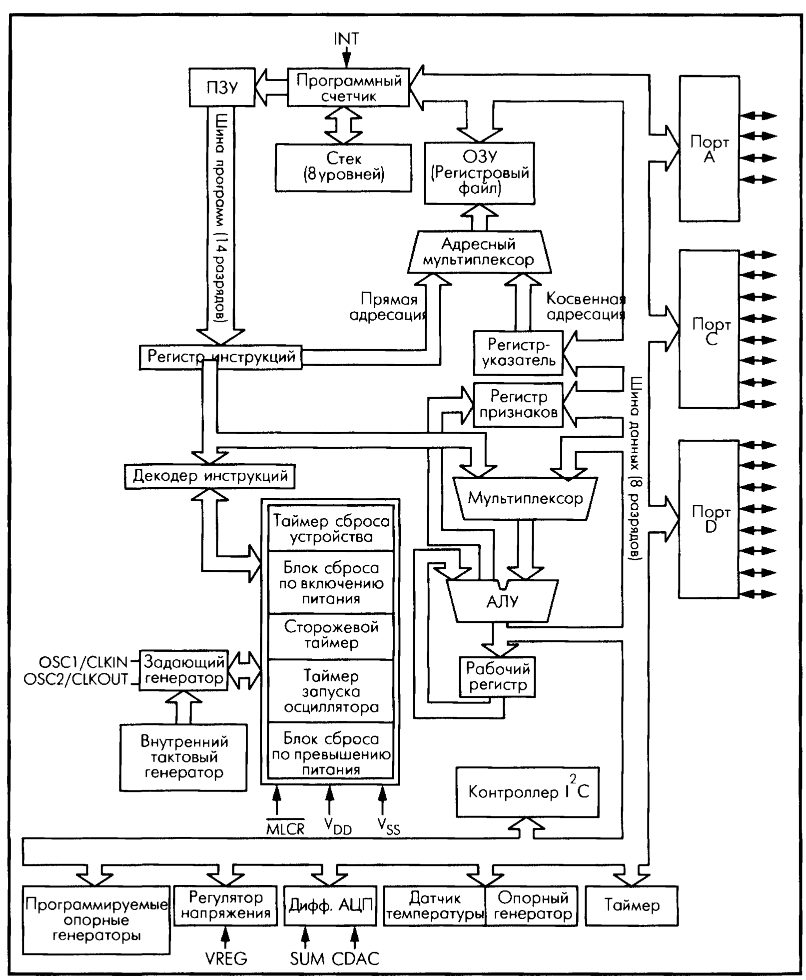


Рис. 2.3.13. Структурная схема МК семейства PIC14

Программируемые опорные генераторы (Programmable References) — эти блоки предназначены для выдачи эталонного сигнала с заданным уровнем напряжения. Каждый из этих генераторов построен с применением матрицы резисторов и синхронизирован с опорным генератором.

Регулятор напряжения (Voltage Regulator Support) используется в дешевых устройствах и позволяет получить нужный ИМС уровень питания, если таковой недоступен. При этом VREG присоединяется к внешнему резистору.

Дифференциальный АЦП (Slope A/D) — МК серии PIC14 содержат набор аналоговых компонентов для создания дифференциального АЦП. В этот набор входят:

- компаратор;
- программируемый (4 разряда) источник тока;
- 16-канальный аналоговый мультиплексор;
- 16-канальный таймер с регистром захвата.

Каждый канал при этом преобразуется независимо.

Датчик температуры (Temp Sensor). Этот модуль представляет собой интегрированный измеритель температуры, подключаемый к одному из каналов АЦП. Данные о калибровке датчика температуры хранятся в ПЗУ. Обычно 25° С соответствует напряжение около 1.05 В, а температурный коэффициент составляет примерно 3.7 мВ/°С.

Опорный генератор (Bandgap Reference) предназначен для генерации постоянного напряжения, используемого АЦП в качестве эталонного. Данные об уровне напряжения хранятся в ПЗУ МК.

Контроллер I^2C (I^2C Serial Port) применяется для передачи данных через интерфейс I^2C. Таким образом PIC14 несложно запрограммировать на обмен данными с другими МК, последовательными ПЗУ, регистрами сдвига, внешними АЦП и другими устройствами через этот двухпроводной интерфейс.

2.3.4.14. Семейство Microchip PIC16

Структурная схема микроконтроллеров *семейства PIC16* приведена на рис. 2.3.14.

Структура PIC16 построена по тем же принципам, что и у младших семейств PICmicro. Как и в случае с другими семействами, в PIC16 увеличена тактовая частота, а также объем ПЗУ и ОЗУ, добавлены новые управляющие регистры. Существует также и ряд структурных особенностей этого семейства. Рассмотрим их.

Порты (I/O Ports). Как и в PIC14, обмен данными между МК и внешними устройствами осуществляется через набор портов. При этом отдельные линии могут работать в качестве аналоговых входов и присоединены к АЦП. При этом в отличие от младших семейств PICmicro все порты PIC16 являются двунаправленными.

Синхронный последовательный порт (Synchronous Serial Port, SSP) — это блок, объединяющий в себе контроллеры I^2C и SPI. Назначение его аналогично назначению контроллера I^2C в PIC14, однако наличие интерфейса SPI позволяет расширить функциональные возможности этого МК.

Контроллер ЖКИ (LCD Module) генерирует тактирующие и управляющие сигналы для внешнего ЖК-индикатора. Для управления контроллером МК использует управляющие регистры LCDON, LCDSE и LCDPS, а также реги-

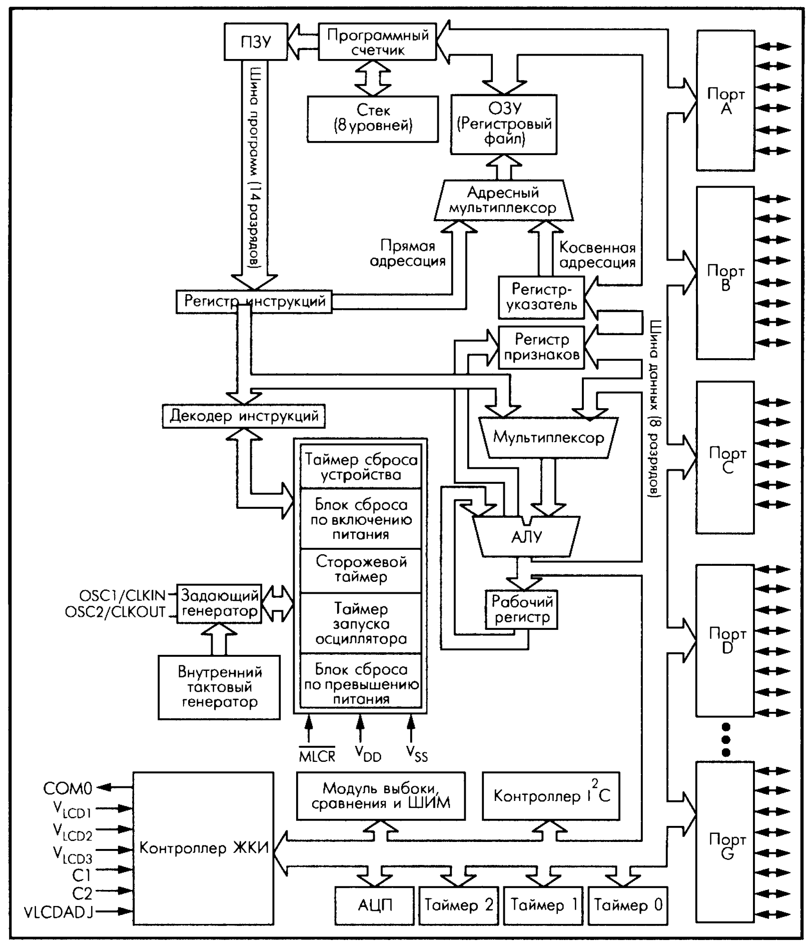


Рис. 2.3.14. Структурная схема МК семейства PIC16

стры данных LCD[00:15], содержащие информацию об изображении на индикаторе.

2.3.4.15. Семейство Atmel TinyAVR

Обобщенная структурная схема МК *семейства TinyAVR* приведена на рис. 2.3.15.

Рассмотрим отдельные блоки структурной схемы этих МК, не встречавшиеся ранее или имеющие особенности, характерные для рассматриваемого семейства.

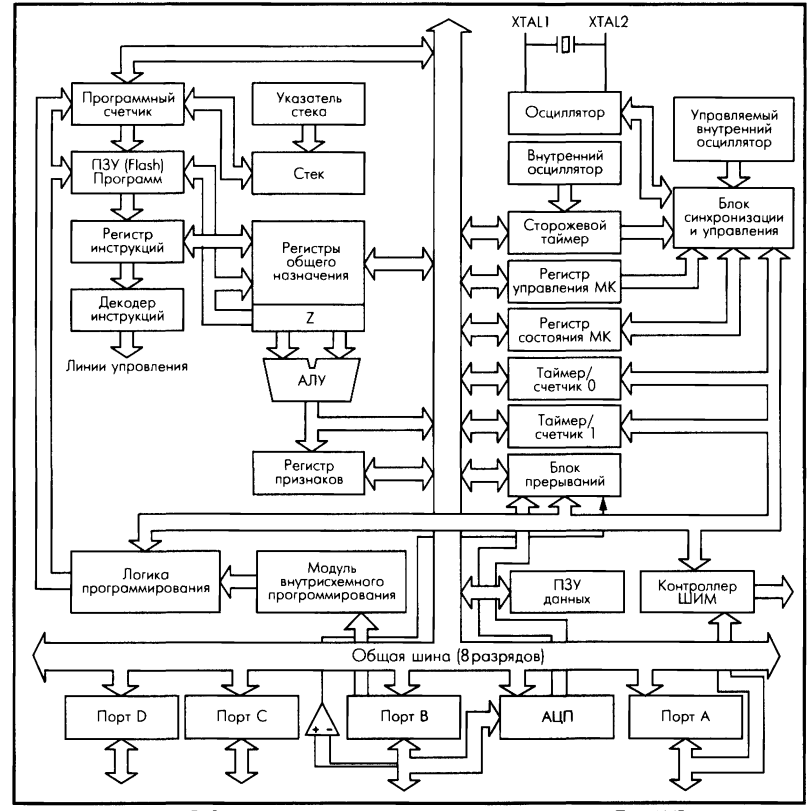


Рис. 2.3.15. Структурная схема МК семейства TinyAVR

Указатель стека (Stack Pointer) — регистр, указывающий на уровень заполнения стека. Изменяется автоматически при записи данных в стек и чтении их оттуда.

Стек (Hardware Stack) — область памяти, действующая по принципу LIFO. В TinyAVR стек имеет три уровня и разрядность 9 бит. При вызове прерывания в стек сбрасывается информация из программного счетчика. Следует заметить, что при переполнении стека идет его перезапись с потерей наиболее старых данных.

Регистры общего назначения (General Purpose Registers) объединены в регистровый файл из 32 ячеек по 8 разрядов. 30-я и 31-я ячейки формируют так называемый Z-регистр (Z register), имеющий разрядность 16 бит и применяемый для непрямого доступа к Flash и к регистровому файлу (в этом случае 31-я ячейка игнорируется).

Логика программирования (Programming Logic) — блок, содержащий регистры управления программированием ПЗУ программ.

Модуль внутрисхемного программирования (In-System Programming) — блок, позволяющий отказаться от внешнего программатора и вести запись в ПЗУ без дополнительных устройств.

Регистр управления МК (MCU Control Register) — этот регистр определяет основные аспекты работы МК, в частности, режим его работы и политику в отношении внешних прерываний.

Регистр состояния МК (MCU Status Register) — этот регистр содержит информацию о причине последнего сброса МК.

2.3.4.16. Семейство Atmel MegaAVR

На рис. 2.3.16 приведена обобщенная структурная схема МК *семейства MegaAVR*.

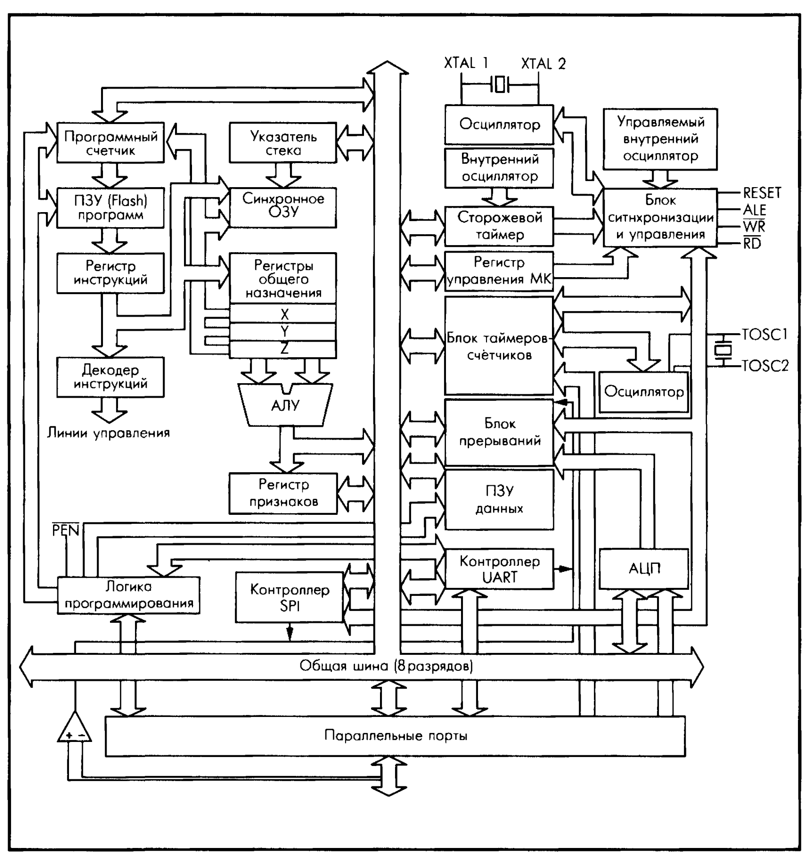


Рис. 2.3.16. Структурная схема МК семейства MegaAVR

Рассмотрим структуру МК этого семейства с позиций сравнения его с семейством TinyAVR.

Регистры общего назначения (General Purpose Registers). Как и в TinyAVR, РОН объединены в регистровый файл из 32 ячеек по 8 разрядов. Однако для непрямой адресации теперь применяются три специализированные регистра: X-, Y- и Z-регистр. При этом правила работы с ними практически идентичны правилам работы с Z-регистром в МК семейства TinyAVR.

Синхронное ОЗУ (Synchronous RAM). В отличие от TinyAVR, МК семейства MegaAVR снабжены синхронным динамическим ОЗУ для хранения оперативных данных. При этом стек располагается именно в синхронном ОЗУ, а размеры стека ограничены только размером ОЗУ и степенью его заполнения. Кроме того, регистры общего назначения и СОЗУ имеют общее адресное пространство, что существенно упрощает работу программиста.

Контроллеры SPI и UART (SPI, UART) используются для автоматизации обмена данными через интерфейсы SPI и UART соответственно.

2.3.5. Перечень основных фирм — производителей МК

Таблица 2.3.2

Производитель	Характеристика
Atmel (www.atmel.com)	Американская корпорация, лидирующая во многих областях полупроводниковой промышленности. В сегменте микроконтроллеров знаменита популярными сериями RISC-контроллеров AVR собственной разработки, а также изделиями, базирующимися на архитектуре PowerPC от компании Motorola
Intel (www.intel.com)	Разработчик микропроцессора, одно из ведущих мировых предприятий полупроводниковой промышленности, в том числе, и в сегменте микроконтроллеров
Microchip (www.microchip.ru)	Микроконтроллеры этой фирмы обладают чрезвычайно разнообразными возможностями и объединяют все передовые технологии микроконтроллеров: EEPROM, Flash, минимальное энергопотребление, высокую производительность, хорошо развитую гарвардскую RISC-архитектуру, функциональную законченность и минимальные размеры. Семейство PIC характеризуется одним из лучших показателей цена/производительность среди МК
Motorola (www.motorola.com)	Предлагает самую широкую в мире номенклатуру МК, охватывающую практически все области применения и включающую в себя около 300 моделей от простейших дешевых МК до высокопроизводительных 32-разрядных МК с RISC-ядром и мощной периферией. В настоящий момент производство ИМС, в том числе и МК, практически полностью передано дочерней корпорации Freescale Semiconductor
ZiLOG (www.zilog.com)	Производит дешёвые и несложные МК, предназначенные для управления. Все регистры ОЗУ этих МК равноправны (любой регистр можно назвать аккумулятором), поэтому команды передачи данных работают особенно эффективно, позволяя быстро обрабатывать массивы информации

Таблица 2.3.3

Наименование	Тактовая частота (МГц)	Производительность	Разрядность	Кол-во линий ввода/вывода	Размер встроенного ОЗУ	Размер встроенного ПЗУ
87C54-20	20	20 MIPS	8	32	256x8	16Kx8
87C251TQ	24	24 MIPS	16	32	512x8	16Kx8
87C196KD	16	16 MIPS	16	32	768x8	32Kx8
M68HC05 SC4x	8	8 MIPS	8	2	128x8	9Kx8
PIC10F200	4	1 MIPS	8	3	16x8	256x8
PIC16C925	20	20 MIPS	8	25	336x8	8Kx14
ATtiny28L	4	4 MIPS	8	11	32x8	2Kx8

2.3.6. Примеры МК

Наиболее распространенные микроконтроллеры приведены в табл. 2.3.3

2.3.7. Пример цоколевки МК

Рассмотрим цоколевку МК на примере 87C54. Эта микросхема поставляется в корпусах PDIP40 и PLCC44. Производитель, фирма Intel приводит в своей технической документации цоколевку этого МК, как показано на рис. 2.3.17.

Соответствие номеров контактов и назначений выводов для этой ИМС приведено в табл. 2.3.4.

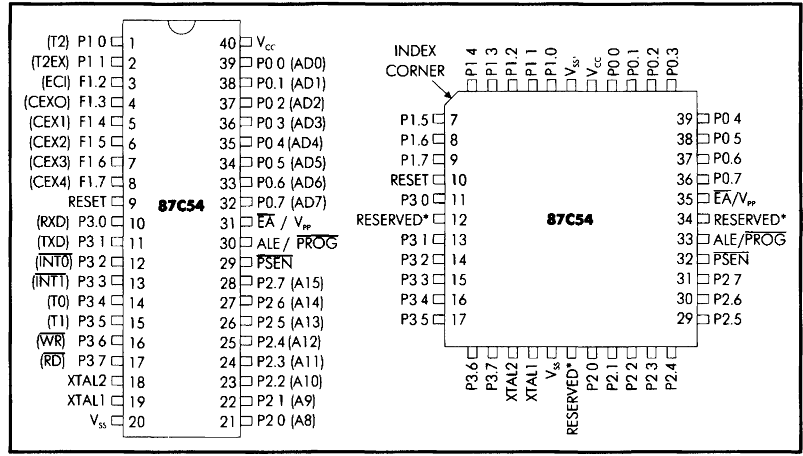


Рис. 2.3.17. Цоколевка 87C54. Корпусы PDIP40 (слева) и PLCC44 (справа)

Тип встроенного ПЗУ	Таймеры-счётчики	Напряжение питания (В)	Тип корпуса	Производитель
EPROM/ ROM	3x16 бит	4.0–6.0	PDIP40, PLCC44	Intel
ROM/ EPROM/ FLASH	3x16 бит	4.5–5 5	PDIP40, PLCC44	Intel
EPROM	1x16 бит	4.5–5.5	PLCC68	Intel
ROM+ EEPROM	н/д	4 5–5.5	PDIP16, SOIC20	Motorola
Flash	1x8 бит	2.0–5.5	PDIP8	Microchip
EPROM	2x8 бит, 1x16 бит	2.5–5.5	TQFP64, PLCC68	Microchip
Flash	1x8 бит	2.7–5.5	PDIP28, TQFP32	Atmel

2.3.8. Обозначения контактов МК применяемые производителями при составлении документации

В табл. 2.3.5 обозначения *«XX»* и *«ZZ»* говорят о том, что таких контактов много и они нумеруются. На месте *«XX»* и *«ZZ»* пишется номер контакта или его буквенное обозначение.

Таблица 2.3.4

Название	№ контакта (PDIP)	№ контакта (PLCC)	Тип контакта	Описание назначения
P0.[0:7]	39,38,37,36, 35,34,33,32	43,42,41,40, 39,38,37,36	ввод/вывод	Контакты параллельного двунаправленного порта № 0
P1.[0·7]	1,2,3,4, 5,6,7,8	2,3,4,5, 6,7,8,9	ввод/вывод	Контакты параллельного двунаправленного порта № 1
P2.[0:7]	21,22,23,24, 25,26,27,28	24,25,26,27, 28,29,30,31	ввод/вывод	Контакты параллельного двунаправленного порта № 2
P3.[0:7]	10,11,12,13, 14,15,16,17	11,13,14,15, 16,7,18,19	ввод/вывод	Контакты параллельного двунаправленного порта № 3
XTAL1	19	21	ввод	Контакты для подсоединения внешнего источника колебаний
XTAL2	18	20	вывод	Контакты для подсоединения внешнего источника колебаний
RESET	9	10	ввод	Сброс МК
$\overline{\text{PSEN}}$	29	32	вывод	Тактовый сигнал для внешней памяти при чтении оттуда данных
$\overline{\text{EA}}/V_{PP}$	31	35	ввод	Может использоваться либо как сигнал разрешения доступа МК к внешней памяти, либо для подачи программирующего напряжения
V_{CC}	40	44		Питание МК
V_{SS}	20	22		«Земля» МК
V_{SS1}	–	1		Дополнительный контакт «земля» Не заменяет основной

Таблица 2.3.5

Обозначение контакта	Функция
P *xxzz*, PT*xxzz*, R*xxzz*	Линия ввода/вывода № *z* порта № *x*
ADDR*xx*	Адресная шина
DATA*xx*	Шина данных
PW*xx*	Выходы контроллера ШИМ
IOC*xx*	Линии для захвата и сравнения сигналов
AN*xx*	Входы АЦП
IPIPE*xx*	Контакты для отслеживания состояния очереди выполнения внутренних команд
CEX*xx*	Контакты программируемого массива счётчиков
T*xx*	Контакты таймеров
T*xx*CLK, T*xx*CKI	Тактовые сигналы таймеров
T*xx*RST	Сигналы сброса таймеров
SEG*xx*	Сигналы управления сегментами ЖКИ
V_{CC}, V_{DD}	Питание
V_{CC2}	Дополнительное питание, предназначенное для снижения шумов
V_{DDA}	Питание для аналоговой части МК
V_{DDX}	Питание для внешних устройств
V_{CCIO}	Питание для блоков ввода/вывода;
AV_{CC}	Дополнительное питание для портов, используемых АЦП, в МК фирмы Atmel Когда этот контакт не использует АЦП, его следует подключать к контакту V_{CC}
C1, C2, V_{LCDxx}	Контакты питания ЖКИ
GND, V_{SS}	«Земля»
AGND, V_{SSA}	«Земля» для аналоговых компонент МК
V_{SS1}, V_{SS2}	Дополнительный контакт «земля», используемый в корпусах PLCC. Не является заменой контакта V_{SS}
V_{SSX}	«Земля» для внешних устройств;
RST, RESET, $\overline{MCRL}$	Сигнал сброса
$\overline{IRQ}$	Контакт для сигнала о поступлении внешнего прерывания. Поддерживает подключение нескольких устройств одновременно
$\overline{XIRQ}$	Немаскируемый контакт для сигнала о поступлении внешнего прерывания
$\overline{ALE}$	Сигнал «Address Latch Enable». Предназначен для фиксации младшего байта адреса при обращении МК к внешней памяти;
$\overline{PROG}$	Вход, используемый для программирования ПЗУ микроконтроллера
$\overline{PSEN}$	Сигнал «Program Store Enable». Тактирует доступ к внешней памяти для чтения
$\overline{PEN}$	Сигнал «Programming Enable». Позволяет при запуске МК ввести его в режим программирования
$\overline{OE}$	Сигнал «Output Enable». Указывает на направление передачи данных по шине
$\overline{EA}$	Сигнал «External Access». Разрешает доступ к внешней памяти
$\overline{DBE}$	Сигнал «Data Bus Enable». Управляет включением и выключением внешних шин данных
R/$\overline{W}$	Сигнал для определения направления передачи данных во время обмена информацией между DSP и внешним устройством
$\overline{RD}$	Сигнал, используемый для разрешения чтения из внешней синхронной памяти
$\overline{WR}$	Сигнал, используемый для разрешения записи во внешнюю синхронную память
V_{PP}	Контакт для подачи программирующего напряжения при записи в ПЗУ микроконтроллера;
XTAL, XTAL1, OSC1, CLKIN	Вход внешнего инвертирующего усилителя сигнала тактовой частоты

Таблица 2.3.5

Обозначение контакта	Функция
EXTAL, XTAL2, OSC2, CLKOUT	Выход внешнего инвертирующего усилителя сигнала тактовой частоты
XOUT	Сигнал для синхронизации внешних устройств с МК
ECLK	Тактовый сигнал для мультиплексирования входов МК. Частота этого сигнала равна половине тактовой частоты МК
ECI	Вход внешнего тактового сигнала для внутреннего таймера
WCLK	Сигнал «Wait Clock Output». Представляет собой меандр с частотой, равной половине тактовой частоты МК
TOSC1	Вход внешнего инвертирующего усилителя сигнала таймера-счётчика
TOSC2	Выход внешнего инвертирующего усилителя сигнала таймера-счётчика
SUSPND	Позволяет перевести МК в режим пониженного энергопотребления
MODE, SMODN, MODA, MODB	Позволяет выбирать режимы работы МК
D+	Контакты дифференциальной шины данных, соответствующей стандарту USB
D–	Контакты дифференциальной шины данных, соответствующей стандарту USB
Config	Контакт программной проверки соединения и отсоединения USB
V_{REG}	Контакт для регулировки напряжения внешнего питания (3.0–3.6 В) в режиме работы от источника питания 5 В
CGMXFC	Контакт подключения внешнего фильтрующего конденсатора для модуля задающего генератора в МК семейства НС
AREF, VREFH, V_{RH}, V_{RL}	Опорное напряжение для АЦП
BKGD	Контакт для обмена данными в режиме фоновой отладки
TxD0	Контакт для передачи данных через интерфейс SCI
RxD0	Контакт для приёма данных через интерфейс SCI
SDO/MOSI	Контакт «Master Out Slave In». В режиме ведущего является выходом последовательного регистра сдвига интерфейса SPI, в режиме ведомого — входом
SDI/MISO	Контакт «Master In Slave Out». В режиме ведущего является входом последовательного регистра сдвига интерфейса SPI, в режиме ведомого — выходом
SCK	Тактовый сигнал для интерфейса SPI
$\overline{CS/SS}$	Контакт выбора ведомого устройства в режиме ведущего
DCLTx	Контакт для передачи данных через интерфейс BDLC
DCLRx	Контакт для приёма данных через интерфейс BDLC
TxCAN	Контакт для передачи данных через интерфейс CAN
RxCAN	Контакт для приёма данных через интерфейс CAN
RXD	Контакт для приёма данных в последовательном режиме
TXD	Контакт для передачи данных в последовательном режиме
ICSPDAT	Контакт для обмена данными в режиме внутрисхемного программирования
ICSPCLK	Тактирующий сигнал в режиме внутрисхемного программирования
CIN+	Входы аналогового компаратора
CIN–	Входы аналогового компаратора
COUT	Выход аналогового компаратора
ULPWU	Ultra Low-Power Wake Up. Сигнал для вывода МК из режима пониженного энергопотребления
SUM	Выход логического сумматора
REFA, REFB	Выходы программируемых опорных генераторов
TP	Контакт для заводского тестирования
RFFU	Reserved For Future Use. Этот контакт не следует подключать к чему-либо
NC	No Connection». Этот контакт не следует подключать к чему-либо

2.4. ЦИФРОВЫЕ СИГНАЛЬНЫЕ ПРОЦЕССОРЫ (DSP)

2.4.1. Назначение и классификация DSP

Цифровые сигнальные процессоры (Digital Signal Processor — DSP) являются разновидностью микропроцессоров, рассчитанной на обработку в реальном времени цифровых потоков данных, образованных в результате оцифровывания аналоговых сигналов. Современные DSP способны проводить вычисления с «плавающей» точкой над операндами длиной до 40 разрядов.

Поскольку отличительной особенностью задач цифровой обработки сигналов является поточный характер обработки больших объемов данных в реальном режиме времени, то основными требованиями, предъявляемыми к DSP, являются высокая производительность и обеспечение возможности интенсивного обмена данными с внешними устройствами.

Соответствие этим требованиям в настоящее время достигается благодаря следующим особенностям:

- применению RISC-архитектуры;
- большой разрядности;
- аппаратной поддержке программных циклов и буферов;
- возможности множественного доступа к памяти;
- наличию кэш-памяти.

Также для сигнальных процессоров характерным является наличие аппаратного умножителя, позволяющего выполнять умножение двух чисел за один командный такт (в универсальных микропроцессорах умножение обычно реализуется как последовательность операций сдвига и сложения, что требует нескольких тактов). Основными производителями DSP являются фирмы: *Texas Instruments, Lucent Technologies* (более 50 % рынка), *Analog Devices, Motorola.*

Большинство терминов и характеристик, относящихся к DSP, унаследованы от МП и МК (разд. 2.2, 2.3), к специфическим параметрам DSP относятся следующие.

Количество процессорных ядер. Многие современные DSP поддерживают вычисления, идущие в несколько потоков. Это достигается путем реализации нескольких идентичных процессорных ядер на одном кристалле. Таким образом, можно существенно повысить производительность DSP, не повышая тактовой частоты, за счет распараллеливания процесса обработки сигналов (например, обработка разными ядрами отдельных каналов связи).

Пиковая производительность (Peak Perfomance). Как уже упоминалось в разделе 2.2, так называется *теоретический максимум быстродействия процессора в идеальных условиях.* Однако производительность DSP может

измеряться не только в MIPS или MFLOPS, но и в так называемых MMACS — миллионах арифметических операций в секунду.

2.4.2. Классификация DSP

DSP являются разновидностью микропроцессоров, поэтому для них существует два типа архитектуры — *неймановская* и *гарвардская*. Эти архитектуры подробно описаны в разд. 2.2. Отметим, что первые DSP строились с неймановской архитектурой, однако со временем они были практически полностью вытеснены DSP на основе гарвардской архитектуры и ее модификаций. Главное преимущество гарвардской архитектуры по сравнению с неймановской состоит в повышении производительности за счет возможности пересылать команды и данные одновременно из физически разделенных памяти программ и памяти данных по собственным линиям связи с АЛУ. Для случаев работы с инструкциями с двумя операндами архитектура дополняется кэш-памятью, в которой хранятся те инструкции, которые будут использоваться вновь *(расширенная гарвардская архитектура Super Harvard Architecture — SHARC)*. В процессорах часто используется передача внешних данных по общей шине данных и шине адреса с дальнейшим разделением данных внутри кристалла на шину данных, шину команд и две шины адреса, что позволяет избежать увеличения числа выводов без особого ущерба для производительности.

В разд. 2.3 мы уже сталкивались с трудностями классификации рассматриваемых ИМС. Однако если в случае с МК классификация была затруднена многообразием решаемых задач и внутренних структур ИМС, то с DSP возникает обратная проблема. По существу, DSP — это подкласс подкласса (МК, ориентированный на цифровую обработку сигналов), вследствие чего такие ИМС становится довольно трудно различать между собой. Почти все DSP имеют гарвардскую RISC-архитектуру, их периферия ориентирована на одни и те же задачи, а поэтому разделить DSP на несколько классов с характерными особенностями представляется затруднительным. Классификация же по одним количественным признакам недостаточна и дает неполное представление о структуре и работе DSP. Поэтому используем тот же подход, что и в разд. 2.3: классифицируем DSP по производителю и семейству, дав краткую характеристику каждому из них.

2.4.2.1. Texas Instruments C2000

Сигнальные процессоры этого семейства отражают попытку фирмы *Texas Instruments* совместить в одной микросхеме производительность DSP с удобством программирования МК. Разработанный производителем компилятор позволяет писать программы на языке высокого уровня *C*, которые могут быть скомпилированы в программу для DSP серии C2000 с коэффициентом

избыточности ≈1.1 (т.е. длина кода, создаваемого компилятором, превышает длину оптимизированного программистом кода примерно на 10 %), что считается очень хорошим результатом для действий такого рода.

DSP серии C2000, построенные по гарвардской RISC-архитектуре, являются целочисленными и ориентированы на применение в качестве контроллеров для аппаратуры и промышленных агрегатов, требующих высокоточного цифрового управления, значительной вычислительной мощности и быстрого принятия решений. Размер ПЗУ DSP этой серии варьируется от 16 до 256 Кб. Серия C2000 разделяется на два семейства:

- *TMS320C24x.* DSP этой серии являются 16-разрядными ИМС и способны обеспечивать производительность до 40 MIPS. Основной областью применения C24x являются недорогие АСУ (автоматизированные системы управления). В состав периферийных устройств всех DSP семейства C24x входят ППЗУ или ЭСППЗУ, выполненное по технологии *Flash* (от 12 до 64 Кб), контроллер событий, 10-разрядный АЦП (от 5 до 16 каналов), контроллер SCI, сторожевой таймер и набор 16-разрядных таймеров общего назначения. В зависимости от модели, в периферийные устройства могут быть также включены контроллеры SCI и SPI.
- *TMS320C28x.* Эти DSP являются целочисленными 32-разрядными микросхемами с производительностью в 100 и 150 MIPS (в зависимости от модели). Они предназначены в первую очередь для точного управления промышленной аппаратурой и источниками питания. В состав периферии этих DSP входят ОЗУ (от 12 до 40 Кб), ППЗУ или Flash (от 32 до 256 Кб), контроллер ШИМ (8 или 16 каналов), АЦП (16 каналов, 12 разрядов), сторожевой таймер, набор 32-разрядных таймеров общего назначения, а также набор контроллеров SCI, SPI, CAN, CAP и QEP. В зависимости от модели они могут включать интерфейс внешней памяти и контроллер McBSP. Архитектура C28x позволяет умножать два 32-разрядных или два 16-разрядных целых числа за один машинный цикл и производить цикл «Чтение-Изменение-Запись» при работе с памятью (также за один машинный цикл). Отдельно следует отметить поддержку библиотеки IQ-math, позволяющую эмулировать операции над числами с плавающей точкой. DSP C28x полностью совместимы по коду с C24x.

2.4.2.2. Texas Instruments C5000

Это семейство DSP ориентировано на цифровые коммуникации и мобильные устройства на батарейном питании, вследствие чего основными его чертами являются высокая производительность (до 600 MIPS) и оптимизация под низкое энергопотребление.

Сигнальные процессоры C5000 построены по гарвардской архитектуре и предназначены для обработки дробных чисел с фиксированной точкой. Следует отметить, что в этом семействе присутствуют DSP, обладающие не-

сколькими процессорными ядрами, причем некоторые из этих ядер принадлежат к серии ARM. Семейство C5000 подразделяется на две группы:

- *TMS320C54x.* Это одно из самых популярных в мире семейств DSP; производительность ИМС, входящих в него, лежит в диапазоне от 30 до 532 MIPS. Архитектура и специализированный набор инструкций (включающий такие типовые задачи ЦОС, как реализация цифрового фильтра типа КИХ) этого семейства обеспечивает малый объем кода для типовых задач ЦСП, что позволяет очень эффективно использовать встроенное ОЗУ. В ядро C54x входят умножитель 17x17, 40-разрядный сумматор и два 40-разрядных аккумулятора. Отдельно следует отметить наличие аппаратного ускорителя Витерби, позволяющего ускорить операцию декодирования при работе с GSM. Объем ОЗУ этих DSP меняется в диапазоне от 16 до 1280 Кб, ПЗУ — от 16 до 256 Кб. Периферийные устройства C54x могут включать контроллеры USB, SCI, I^2C, McBSP, поддержку карт памяти MMC/SD, контроллер ПДП и 8-/16-разрядный интерфейс EHPI.
- *TMS320C55x.* Это семейство является дальнейшим развитием семейства C54x и, соответственно, включает значительно меньшее количество ИМС, производительность которых доходит до 600 MIPS. Архитектура DSP этого семейства оптимизирована для снижения энергопотребления: в ней реализовано автоматическое отключение периферийных модулей, массивов памяти и отдельных узлов процессора, когда эти устройства не используются. Еще одной характерной чертой C55x является поддержка инструкций переменной длины (от 8 до 48 бит), что позволяет выполнять несколько операций за один такт, понизить энергопотребление DSP и стоимость всей системы. Ядро C55x ориентировано на увеличение параллелизма вычислений и вследствие этого обладает двумя АЛУ, двумя сдвоенными перемножителями 17x17, четырьмя вспомогательными регистрами данных и четырьмя 40-разрядными регистрами-аккумуляторами. Существует возможность автоматического и управляемого пользователем распараллеливания вычислений посредством дополнительных шин данных и адресов, а также конвейера инструкций.

2.4.2.3. Texas Instruments C6000

Семейство C6000 является самым быстродействующим и дорогим среди DSP, предлагаемых *Texas Instruments.* Основной областью применения этих DSP является цифровая обработка мультимедийной информации, однако они применяются также и в задачах управления и беспроводной связи. Тактовые частоты некоторых моделей этого семейства доходят до 1 ГГц, а пиковая производительность — до 8000 MMACS.

Сигнальные процессоры этого семейства построены по модифицированной гарвардской архитектуре и поддерживают инструкции VLIW *(Very*

Long Instruction Word — сверхдлинные инструкции), что позволяет им выполнять до восьми 32-разрядных операций за один такт. Существует три семейства C6000:

- ***TMS320C62x.*** Это семейство является самым дешевым в серии C6000 В него входят DSP с 32-разрядным процессорным ядром и пиковой производительностью до 800 MMACS. Основные области применения: медицинская и промышленная аппаратура, цифровая обработка изображений и распознавание голоса. C62x способны выполнять две инструкции за один такт и работать с дробными числами с фиксированной точкой. В состав DSP этого семейства входят ОЗУ с объемом памяти от 72 до 1024 Кб, интерфейс внешней памяти, контроллер ПДП (4 или 16 каналов), два 32-разрядных таймера и набор (2 или 3) контроллеров McBSP. В зависимости от модели ИМС в качестве периферийных устройств также могут присутствовать контроллеры PCI или HPI.
- ***TMS320C64x.*** Одно из самых больших и развитых семейств DSP от *Texas Instruments*. Как и C62x, это семейство является 32-разрядным и обрабатывает дробные числа с фиксированной точкой. Основные области применения: цифровое видео, мобильные системы, системы безопасности и цифровая обработка сигналов. Тактовые частоты этих DSP — от 300 до 1000 МГц, производительность — от 3200 до 8000 MMACS. ОЗУ этих DSP, как правило, реализованы в виде кэш-памяти первого-второго уровня, а его объем составляет от 544 до 2080 Кб. C64x оборудованы одним или двумя интерфейсами внешней памяти, контроллером ПДП, HPI, McBSP и набором таймеров (обычно 32-разрядных, однако бывают и 64-разрядные). Иногда в качестве периферии используется контроллер Ethernet, McASP, I^2C или UTOPIA.
- ***TMS320C67x.*** 32-разрядное семейство C67x является самым производительным из серии C6000 и обрабатывает дробные числа с плавающей точкой. Основные области применения: профессиональная аудиоаппаратура, медицинское и промышленное оборудование, распознавание голоса. C67x работают на тактовых частотах от 300 до 1000 МГц и выполняют от двух до восьми инструкций за такт (зависит от модели ИМС). Эти DSP оснащены ОЗУ с объемом памяти от 8 до 288 Кбайт, ПЗУ или Flash емкостью от 64 до 384 Кбайт, таймерами, а также контроллерами внешней памяти и ПДП. Дополнительно в состав периферии могут входить контроллеры HPI, McBSP, McASP, I^2C и SPI.

2.4.2.4. Analog Devices ADSP-21xx

Семейство ADSP-21xx представляет собой набор совместимых по коду и контактам 16-разрядных целочисленных DSP. Эти сигнальные процессоры позиционируются производителем как недорогая (и относительно несложная) основа для систем обработки голоса и модемов, а также систем управ-

ления, работающих в режиме реального времени. Тактовая частота DSP семейства ADSP-21xx доходит до 160 МГц, при этом энергопотребление остается на относительно невысоком уровне (до 200 мкА). Объем ОЗУ составляет от 8 до 104 Кб.

Основные отличительные черты сигнальных процессоров ADSP-21xx:

- использование независимых вычислительных блоков АЛУ, умножителя и регистра сдвига;
- наличие двухступенчатого конвейера;
- применение двух адресных генераторов, позволяющих выполнять команды с двумя операндами за один цикл;
- использование модифицированной гарвардской архитектуры. Помимо шин адреса и данных (для памяти программ и памяти данных) подсемейство ADSP-2100 обладает шиной результата операции, а подсемейство ADSP-219x — шинами адреса и данных для работы с ПДП, а также кэш-памятью.

Что касается периферийных устройств, то все ИМС, входящие на сегодняшний день в семейство ADSP-21xx, имеют последовательные порты (от 1 до 3), интерфейс внешней памяти (16- или 24-разрядный) и таймеры-счетчики (1 или 3). В зависимости от модели в состав периферийных устройств также могут входить интерфейсы SPI/UART, АЦП (14-разрядный) и контроллер прерываний.

2.4.2.5. Analog Devices Blackfin

Строго говоря, сигнальные процессоры этого семейства следует называть скорее гибридными процессорами, совмещающими преимущества DSP с удобством программирования МК. Процессоры Blackfin могут работать в 16- и 32-разрядном режимах, обладают 10-ступенчатым конвейером и могут обрабатывать инструкции переменной длины. Эти процессоры предназначены для высокоскоростной обработки изображений, аудио- и видеоданных, для систем управления и безопасности, а также иных приложений, требующих обработки больших объемов данных в режиме реального времени. Для снижения энергопотребления предусмотрена возможность программного управления тактовой частотой и напряжением питания процессора.

Вычислительная мощность процессоров Blackfin доходит до 1500 MMACS, а тактовая частота — до 750 МГц. В них используется гарвардская архитектура, а набор инструкций характеризуется производителем, как «RISC-подобный». Основная причина такого наименования заключается в том, что процессоры Blackfin, как уже упоминалось, могут работать в 16- и 32-разрядном режимах соответственно, набор команд также включает как 16-, так и 32-разрядные инструкции. Еще одна причина — в том, что набор команд

Blackfin содержит специализированные инструкции, предназначенные для ускорения обработки видеоизображений.

Ядро Blackfin содержит два независимых 40-разрядных АЛУ, четыре 8-разрядных АЛУ для операций с видеоданными, два умножителя 16x16 и независимый сдвиговый регистр, т.е. имеет SIMD-архитектуру, позволяющую распараллеливать выполнение одной инструкции, требующей нескольких вычислительных действий, на несколько (в данном случае — два) вычислительных устройств.

ОЗУ сигнальных процессоров этого семейства имеет иерархическую двухуровневую структуру. Внутри обоих уровней память также разделяется на обычное статическое ОЗУ и кэш-память, а также на память инструкций и память данных. Для ускорения работы с памятью процессоры Blackfin содержат контроллер ПДП. Периферия этих процессоров может сильно различаться в зависимости от модели и может включать параллельные и последовательные порты, контроллеры Ethernet, JTAG, ШИМ, CAN, SPI, I^2C, UART, PCI и USB, а также контроллер прерываний, сторожевой таймер и таймеры-счетчики.

2.4.2.6. Analog Devices SHARC

Сигнальные процессоры SHARC являются одними из самых популярных DSP, способных обрабатывать числа с плавающей точкой. Название этого семейства расшифровывается как *Super Harvard ARChitecture*, т.е. «Расширенная гарвардская архитектура». В состав процессорного ядра SHARC входит специальный процессор ввода/вывода, обладающий собственными выделенными шинами данных и адресов. Еще одной характерной особенностью процессоров SHARC является наличие встроенных больших массивов ОЗУ (от 0,5 до 3 Мб) и ПЗУ (до 4 Мб).

DSP этого семейства являются 32-разрядными, однако способны обрабатывать числа с плавающей точкой длиной до 40 разрядов. При этом они также могут работать с целыми числами длиной до 32 разрядов. Некоторые процессоры SHARC обладают архитектурой SIMD, их тактовые частоты могут доходить до 400 МГц, а пиковая производительность — до 2.4 GFLOPS (800 MMACS). Отдельно следует отметить существование подсемейства SHARC *Audio Processors*, предназначенного для обработки аудиоданных. Основное их отличие заключается в наборе периферии, ориентированном на работу со звуком, в том числе и аудиодекодеры, не входящие в состав других процессоров семейства SHARC.

Ядро SHARC способно выполнять за один цикл перемножение 32-разрядных чисел с плавающей точкой, а длина регистра-аккумулятора в этих DSP составляет 80 разрядов. Все вычисления производятся в один цикл, конвейеризация математических действий отсутствует. На аппаратном уровне поддерживается также «закольцовка» адресного пространства, когда обращение к адресу *K*, выходящему за пределы ОЗУ размера *N*, вызывает обращение к ячейке по адресу *(K–N)*. Набор инструкций SHARC расширен за счет добавления инструкций, ориентированных на выполнение сложных математических операций.

Периферия процессор SHARC может включать паралелльные и последовательные порты, контроллеры SPI, UART, ШИМ, I²C, DAI (Digital Audio Interface — цифровой аудиоинтерфейс), АЦП, петли ФАПЧ, таймеры-счетчики и сторожевые таймеры, контроллер событий и контроллер ПДП.

2.4.2.7. Analog Devices TigerSHARC

Сигнальные процессоры TigerSHARC являются одними из самых высокопроизводительных и дорогих DSP. Их основной областью применения являются приложения, критичные к вычислительным ресурсам, и приложения, требующие параллельных вычислений, — в основном, это сложная цифровая обработка сигналов.

Архитектура TigerSHARC является суперскалярной, т.е. способна выполнять несколько процессов одновременно. Система команд основана на RISC-наборе команд и поддерживает инструкции VLIW. Процессор TigerSHARC способен за один такт выполнять от одной до четырех 32-разрядных инструкций, содержащихся в 8-позиционном конвейере, при условии соблюдения программистом всех правил параллелизма вычислений. В общем случае, эти условия сводятся к отсутствию конфликтов адресов и данных, на которые ссылаются обрабатываемые инструкции. Также процессор поддерживает режим SIMD.

Размеры ОЗУ этих DSP находятся в диапазоне от 4 до 24 Мбит, используется динамическая память. ОЗУ разделяется на блоки, причем программист может сам установить, для чего (данных, программы или и того и другого) может использоваться тот или иной блок. Блоки памяти подключены к четырем внутренним 128-разрядным шинам, что позволяет производить до 4 операций обмена данными за один цикл. Процессоры содержат по два независимых вычислительных блока (Computational Blocks), состоящих из четырех вычислительных устройств, АЛУ, умножителя, 64-разрядного регистра сдвига и 32-разрядного регистрового файла.

Периферия TigerSHARC включает в себя контроллер ПДП, набор портов (уровень сигнала LVDS), 64-разрядный внешний порт, блок таймеров-счетчиков и сторожевой таймер. Дополнительно в состав периферийных устройств могут быть включены контроллеры SPI, UART, ШИМ, I²C и DAI, АЦП, петли ФАПЧ и контроллер событий.

2.4.2.8. Lucent Technologies DSP16000

Семейство сигнальных процессоров DSP16000 было представлено фирмой *Lucent Technologies* в 1997 году. Основная область применения этих DSP — системы беспроводной связи. Для повышения производительности в DSP16000 используется распараллеливание вычислений по системе SIMD. Ядро DSP16000 содержит два блока MAC (*Multiply and Accumulate — сложение и умножение*), что позволяет быстрее выполнять сложные операции. Архитектура этих сигнальных процессоров — модифицированная гарвард-

ская, по своему строению она очень напоминает архитектуру ADSP-21xxx, в частности наличием двух адресных генераторов и независимыми блоками арифметических операций.

Несмотря на то, что DSP16000 является 32-разрядным процессором, он способен также работать в 16-разрядном режиме (как в отношении инструкций, так и в отношении данных). АЛУ этих ЦСП поддерживает числа до 40 разрядом, однако разрядность перемножителя ограничивается 16x16 (с учетом знакового разряда). Процессор рассчитан на обработку дробных чисел с фиксированной точкой и имеет конвейерную структуру. Система команд и архитектура ЦСП оптимизированы под ЦОС, в частности под процедуру мягкого декодирования по Витерби.

В процессорах, построенных на основе ядра DSP16000, используется двухпортовые ОЗУ и ПЗУ. Кэш-память первого уровня, интегрированная в ядро, имеет объем в 31 инструкцию; поддерживаются аппаратные циклы. Все процессоры семейства DSP16000 оснащены интерфейсом внешней памяти, поддерживается тестирование через интерфейс JTAG. Состав периферийных устройств сильно рознится в зависимости от модели и может включать контроллеры ШИМ, SPI, I²C, таймеры-счетчики и сторожевые таймеры.

2.4.2.9. Freescale Semiconductor DSP56000/DSP563xx

Эти семейства предполагается применять, как DSP общего назначения с акцентом на мультимедийные и телекоммуникационные приложения. Семейство DSP56000 на текущий момент является устаревшим, однако его наследник, семейство DSP563xx, сохраняет совместимость по коду со своим предшественником. Сигнальные процессоры этого семейства работают с 16- и 24-разрядными целыми числами, строятся по принципу «один цикл — одна инструкция», работают на тактовых частотах до 100 МГц, обеспечивая при этом производительность до 100 MIPS соответственно.

DSP563xx комплектуются ОЗУ емкостью от 0.5 до 112 тысяч 24-битных слов и (опционально) ПЗУ емкостью от 8 до 64 тысяч слов. Архитектура этих процессоров — гарвардская, основными отличиями от DSP56000 являются 24-разрядная адресация, регистр сдвига, наличие кэш-памяти инструкций и контроллер ПДП. ЦСП этого семейства также оптимизированы для низкого энергопотребления.

Помимо петли ФАПЧ, контроллеров ПДП и JTAG/OnCE, присутствующих в любом ЦСП семейства DSP563xx, периферийные устройства (в зависимости от модели) могут включать контроллеры ШИМ, PCI, ESSI, SCI, SPI, I²C, CAN, а также модуль таймеров, в том числе и сторожевой таймер.

2.4.2.10. Freescale Semiconductor DSP56xxx

Это семейство DSP появилось относительно недавно и является достаточно малочисленным (на момент написания — 2 сигнальных процессора).

Основными областями применения предполагаются АСУ (в т.ч. моторы, промышленное оборудование, а также источники питания). Пока что процессоры этого семейства работают на тактовых частотах до 32 МГц, обеспечивая, соответственно, производительность до 32 MIPS.

Архитектура DSP56800E — сдвоенная гарвардская (*dual Harvard*), обрабатываемые данные — 16-разрядные целые числа. Поддерживаются аппаратные циклы, умножение осуществляется за один цикл, регистры-аккумуляторы имеют длину в 36 разрядов (для корректной обработки умножения). Архитектура поддерживает до трех одновременных общений к памяти данных и программ, в качестве ПЗУ используется Flash, однако есть возможность эмуляции EEPROM.

В качестве периферии производителем предлагаются контроллеры ШИМ, SCI и SPI, АЦП, модуль таймеров, петля ФАПЧ, а также отдельный сторожевой таймер. Поддерживается проверка ИМС с помощью интерфейсов JTAG/OnCE.

*2.4.2.11. Star*Core*

Разработчиком архитектуры Star*Core является компания *StarCore, LLC*, созданная такими производителями ИМС, как *Freescale Semiconductor, Infineon* и *Agere Systems*. Эта архитектура является лицензируемой и ориентирована на создание DSP, предназначенных для применения в системах связи и потребительских приложениях. Она поддерживает инструкции переменной длины. Архитектура Star*Core непрерывно совершенствуется.

Это семейство обладает двумя 32-разрядными адресными шинами и двумя 64-разрядными шинами данных. При этом память программ и память данных объединены. Процессор также обладает 128-разрядной шиной программ, позволяющей передавать ядру до восьми 16-разрядных операций за такт. Ядро содержит до трех генераторов адресов и до четырех АЛУ (в зависимости от типа). Каждая операция чтения/записи позволяет за один цикл получить доступ к участку памяти размером до 64 бит. Тактовые частоты DSP на основе архитектуры Star*Core доходят до 620 МГц, соответственно, пиковая производительность может достигать 2480 MIPS.

Архитектура Star*Core, как и многие другие продукты *Freescale*, использует модульный принцип организации, а, следовательно, набор периферийных устройств ограничен лишь требованиями заказчика и наличием разработанных модулей.

2.4.3. Основные принципы построения и структурная схема

Учитывая тот факт, что подавляющее большинство современных DSP построено на основе гарвардской архитектуры, рассмотрим обобщенную структурную схему такого процессора (рис. 2.4.1).

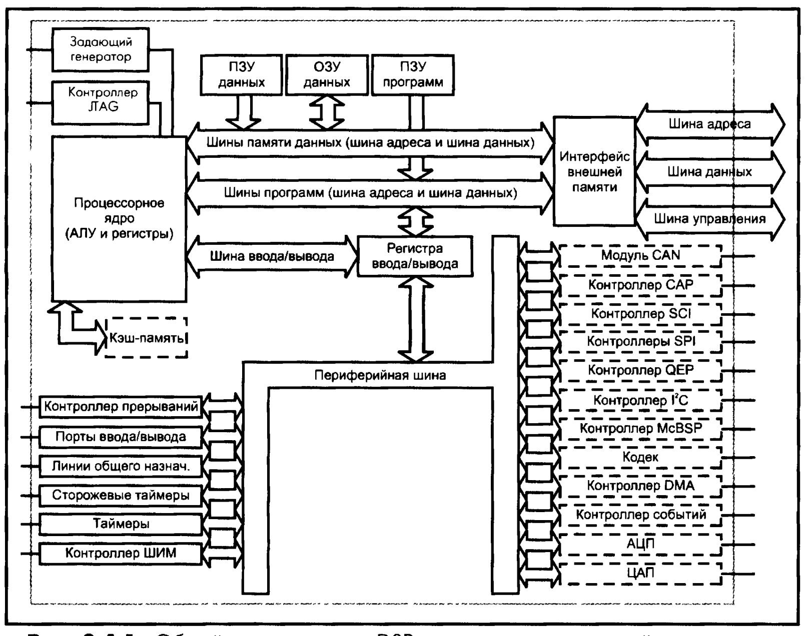


Рис. 2.4.1. Общий вид структуры DSP на основе гарвардской архитектуры

Процессорное ядро (Processor Core) — «сердце» DSP. Оно реализует основные функции, выполняемые процессором, а его структура одинакова во всех DSP в пределах одного семейства. Обычно процессорное ядро содержит АЛУ, блок регистров общего назначения, специализированные регистры и управляющее устройство. При этом следует обратить внимание, что кэш-память, если таковая имеется (в случае применения модифицированной гарвардской архитектуры), отделена от процессорного ядра.

Периферийная шина (Peripheral Bus) — шина,предназначенная для обмена данными с разнообразными устройствами ввода/вывода, реализованными на кристалле DSP.

Интерфейс внешней памяти (External Memory Interface — EMI, EMIF). Этот блок дает DSP возможность доступа к памяти, расположенной вне кристалла.

Регистры ввода/вывода (I/O Registers) исполняют роль связи между процессорным ядром и периферийной шиной, а также между контроллером DMA и шиной программ.

Задающий генератор (Clock Generator) предназначен для формирования сигнала тактовой частоты, используемого процессорным ядром.

Контроллер JTAG/OnCE (JTAG Test&Emulation) — широко применяемый в последнее время компонент, предназначенный для проверки работы микросхемы, а также для интерактивной отладки программы в режиме реального времени с помощью внутрисхемного эмулятора.

Назначение шины данных, шины адреса и шины управления было обсуждено в разд. 2.2.4.

Рассмотрим устройства ввода/вывода, подключаемые к периферийной шине. Следует обратить внимание, что граница некоторых блоков нарисована пунктиром (рис. 2.4.1). Это означает, что такие устройства могут быть интегрированы в DSP, однако ни одно из них не является обязательным.

Начнем рассмотрение устройств ввода/вывода, присутствующих в любом современном DSP.

Контроллер ШИМ (PWM Generation Unit). Как следует из названия, предназначен для генерации сигналов с широтно-импульсной модуляцией. Такие сигналы могут применяться для управления разнообразной внешней аппаратурой.

Таймеры (Timers) — устройства, используемые для измерения заданных промежутков времени с помощью подсчета тактовых импульсов.

Сторожевые таймеры (Watchdog Timers — WDT) — устройства, предназначенные для сброса системы в случае ее зависания.

Порты ввода/вывода (I/O Ports) — предназначены для обмена данными с другими устройствами.

Контроллер прерываний (Interrupt Controller) — предназначен для обработки прерываний DSP, способен присваивать прерываниям разные уровни приоритетов, в зависимости от чего меняется очередность их выполнения.

Линии общего назначения (General Purpose Input/Output — GPIO) — это линии ввода/вывода, не имеющие специализированных функций. Могут использоваться программистом DSP в своих целях.

Перейдем к устройствам ввода/вывода, размещение которых на кристалле не обязательно, однако встречающимся довольно часто.

АЦП (ADC) — устройство, преобразующее аналоговый сигнал в цифровой. Качество работы АЦП определяется его быстродействием и разрядностью. Подробная информация об АЦП представлена в разд. 1.1.

ЦАП (DAC) — устройство, преобразующее цифровой сигнал в аналоговый. Как и в случае с АЦП, качество работы ЦАП определяется его быстродействием и разрядностью. Подробная информация о ЦАП представлена в разд. 1.2.

Модуль CAN (Controller Area Network) — это устройство предназначено для обмена данными по шине CAN. Полевая шина CAN характеризуется высокой скоростью передачи данных и помехоустойчивостью. Помехоустойчивость достигается благодаря подавлению синфазных помех дифференциальным приемопередатчиком, работе встроенных механизмов обнаружения ошибок, повтору ошибочных сообщений и отключению неисправных узлов от обмена по шине. Скорость передачи данных через шину CAN может достигать 1 Мбит/с. Все устройства, подключенные к шине,

одновременно получают информацию, и каждое из них решает, принять данное сообщение или проигнорировать его.

Контроллер CAP (Carrierless Amplitude and Phase) используется для формирования сигналов с амплитудно-фазовой модуляцией с подавлением несущей. В настоящее время этот алгоритм является одним из методов модуляции, наиболее широко используемых на DSL-линиях. Он представляет собой разновидность КАМ, однако перед отправкой модулированного сигнала в линию из спектра исключается составляющая, которая соответствует несущей частоте.

Контроллер SCI (Scalable Coherent Interface). Это устройство позволяет обмениваться данными через интерфейс SCI, используемый для передачи информации в соединениях типа «точка-точка». Основная область применения этой технологии — соединение нескольких процессоров для построения масштабируемых мультипроцессорных систем. Современные DSP позволяют добиться передачи данных через SCI со скоростью до 5.33 Гбит/с.

Контроллер SPI (Serial Peripheral Interface). Этот контроллер предназначен для обмена данными через скоростной синхронный трехпроводной интерфейс SPI. Он позволяет вести обмен данными на скорости до половинной частоты системных синхроимпульсов в режиме ведущего и 1/8 — в режиме ведомого. Ведомых при этом может быть несколько.

Контроллер QEP (Quadrature Encoder Pulse) — это устройство, которое используется для обработки данных с квадратурного датчика скорости и положения. Как правило, DSP, оборудованные этим модулем, используются в системах управления транспортными средствами, требующих высокой производительности и точности.

Контроллер I^2C (Inter-Integrated Circuit). Это устройство предназначено для обмена данными через интерфейс I^2C (также известный как «двухпроводная шина»). I^2C хорошо подходит для обмена небольшими объемами данных и позволяет легко подключать несколько устройств (в т.ч. и *Plug-n-Play*). Шина ориентирована на 8-разрядные пакеты, а скорость передачи данных по ней может достигать 3.4 Мбит/с.

Контроллер McBSP (Multichannel Buffered Serial Port) позволяет вести обмен данными через полнодуплексный высокоскоростной последовательный интерфейс McBSP, с помощью которого можно осуществить одновременный прием и передачу цифровых данных. Каждый порт McBSP позволяет обслуживать до 128 абонентов, используя временное разделение каналов, причем передача и прием могут вестись одновременно. Скорость передачи данных через McBSP может составлять до 50 Мбит/с.

Кодек (Codec) — устройство, предназначенное для цифрового кодирования и декодирования. Применяется в целях увеличения эффективности использования пропускной способности канала данных, более подробно рассмотрен в разд. 2.7.

Контроллер DMA (Direct Memory Access) предназначен для реализации прямого доступа к памяти. Использование этого контроллера позволяет

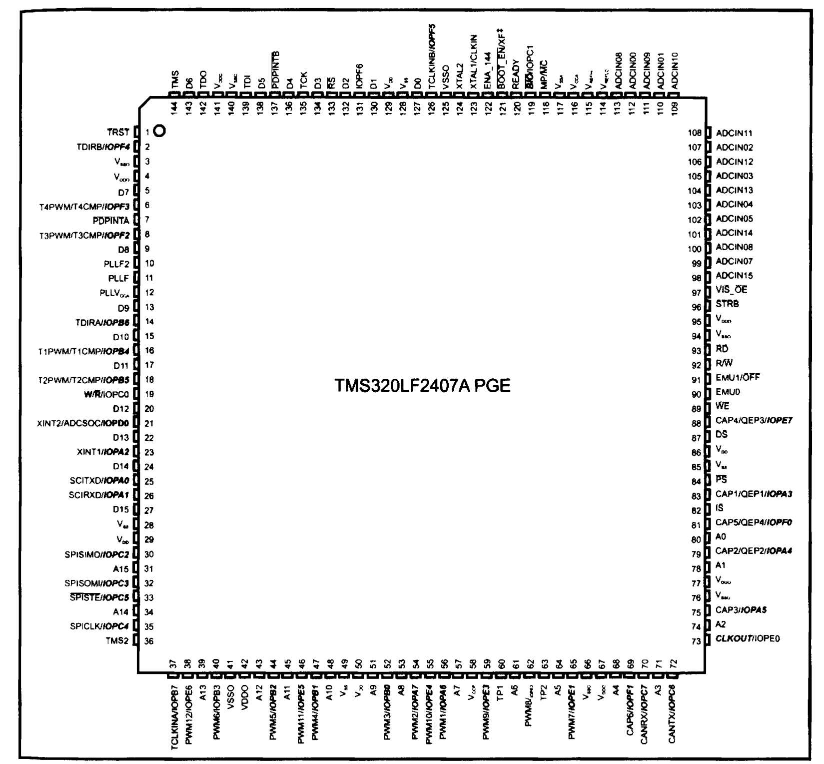


Рис. 2.4.2. Цоколевка TMS320LF2407A

осуществлять обмен данными между памятью и внешними устройствами без участия процессорного ядра, таким образом высвобождая его время для других задач.

Контроллер событий (Event Processor) — устройство, задача которого состоит в выполнении действий, определенных программистом, в заданной ситуации. Ассортимент возможных действий контроллера событий рознится в зависимости от модели DSP, но обычно включает, как минимум, формирование сигналов с ШИМ, работу с таймерами и возможность применения нескольких компараторов.

2.4.4. Перечень основных фирм — производителей DSP

Таблица 2.4.1 содержит перечень основных компаний, выпускающих DSP.

2.4.5. Примеры DSP

В табл. 2.4.2 представленны наиболее распространенные DSP.

2.4.6. Обозначения контактов DSP в документации

Рассмотрим цоколевку DSP на примере TMS320LF2407A. Эта микросхема поставляется в корпусе LQFP144. Производитель — фирма *Texas Instruments* — приводит в своей технической документации цоколевку этого DSP, как показано на рис. 2.4.2.

Соответствие номеров контактов и назначений выводов для этих ИМС приведено в табл. 2.4.3.

Таблица 2.4.2

Наименование	Разрядность	Количество процессорных ядер	Пиковая производительность	Тактовая частота (МГц)	Архитектура	ОЗУ (бит)	ПЗУ (бит)
TMS320LF2407A	16	1	40 MIPS	40	Гарвард	2.5K×16	Flash 32K×16
TMS320C2810	32	1	150 MIPS	150	Гарвард	8K×16	OTP 1K×16 Flash 128K×16
TMS320C6203B	32	1	2400(8×300) MIPS	300	Гарвард	224K×32	внеш.
TMS320C6455	16	1	8000(8×1000) MIPS	8000	Гарвард	2112K×8	32K×8
ADSP-2185L	16	1	52 MIPS	52	Гарвард	32K×24	внеш.
DSP56301	24	1	100 MIPS	100	Гарвард	8K×24	3K×24
MC56F8335	16	1	60 MIPS	60	Мод. Гарвард	12K×8	Flash 80K×8
MSC8122	16	4	8000(16×500) MMACS	500	Гарвард	1372K×8(224K/ядро+ 476K общ.)	Flash 4K×8

Таблица 2.4.1

Производитель	Характеристика
Texas Instruments (*www.ti.com*)	Первая корпорация, начавшая серийный выпуск DSP. В настоящее время ей принадлежит около 50% этого рынка. Компания ставит задачу производства максимально широкого ассортимента DSP, способного перекрыть все их возможные применения
Lucent Technologies (*www.lucent.com*)	Второй по величине производитель DSP (около 25% рынка) Ориентируется на крупных производителей конечного оборудования и предлагает свою продукцию через дистрибьюторскую сеть, не прибегая к широкой рекламной компании. Специализируется на DSP для телекоммуникационного оборудования, в частности для станций сотовой связи
Freescale Semiconductor, Inc. (*www.freescale.com*)	Дочерняя компания корпорации Motorola. Производитель примерно 10% DSP в мире. Также распространяет свою продукцию, широко используя собственную разветвленную дистрибьюторскую сеть. В архитектуре DSP эта компания первой пошла по пути создания на одном кристалле одновременно сигнального процессора и классического микроконтроллера, которые работают как одна система, что значительно облегчает жизнь разработчикам оборудования, упрощая схемное решение
Analog Devices (*www.analog.com*)	Замыкает четвёрку лидеров производства DSP В технической области процессоры этой фирмы оптимизированы по энергопотреблению и для построения многопроцессорных систем

АЦП	Интерфейсы	Таймеры	ШИМ	Количество линий общ. назн.	Напряжение питания (В)	Тип корпуса	Производитель
1x10 разр. 16 кан.	CAN,SCI, SPI	1xWD 2x16р.	1x16 кан.	40	3.3	LQFP144	Texas Instr.
1x12 разр 16 кан.	SPI,CAN, McBSP,SCI	1xWD 3x32р.	1x16 кан	56	1.9	BGA179 LQFP176 LQFP128	Texas Instr
н/д	SPI, McBSP	2x32р.	н/д	н/д	1.5+3.3	BGA352 BGA384	Texas Instr.
н/д	I²C	4x32р.	н/д	16	1.2+3 3	BGA697	Texas Instr
н/д	Serial Port	1x16р.	н/д	н/д	3.3	LQFP100	Analog Devices
н/д	PCI,ISA, ESSI,SCI	3x16р.	н/д	42	3.0 –3 6	TQFP208 BGA252	Freescale Semicond
4x12 разр. 4 кан.	CAN,SPI, SCI,	1xWD	2x6 кан.	49	3.0 –3.6	LQFP128	Freescale Semicond.
н/д	UART,DSI, I²C	1xWD 2x16р	н/д	32	3 3	BGA431	Freescale Semicond

Таблица 2.4.3

Название	№ контакта	Тип контакта
CAP[1:3]	83,79,75	Ввод
QEP[1:2] (альт.)	83,79	Ввод
PWM[1:6]	56,54,52,47,44,40	Вывод
T[1:2]PWM/T[1:2]CMP	16,18	Вывод
TDIRA,TDIRB	14,2	Ввод
TCLKINA, TCLKINB	37,126	Ввод
CAP[4:6]	88,81,69	Ввод
QEP[3·4] (альт.)	88,81	Ввод
PWM[7:12]	65,62,59,55,46,38	Вывод
T[3·4]PWM/T[3:4]CMP	8,6	Вывод
ADCIN[00:15]	112,110,107,105,103,102,100, 99,113,111,109,108,106,104,101,98	Ввод
VREFHI	115	Ввод
VREFLO	114	Ввод
VCCA	116	Ввод
VSSA	117	Ввод
CANRX	70	Ввод
CANTX	72	Вывод
SCITXD	25	Вывод
SCIRXD	26	Ввод
SPICLK	35	Ввод
SPISIMO	30	Ввод/вывод
SPISOMI	32	Ввод/вывод
$\overline{SPISTE}$	33	Вывод
$\overline{RS}$	133	Ввод
$\overline{PDPINTA}$	7	Ввод
XINT[1:2]	23,21	Ввод
ADCSOC (альт.)	21	Ввод
CLKOUT/WDCLK	73	Вывод
$\overline{PDPINTB}$	137	Ввод
XTAL1/CLKIN	123	Ввод
XTAL2	124	Ввод
PLLVCGA	12	Ввод
$\overline{BOOT_EN}$/XF	121	Ввод
PLLF,PLLF2	11,10	Ввод
VCCP	58	Ввод

Описание назначения

Входы квадратурного датчика, относящиеся к контроллеру событий А
Выводы контроллера событий А. Применяются как выходы компараторов или формирователя сигналов с ШИМ
Выводы контроллера событий А. Применяются как выходы компараторов или таймеров
Контакты, предназначенные для выбора направления отсчёта таймеров, относящихся к контроллерам событий А и В. Логическая единица соответствует положительному направлению отсчёта, а логический ноль – отрицательному
Внешний тактовый сигнал для таймеров, относящихся к контроллерам событий А и В. Таймеры также могут использовать и внутренние тактовые сигналы

Входы квадратурного датчика, относящиеся к контроллеру событий В
Выводы контроллера событий А. Применяются как выходы компараторов или формирователя сигналов с ШИМ
Выводы контроллера событий В. Применяются как выходы компараторов или таймеров
Входы АЦП

Опорное напряжение АЦП (высокий уровень)
Опорное напряжение АЦП (низкий уровень)
Напряжение питания АЦП
«Земля» для VREFHI, VREFLO и VSSA
Контакт для приёма данных через шину CAN
Контакт для передачи данных через шину CAN
Контакт для передачи данных через интерфейс SCI
Контакт для приёма данных через интерфейс SCI
Тактовый сигнал для интерфейса SPI
Контакт «SPI Slave In Master Out». В режиме ведущего является выходом последовательного регистра сдвига, в режиме ведомого – входом
Контакт «SPI Slave Out Master In». В режиме ведущего является входом последовательного регистра сдвига, в режиме ведомого – выходом
Контакт «SPI Slave Transmit Enable», сигнализирующий об обмене данными по интерфейсу SPI
Сброс DSP
Прерывание, приводящее к переходу линий PWM[1:6] в третье состояние
Внешние прерывания, активизируются по перепаду напряжения (направление может быть запрограммировано)
Сигнал, запускающий АЦП
Контакт, предназначенный для вывода тактового сигнала процессора (CLKOUT) или сторожевого таймера (WDCLK)
Прерывание, приводящее к переходу линий PWM[7:12] в третье состояние
Контакт для подачи тактового сигнала с кварцевого осциллятора или внешнего устройства.
Выход ФАПЧ
Вход ФАПЧ
Питание ФАПЧ
Контакт, предназначенный для перевода DSP в режим загрузки из ПЗУ
Входы фильтра петли ФАПЧ
Напряжение для программирования Flash. Если этот контакт заземлён, программирование Flash невозможно

Таблица 2.4.3		
Название	**№ контакта**	**Тип контакта**
TP[1:2]	60,63	
$\overline{BIO}$	119	Ввод
EMU0	90	Ввод/вывод
EMU1/$\overline{OFF}$	91	Ввод/вывод
TCK	135	Ввод
TDI	139	Ввод
TDO	142	Вывод
TMS	144	Ввод
TMS2	36	Ввод
$\overline{TRST}$	1	Ввод
$\overline{DS}$	87	Вывод
$\overline{IS}$	82	Вывод
$\overline{PS}$	84	Вывод
R/$\overline{W}$	92	Вывод
W/$\overline{R}$	19	Вывод
$\overline{RD}$	93	Вывод
$\overline{WE}$	89	Вывод
$\overline{STRB}$	96	Вывод
READY	120	Ввод
MP/$\overline{MC}$	118	Ввод
ENA_144	122	Ввод
$\overline{VIS_OE}$	97	Вывод
A[0:15]	80,78,74,71,68,64,61,57, 53,51,48,45,43,39,34,31	Ввод/ вывод
D[0:15]	127,130,132,134,136,138, 143,5,9,13,15,17,20,22,24,27	Ввод/ вывод
VDD	29,50,86,129	Ввод
VDD0	4,42,67,77,95,141	Ввод
VSS	28,49,85,128	Ввод
VSS0	3,41,66,76,94,125,140	Ввод
IOPA[0:7] (альт.)	25,26,23,83,79,75,56,54	Ввод/вывод
IOPB[0:7] (альт.)	52,47,44,40,16,18,14,37	Ввод/вывод
IOPE[1:7] (альт.)	65,62,59,55,46,38,88	Ввод/вывод
IOPF[0:6] (альт)	81,69,8,6,2,126,131	Ввод/вывод

Описание назначения

Контакты для заводского тестирования. Не должны быть ни к чему присоединены

Контакт эмулятора. Управляется сигналом $\overline{TRST}$ и применяется, как дополнительное прерывание в режиме эмуляции, а также в качестве ввода/вывода во время сканирования через JTAG

Ещё один контакт эмулятора. Когда на $\overline{TRST}$ логическая единица, его назначение схоже с EMU0. Когда на $\overline{TRST}$логический ноль, этот сигнал может перевести DSP в режим OFF (используется, как правило, для проверки этой ИМС)

Тактовый сигнал для интерфейса JTAG

Контакт «Test Data In» в интерфейсе JTAG. Синхронизирован с положительным перепадом сигнала TCK

Контакт «Test Data Out» в интерфейсе JTAG. Синхронизирован с отрицательным перепадом сигнала TCK

Контакты выбора режима тестирования ИМС в интерфейсе JTAG. Синхронизированы с положительным перепадом сигнала TCK

Сигнал сброса для интерфейса JTAG

«Data Space Strobe», «I/O Space Strobe» и «Program Space Strobe». На этих контактах обычно присутствует логическая единица. Логический ноль может появиться только при доступе к внешней памяти или устройствам ввода/вывода

Этот сигнал позволяет определить направление передачи данных во время обмена информацией между DSP и внешним устройством

Инвертированный сигнал R/$\overline{W}$

Сигнал, сообщающий о том, что в текущий момент идёт цикл чтения из внешней памяти или снятия данных с линий ввода/вывода

Сигнал, сообщающий о передаче данных через линии ввода/вывода или о цикле записи во внешнюю память

Сигнал, сообщающий о цикле обмена данными через внешнюю шину

Сигнал, сообщающий DSP о готовности внешнего устройства к началу обмена данными

Сигнал, устанавливающий режим работы DSP: микропроцессорный или микрокомпьютерный В первом случае DSP читает программу из внутренней памяти, а во втором – из внешней

Сигнал, предназначенный для запрета DSP на использование внешней памяти

Контакты 16-разрядной адресной шины

Контакты 16-разрядной шины данных

Напряжение питания ядра и цифровой логики (+3.3 В). К источнику питания должны быть подключены все контакты

Напряжение питания буферов ввода/вывода и цифровой логики (+3.3 В). К источнику питания должны быть подключены все контакты

«Земля» для питания VDD

«Земля» для питания VDDO

Линии общего назначения После сброса по умолчанию контакты функционируют именно в этом качестве

2.5. ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

2.5.1. Характеристики и классификация ПЛИС

Программируемые логические интегральные схемы (ПЛИС — Programmable Logic Devices — PLD) представляют собой сверхбольшие интегральные схемы, содержащие от нескольких десятков до нескольких сотен ИС стандартной логики, которые могут быть соединены пользователем произвольным образом с помощью программирования. ПЛИС совмещает гибкость заказных БИС и доступность традиционной «жесткой» логики. По сравнению с другими микроэлектронными технологиями ПЛИС обеспечивает самый короткий проектно-технологический цикл (от нескольких часов до нескольких дней), минимальные затраты на проектирование и максимальную гибкость при необходимости модификации аппаратуры. ПЛИС характеризуются высоким быстродействием (единицы наносекунд), многократностью перепрограммирования и низкой потребляемой мощностью, позволяющей использовать их в изделиях с батарейным питанием.

Программируемость ПЛИС обеспечивается наличием в них множества элементов программирования (ЭП), выполняющих функции ключей. В состав ЭП входят управляемые двухполюсники, проводимость которых может быть задана пользователем либо очень малой (замкнуто), либо достаточно большой (разомкнуто). Состояния элементов программирования задают конфигурацию (схему) цифрового устройства, формируемого на кристалле.

В ПЛИС применяются следующие типы элементов программирования (разд. «Микросхемы памяти»):

- PROM;
- EPROM;
- EEPROM;
- FLASH;
- SRAM.

Для программирования ПЛИС достаточно загрузить соответствующие данные в память конфигурации. Быстрый процесс оперативного программирования может производиться неограниченное число раз. В ПЛИС с памятью ОЗУ конфигурация разрушается при каждом выключении питания. При включении питания необходим процесс программирования (инициализации, конфигурирования) схемы — загрузка данных конфигурации из какой-либо энергонезависимой памяти, что требует времени порядка десятков миллисекунд.

Репрограммирование ПЛИС с памятью конфигурации SRAM производится в том же режиме, что и рабочий режим, путем записи кодовой последовательности в цепочку триггеров ОЗУ конфигурации. Стирание информации как специфический процесс воздействия на запоминающие элементы,

требующий относительно длительных операций, вообще устранено. Несмотря на повышенную сложность запоминающего элемента, ПЛИС с памятью конфигурации SRAM занимают важнейшее место в ПЛИС с высокой логической емкостью.

2.5.1.1. Терминология ПЛИС

Вентиль — логический элемент, реализующий простую логическую функцию.

Интерфейс JTAG — интерфейс, основным назначением которого является обеспечение возможности интерактивной отладки программ пользователя в реальном времени с помощью дополнительного аппаратного средства — внутрисхемного эмулятора. Наличие интерфейса JTAG обеспечивает также возможность восстановления последовательного загрузчика во флэш-памяти после сбоя при программировании (например, в результате отключения питания). Интерфейс JTAG требует наличия на ПЛИС следующих контактов:

- TDI/TDO (Test Data In / Test Data Out — вход и выход микросхемы, могут применяться для последовательного соединения нескольких микросхем в цепочку);
- TCK (Test Clock — используется для синхронизации интерфейса JTAG);
- TMS (Test Mode Select — используется для управления конечным автоматом).

Конфигурируемое ОЗУ — сверхбыстродействующее ЗУ с произвольной выборкой создается на неиспользуемых логических блоках для хранения текущих данных. Подобное решение позволяет значительно сэкономить логические ресурсы, требуемые для построения разнообразных линий задержек, и буферов FIFO (память, построенная по принципу: *«первый вошел, первый вышел»* или *First In First Out*).

Макроячейка (macrocell) — блок, реализующий функции «И» и «ИЛИ» многих переменных. На выходе макроячейки обычно устанавливается триггер для запоминания результата выполненной функции.

Программируемость — возможность реализации и отладки конкретного проекта на стандартной ПЛИС.

Задержка контакт-контакт (pin-to-pin delay) — время прохождения входного сигнала от любого входа до любого выхода микросхемы. Этот параметр имеет смысл только для ПЛИС типа CPLD.

Напряжение питания — для ранних моделей ПЛИС составляло 5 В, а в современных моделях может быть чрезвычайно низким — до 1.2 В. Также большинство ПЛИС типа CPLD могут быть установлены в режим пониженного потребления энергии не только для всей системы, но и для выбранных пользователем отдельных макроячеек. Необходимо помнить, что режим по-

ниженного потребления приводит к появлению дополнительных задержек в работе макроячеек.

Объем памяти конфигурации — объем «теневого» ЗУ. Представляет собой количество триггеров, используемых в блоках ввода/вывода и конфигурируемых логических блоках для хранения результата выполненной операции. Этот параметр имеет смысл только для ПЛИС типа FPGA.

Системная частота — частота функционирования системы, состоящей из нескольких макроячеек (зависит от частоты переключения триггеров и количества макроячеек).

Технология — основной технологией при производстве FPGA устройств является КМОП-технология статических запоминающих устройств (SRAM) с разрешением до 0.09 мкм. При изготовлении ПЛИС типа CPLD основным их производителем (фирмой Xilinx) используется FAST-Flash-технология с разрешением до 0.13 мкм. Однако может применяться и EEPROM технология.

Число блоков ввода/вывода — БВВ служат для выбора пользователем конфигурации сопряжения внешних выводов корпуса микросхемы с внутренней частью ИС, а также согласования их по уровню, усиления сигналов до необходимой нагрузочной способности, защиты внутренних цепей от электрических повреждений.

Число функциональных логических блоков (ФЛБ) — ФЛБ предназначены для выполнения простых логических функций от нескольких переменных, задаваемых пользователем, а также функции триггера. В CPLD ФЛБ связывают БВВ с программируемой матрицей соединений.

Число триггеров — обычно соответствует количеству макроячеек, так как триггеры устанавливаются на их выходах и служат запоминающими элементами. По умолчанию для этих целей используются D-триггеры, но некоторые ПЛИС позволяют программировать тип запоминающего элемента: *T/JK/SR-триггер* или *триггер-защелку*. Этот параметр имеет смысл только для ПЛИС типа CPLD.

Число эквивалентных логических вентилей — максимально возможное количество функций *2И-НЕ*, которые можно реализовать в ПЛИС CPLD. Условная величина, поскольку реальные вентили могут реализовывать различные логические функции.

Число вентилей — количество программируемых межсоединений в ПМС. Этот параметр используется только в ПЛИС типа FPGA.

Частота переключения триггера — представляет собой внутреннюю частоту работы ПЛИС (частота функционирования внутреннего счетчика).

Число DCM — количество модулей управления синхронизацией (Digital Clock Manager), предназначенных для устранения расфазировки синхронизирующих импульсов, повышения разрешения фазового сдвига, умножения и деления частоты, а также для защиты от электромагнитных помех.

2.5.1.2. Классификация ПЛИС

ПЛМ (Programmable Logic Arrays — PLAs) — программируемые логические матрицы. Разработаны в 1971 году и являются развитием технологии программируемых постоянных запоминающих устройств (ППЗУ — Programmable Read Only Memory — PROM). PLA можно считать первыми программируемыми логическими устройствами (*Programmable Logic Devices — PLD*).

Programmable Array Logic (PAL) — программируемые матрицы логики. Появились в результате совершенствования архитектуры PLA и долгие годы определяли наиболее популярную архитектуру PLD. Первые PAL были разработаны фирмой Advanced Micro Devices (AMD) и программировались пережиганием плавких перемычек. Затем были созданы репрограммируемые ПЛИС с ультрафиолетовым (СПЛИС — EPLD) и электрическим (ЭСПЛИС — EEPLD) стиранием записанных логических функций. Дальнейшим развитием технологии EEPROM стала технология FLASH, разработанная фирмой Toshiba в 1984 году и модифицированная в 1988 году корпорацией Intel.

Сложные PLD (Complex PLD — CPLD) являются результатом дальнейшего увеличения степени интеграции PLD и успехов создания микросхем с большим числом выводов. Принципы построения CPLD — сложных ПЛИС с множеством логических блоков, содержащих группы макроячеек на базе программируемых матриц «И», «ИЛИ» и объединенных программируемой коммутационной матрицей, были предложены фирмой Altera в конце 80-х годов. Архитектура CPLD напоминает PAL, где логические ресурсы реализуются массивом элементов «И», объединенных элементами «ИЛИ», в свою очередь, заведенными на триггер или непосредственно на выход.

ПМЛЭ — программируемые матрицы логических элементов (FPGA — Field Programmable Gate Array) — программируемые пользователем вентильные матрицы, разработанные фирмой Xilinx в 1985 году по идеям конфигурируемых микросхем Джеральда Эстрина. Настройка FPGA на заданное функционирование выполняется каждый раз перед началом работы. Необходимая для этого программа предварительно записывается в ПЗУ. Допускается также выполнение настройки FPGA под управлением микропроцессора или микроконтроллера. Главное преимущество FPGA — возможность получать разные устройства на одном и том же кристалле ПЛИС в динамическом режиме, т.е. в течение малого времени и во время работы микросхемы в составе устройства путем перепрограммирования «теневого» ЗУ.

Гибкость работы FPGA привела к тому, что они стали доминировать на рынке ПЛИС. Они находят применение как в специализированном дорогостоящем оборудовании, так и в аппаратуре массового производства: плазменных телевизорах, телевизорах с ЖК-экраном и в портативных приборах (плеерах).

CPLD используются в качестве связующих логических схем (цифровых автоматов и декодирующих устройств), нестандартных дешифраторов, АЛУ, мультиплексоров и т.д., т.е. таких устройств, где требуются логические функции многих переменных и небольшое количество триггеров. Основные достоинства CPLD:

- простота реализации требуемого устройства;
- малые издержки на проектирование благодаря его короткому циклу, относительной дешевизне средств проектирования и возможности реконфигурирования микросхемы;
- высокий уровень интеграции;
- малая площадь, занимаемая на плате;
- высокая доходность разработки и низкая стоимость владения (т.е. стоимость технического обслуживания и ремонта, настройки или гарантийного обслуживания).

CPLD отличаются лучшей предсказуемостью характеристик по сравнению с FPGA, большей простотой реализации логических устройств со многими логическими элементами и относительно малым числом регистров.

2.5.2. Основные принципы построения и структура ПЛИС

2.5.2.1. ПЛИС типа CPLD

ПЛИС типа CPLD основана на блоках, построенных в соответствии с архитектурой PAL. Рассмотрим архитектуру PAL подробнее.

Структура классических PAL изображена на рис. 2.5.1. Она включает n входов, программируемую матрицу «И» и m выходных макроячеек, связанных с двунаправленными выводами. Выходы матрицы «И» называются промежуточными шинами или термами. Архитектура выходных макроячеек классических PAL достаточно проста: для комбинационных выходов она включает вентиль «ИЛИ», объединяющий q промежуточных шин, выходной буфер с тремя состояниями и обратную связь со входом матрицы «И». Все входы матрицы «И» являются парафазными.

Классические PAL также позволяют программировать высокоимпедансное (третье) состояние выходного буфера, что делает возможным двунаправленный вывод использовать как вход. Для управления третьим состоянием выходного буфера служит отдельная промежуточная шина.

Обобщенная структура универсальных PAL показана на рис. 2.5.2 и включает n входов, программируемую матрицу «И», m выходных макроячеек с одной обратной связью и m_2 макроячеек с двумя обратными связями, наличие которых и отличают универсальные PAL от классических.

Архитектура макроячейки с двумя обратными связями показана на рис. 2.5.3. В макроячейках с одной обратной связью отсутствует цепь от входа

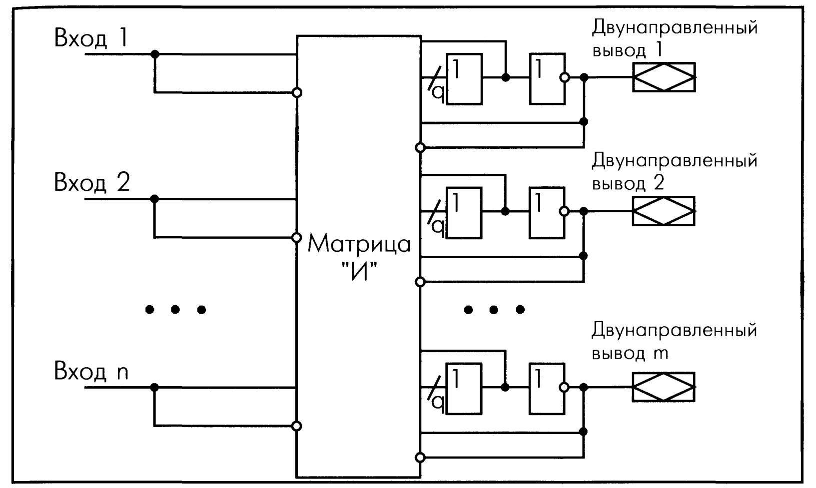


Рис. 2.5.1. Обобщенная структура классической PAL

Двунаправленный вывод 1
Макроячейка с одной ОС
Двунаправленный вывод m
Макроячейка с одной ОС
Вход 1
Вход 2
Вход n
Матрица "И"
Двунаправленный вывод 1
Макроячейка с двумя ОС
Двунаправленный вывод m_2
Макроячейка с двумя ОС

Рис. 2.5.2. Обобщенная структура универсальной PAL

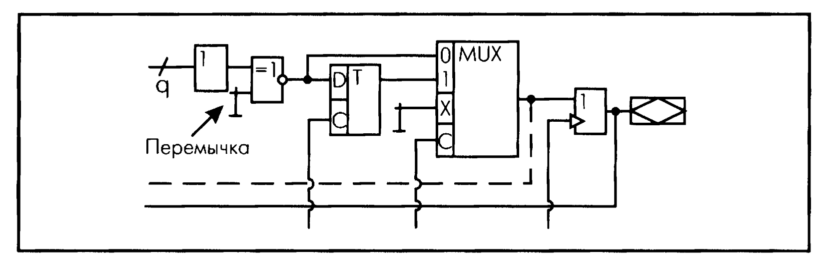


Рис. 2.5.3. Обобщенная структура выходной макроячейки «универсальных» PAL с двумя (одной) ОС

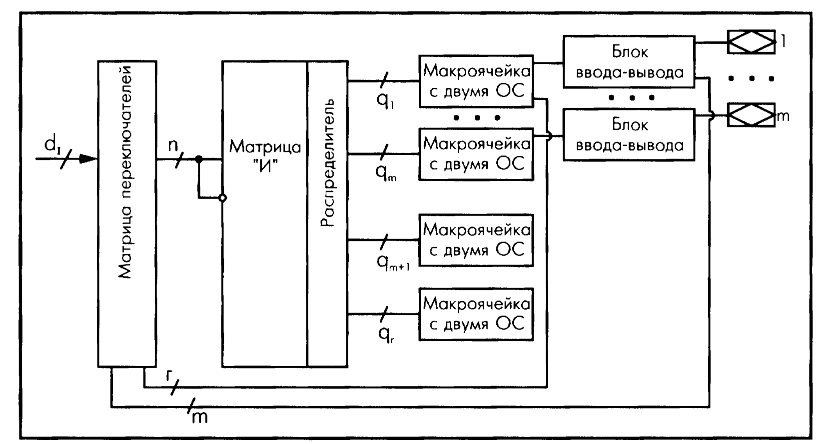


Рис. 2.5.4. Обобщенная структура CPLD

выходного буфера к входу матрицы «И» (показана пунктиром). С каждой макроячейкой универсальных PAL связано различное число промежуточных шин, что позволяет более рационально их использовать: простые функции назначать для реализации на выходы, связанные с небольшим числом промежуточных шин, а сложные — назначать на выходы, связанные с большим числом промежуточных шин.

Кроме того, каждая макроячейка допускает программирование логического уровня выходного сигнала благодаря наличию в архитектуре макроячейки вентиля «исключающее ИЛИ» с программируемой связью одного входа с «землей». Поэтому из двух функций y_i или $\overline{y_i}$ для реализации можно выбрать наиболее подходящую (например, ту, которая требует для реализации меньше промежуточных шин), а необходимый вид функции на выходе PAL образуется путем программирования логического уровня выходного сигнала. Макроячейки с двумя обратными связями допускают одновременное выполнение и реализацию промежуточных функций, и прием входных переменных.

CPLD принято называть микросхемами высокой степени интеграции, структура которых представляет собой совокупность нескольких PAL, объединенных между собой программируемыми межсоединениями (матрицей переключений). Отличия заключаются в том, что все выходные макроячейки имеют две обратные связи, а промежуточные шины макроячейкам назначаются с помощью распределителя (*allocator*). Некоторые макроячейки CPLD не имеют связи с внешним выводом (рис. 2.5.4, макроячейки с $m+1$ по r). Такие макроячейки называются скрытыми. Скрытые макроячейки имеют только одну обратную связь. Такая логическая структура достаточно проста для понимания и обеспечивает чрезвычайно короткое время компиляции и минимальные задержки *pin-to-pin*. В CPLD конфигурация сохраняется во внутренней энергонезависимой Flash-памяти и в любой момент может быть реконфигурирована непосредственно из PC.

2.5.2.2. ПЛИС типа FPGA

FPGA имеет типичную структуру вентильной матрицы (рис. 2.5.5). В центре FPGA находится *матрица конфигурируемых логических блоков (КЛБ — Configurable Logic Blocks — CLB)*, пространство между которыми заполнено *программируемыми межсоединениями (Programmable Interconnectors — PI)*, состоящими из горизонтальных и вертикальных каналов. По краям кристалла для согласования уровней внутренних сигналов FPGA с внешними выводами расположены *блоки ввода/вывода (БВВ) (Input/Output Blocks — IOB)*. В большинстве FPGA также реализованы межблочные цепи каскада и переноса, которые соединяют расположенные в одной строке КЛБ. Эти цепи

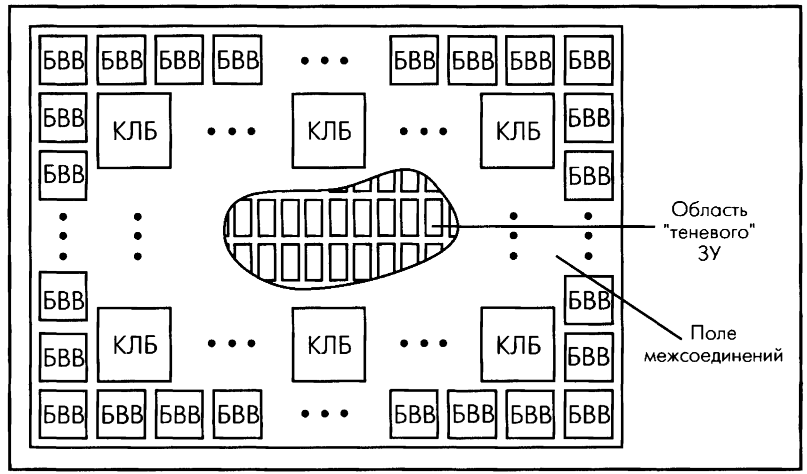


Рис. 2.5.5. Упрощенная структура FPGA

позволяют существенно увеличить быстродействие таких цифровых устройств, как счетчики, арифметические сумматоры, перемножители и т.п.

КЛБ ПЛИС организованы в виде матрицы. В центре каждой строки этой матрицы расположен *конфигурируемый блок памяти (КБП)*. Столбцы и строки матрицы КЛБ разделены столбцами и строками глобальной программируемой матрицы соединений (она же — поле межсоединений). При этом число строк этих матриц одинаково и, соответственно, равно количеству КБП. БВВ подсоединены непосредственно к каналам строк и столбцов матрицы соединений.

КЛБ предназначены для выполнения простых логических функций от нескольких переменных, задаваемых пользователем, а также функции триггера. Функции задаются путем записи в «теневое» ОЗУ информации о конфигурации. КЛБ располагаются в виде матрицы в центре кристалла FPGA. Строки и столбцы матрицы обозначаются буквами *«А»*, *«В»*, *«С»* и т.д., которые используются для задания имени (адреса) блока, например блоки *«АА»*, *«АВ»*, *«ВС»*.

Конфигурируемые блоки памяти расположены в середине каждой строки матрицы КЛБ. В них имеются регистры по шинам входных и выходных данных и по шине адреса. Программируемые мультиплексоры КБП позволяют задавать тактируемый или нетактируемый режим работы по указанным шинам. Каждый КБП может быть запрограммирован как двухпортовое (имеющее отдельные шины входа данных и выхода данных) оперативное или постоянное запоминающее устройство. В последнем случае на основе КБП можно строить быстродействующие комбинационные цифровые устройства.

БВВ служат для выбора пользователем конфигурации сопряжения внешних выводов корпуса МС с внутренней частью FPGA, а также согласования их по уровню, для усиления сигналов до необходимой нагрузочной способности и для защиты внутренних цепей FPGA от электрических повреждений.

В данных микросхемах SRAM играет роль «теневого» запоминающего устройства, содержащего информацию о конфигурации межсоедининий. Исходные данные о конфигурации могут находиться в постоянном запоминающем устройстве (ПЗУ), установленном на печатной плате рядом с ПЛИС, или в файле на диске и записываться в «теневое» ЗУ при каждой загрузке системы. Это позволяет получать разные устройства на одном и том же кристалле ПЛИС в динамическом режиме, т.е. в течение малого времени и во время работы МС в составе устройства путем перепрограммирования «теневого» ЗУ.

Глобальные шины управляющих сигналов (на рис. 2.5.5 не показаны) обеспечивают минимальный сдвиг фронтов тактовых сигналов, поступающих на входы синхронизации триггеров КЛБ и БВВ, а также минимальную задержку распространения сигналов управления. Источником сигналов глобальной шины управляющих сигналов являются специализированные входы СБИС, а источником сигналов глобальной шины управления вводом/выводом могут служить специализированные входы СБИС и выходы КЛБ.

Источником сигнала асинхронного сброса всех триггеров СБИС служит специальный вход *Dev_CLRn*, а для перевода всех выводов ПЛИС в третье состояние — вход *Dev_OEn* (эти входы также не показаны на рис. 2.5.5).

КЛБ ПЛИС состоит из *локальной программируемой матрицы соединений (ЛПМС)* и *логических элементов*. Наличие двухуровневой (глобальной и локальной) ПМС позволяет уменьшить задержки распространения сигналов внутри КЛБ.

Структура логического элемента различается в зависимости от модели ПЛИС. В качестве примера рассмотрим структурную схему логического элемента ПЛИС семейства Altera FLEX10K (рис. 2.5.6).

Этот логический элемент имеет четырехвходовую *таблицу перекодировки ТП* (ОЗУ информационной емкостью 16 бит), схему каскадного наращивания СКН, программируемый *D*-триггер, схему управления асинхронными сбросом и установкой триггера СУ и набор программируемых мультиплексоров (ПМ1...ПМ5).

ТП может конфигурироваться в двух вариациях: как программируемый КЦА, реализующий одну функцию четырех элементов *D*1...*D*4, или как КЦА, воспроизводящий две функции трех аргументов, одна из которых — функция переноса, необходимая для таких схем, как сумматоры, аккумуляторы с последовательными переносами, и другие схемы с функциями переноса.

СКН может быть запрограммирована на выполнение логического сложения или логического умножения входных сигналов и позволяет воспроизводить функции с большим числом аргументов, необходимые, например, при реализации многоразрядных синхронных счетчиков. Цепи переноса и каскадного наращивания соединяют соответствующие узлы смежных логических элементов по отдельным линиям внутри кристалла и вносят весьма малые задержки (менее 1 нс на каскад).

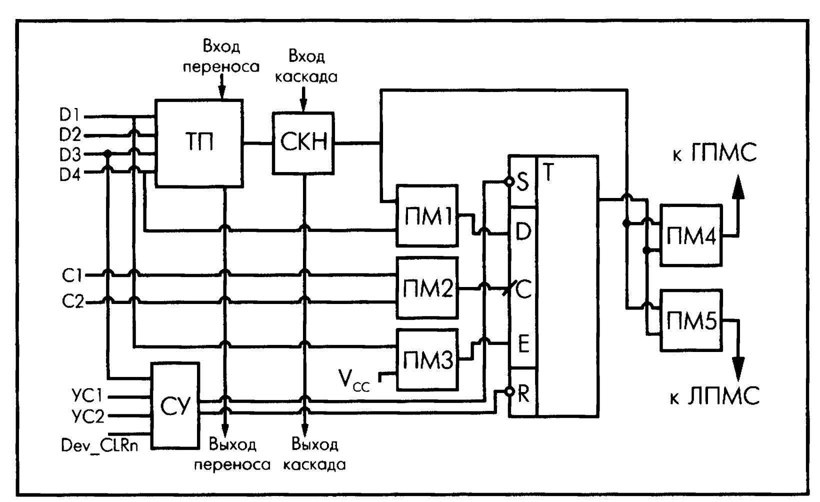


Рис. 2.5.6. Структурная схема логического элемента

Триггер логического элемента — синхронный D-триггер, с динамическим управлением по тактовому входу, дополнительно имеет вход разрешения переключения *E* и инвертированные входы асинхронного сброса и установки (*R* и *S* соответственно). Триггер может быть использован совместно с комбинационной частью логического элемента или независимо как отдельный элемент, если на его вход через мультиплексор ПМ1 поступает сигнал с входа *D*4.

Тактирование триггера осуществляется выходным сигналом ПМ2, выбирающим один из двух тактовых сигналов *C*1 или *C*2. В свою очередь, тактовые сигналы посредством программируемого мультиплексора логического блока могут выбираться как глобальные тактовые сигналы или как сигналы, формируемые другой макроячейкой. Сигнал разрешения переключения *E* выбирается с помощью ПМ3 из входного *D*3 или высокого уровня V_{CC}.

Входные сигналы асинхронных сброса и установки вырабатываются схемой управления СУ, в которую поступают два управляющих сигнала УС1, УС2, сигнал общего сброса *Dev_CLRn* и входной сигнал *D*3. В СУ имеются программируемые мультиплексоры, благодаря которым можно задать один из шести режимов воздействия на триггер. Все режимы асинхронные — это операции сброса, установки или загрузки в разных вариантах.

ПМ4 и ПМ5 определяют тип цифрового устройства (комбинационное или с памятью), эмулируемого логическим элементом. Выходные сигналы этих мультиплексоров подаются в глобальную и локальную программируемые матрицы соединений.

2.5.3. Перечень основных фирм, выпускающих ПЛИС

В табл. 2.5.1 перечисленны основные ведущие фирмы — производители ПЛИС, присутствующие на мировом рынке электронных компонентов.

Таблица 2.5.1

Производитель	Характеристика
Actel (www.actel.com)	Специализируется на производстве ПЛИС с применением технологий Flash, SRAM и PROM (antifuse). FPGA производства этой компании считаются одними из самых быстродействующих в мире
Altera (www.altera com)	Один из гигантов на рынке ПЛИС, первая компания в мире освоившая производство ПЛИС. Производит как CPLD, так и FPGA
Atmel (www.atmel.com)	Американская корпорация, для которой (в отличие от большинства конкурентов) CPLD и FPGA являются только одним из продуктов
Lattice Semiconductor (www.latticesemi.com)	Компания, занимающаяся исключительно разработкой и производством ПЛИС и программного обеспечения для них
Xilinx (www.actel.com)	Одна из крупнейших корпораций, производящих ПЛИС. Более 50% ПЛИС в мире производятся Xilinx. На рынке заказных БИС эта корпорация является третьим по величине поставщиком

2.5.4. Справочные данные по конкретным примерам современных ПЛИС

2.5.4.1. ПЛИС типа CPLD

Данные по ПЛИС типа CPLD приведены в табл. 2.5.2.

2.5.5.2. ПЛИС типа FPGA

Данные по ПЛИС типа FPGA приведены в табл. 2.5.3.

2.5.5. Примеры цоколевки и типовой схемы включения ПЛИС

Рассмотрим микросхему XC2C32A, производимую фирмой Xilinx. Эта ПЛИС относится к типу CPLD и поставляется в четырех типах корпусов: QFG32, PC44, VQ44 и CP56. Цоколевка этой ИМС приводится в технической документации производителя и показана на рис. 2.5.7.

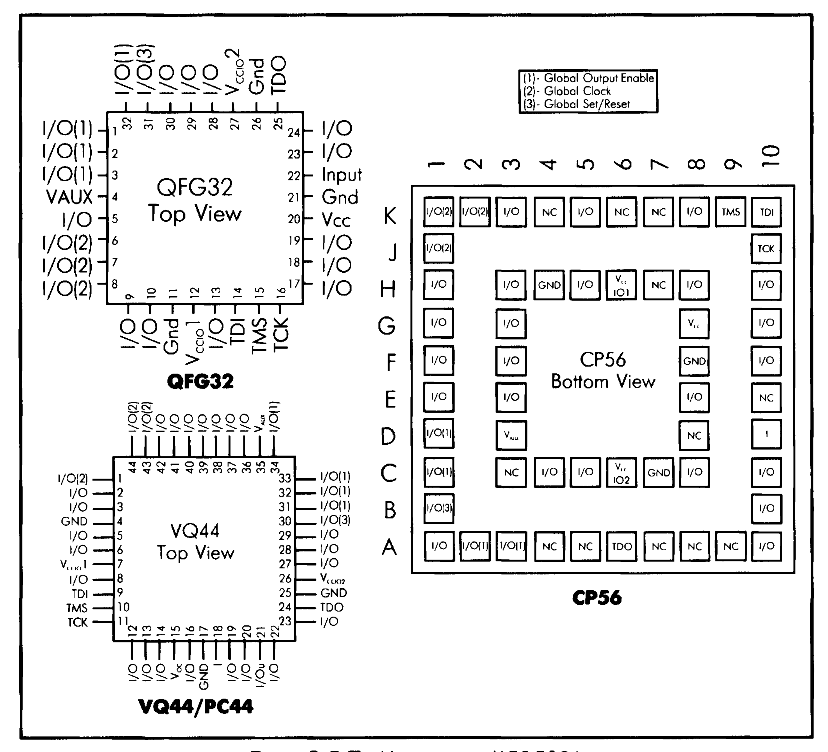


Рис. 2.5.7. Цоколевка XC2C32A

Таблица 2.5.2							
Наименование	**Число макроячеек на кристалле**	**Число экв. лог. вентилей**	**Задержка pin-to-pin, нс**	**Число триггеров**	**Тип корпуса (кол-во БВВ)**	**Напряжение питания, В**	**Производитель**
XC9536	36	800	5	36	PLCC44(34) VQFP44(34)	5	Xilinx
XC95288	288	6400	10	288	HQFP208(168) BGA352(192)	5	Xilinx
XC2C32A	32	н/д	3.8	32	QFG32(20) PC44(33) VQ44(33) CP56(33)	1.7 – 1.9	Xilinx
EPM3032A	32	600	4.5	32	PLCC44(34) TQFP(34)	3.3	Altera
EPM3512A	512	10000	7.5	512	PQFP208(172) FBGA256(208)	3.3	Altera
M4A5-32	32	1250	5	32	PLCC44(32) TQFP44(32) TQFP48(32)	5	Lattice
M4A5-256	256	20000	6.5	384	PQFP208(142) BGA256(142)	5	Lattice
ATF1500A	32	н/д	7.5	32	PLCC44(32) TQFP44(32)	5	Atmel
ATF1502AS	32	1280	7.5	32	PLCC44(32) TQFP44(32)	5	Atmel

Приведем таблицы соответствий номеров контактов и назначения выводов для рассматриваемой ИМС (табл. 2.5.4, 2.5.5). При рассмотрении этих таблиц следует учитывать, что 32 макроячейки, содержащиеся в рассматриваемой ПЛИС, разбиты на 2 функциональных блока по 16 макроячеек в каждом.

Типовая схема включения ПЛИС в технической документации обычно не приводится.

2.5.6. Обозначения контактов ПЛИС в документации

В этом разделе приведены обозначения контактов ПЛИС, исключая контакты ввода/вывода и программирования для отдельно взятых макроячеек.

Таблица 2.5.6

Таблица 2.5.3

Наименование	Число ЛЭ	Число вентилей	Матрица КЛБ	Блочная ОЗУ, кбит	Умножители 18bitx18bit	Число DCM	Тип корпуса (кол-во БВВ)	Напр. питания, В	Производитель
XC3S50	1728	50K	16x12	72	4	2	VQFP100(63) TQFP144(97) PQFP208(124)	1.2 (ядро) 2.5 (доп.)	Xilinx
XC3S200	4320	200K	24x20	216	12	4	VQFP100(63) TQFP144(97) PQFP208(141) FT256(173)	1.2 (ядро) 2.5 (доп.)	Xilinx
XCS5000	74880	5M	104x80	1872	104	4	FG900(633) FG1156(784)	1.2 (ядро) 2.5 (доп.)	Xilinx
EP1SGX10	10570	н/д	40x30	900	24	4	FBGA672(366)	1.2/1.8/ 2.5/3.3	Altera
EP1SGX40	41250	н/д	77x61	3344	56	8	FBGA1020(638)	1.2/1.8/ 2.5/3.3	Altera
LFXP3	3.1K	н/д	24x16	54	н/д	2	TQ100 TQ144 PQ208(136)	1.2/1.8/ 2.5/3.3	Lattice
LFXP20	19.7K	н/д	56x44	414	н/д	4	FBGA256 FBGA388 FBGA484(340)	1.2/1.8/ 2.5/3.3	Lattice
AT40K05 AT40K05LV	н/д	5K	16x16	2	н/д	2	PLCC84(62) PQFP100(78) TQFP100(78) LQFP144(114) PQFP160(128) PQFP240(128)	5 3.3 (LV)	Atmel
AT40K40 AT40K40LV	н/д	40K	48x48	18	н/д	2	LQFP144(114) PQFP208(161) PQFP240(193) PQFP304(256) SBGA352(289)	5 3.3 (LV)	Atmel

Таблица 2.5.4

№ функц. блока	№ макро-ячейки	№ контакта				Тип контакта	№ банка вводов/выводов
		QFG32	PC44	VQ44	CP56		
1	1		44	38	F1	Ввод/вывод	2
1	2		43	37	E3	Ввод/вывод	2
1	3		42	36	E1	Ввод/вывод	2
1	4	3	40	34	D1	Ввод/вывод	2
1	5	2	39	33	C1	Ввод/вывод	2
1	6	1	38	32	A3	Ввод/вывод	2
1	7	32	37	31	A2	Ввод/вывод	2
1	8	31	36	30	B1	Ввод/вывод	2
1	9	30	35	29	A1	Ввод/вывод	2
1	10	29	34	28	C4	Ввод/вывод	2
1	11	28	33	27	C5	Ввод/вывод	2
1	12	24	29	23	C8	Ввод/вывод	2
1	13		28	22	A10	Ввод/вывод	2
1	14	23	27	21	B10	Ввод/вывод	2
1	15		26	20	C10	Ввод/вывод	2
1	16		25	19	E8	Ввод/вывод	2
2	1	5	1	39	G1	Ввод/вывод	1
2	2		2	40	F3	Ввод/вывод	1
2	3		3	41	H1	Ввод/вывод	1
2	4		4	42	G3	Ввод/вывод	1
2	5	6	5	43	J1	Ввод/вывод	1
2	6	7	6	44	K1	Ввод/вывод	1
2	7	8	7	1	K2	Ввод/вывод	1
2	8	9	8	2	K3	Ввод/вывод	1
2	9	10	9	3	H3	Ввод/вывод	1
2	10		11	5	K5	Ввод/вывод	1
2	11		12	6	H5	Ввод/вывод	1
2	12	13	14	8	H8	Ввод/вывод	1
2	13	17	18	12	K8	Ввод/вывод	1
2	14	18	19	13	H10	Ввод/вывод	1
2	15	19	20	14	G10	Ввод/вывод	1
2	16		22	16	F10	Ввод/вывод	1

Таблица 2.5.5

Название	№ контакта				Тип контакта	Описание назначения
	QFG32	PC44	VQ44	CP56		
GTS0	2	39	33	C1	Ввод	Контакты глобального управления «третьим состоянием»
GTS1	3	40	34	D1	Ввод	
GTS2	32	37	31	A2	Ввод	
GTS3	1	38	32	A3	Ввод	
GSR	31	36	30	B1		Контакт глобального сброса/установки регистров
GCK0	6	5	43	J1	Ввод	Контакты глобального таймера
GCK1	7	6	44	K1	Ввод	Контакты глобального таймера
GCK2	8	7	1	K2	Ввод	Контакты глобального таймера
TCK	16	17	11	K10	Ввод	Контакты интерфейса JTAG
TDI	14	15	9	J10	Ввод	Контакты интерфейса JTAG
TDO	25	30	24	A6	Вывод	Контакты интерфейса JTAG
TMS	15	16	10	K9	Ввод	Контакты интерфейса JTAG
Input Only	22	24	18	D10	Ввод	Дополнительный контакт для ввода данных
V_{CCAUX}	4	41	35	D3	Ввод	Питание интерфейса JTAG
V_{CC}	20	21	15	G8	Ввод	Основное питание ПЛИС
V_{CCIO1}	12	13	7	H6	Ввод	Питание банка вводов/выводов № 1
V_{CCIO2}	27	32	26	C6	Ввод	Питание банка вводов/выводов № 2
Ground	11,21,26	10,23,31	4,17,25	H4,F8,C7	Ввод	«Земля»
No connects	–	–	–	K4,K6,K7 ,H7,E10,A7, A9,D8,A5, A8,A4,C3	–	Контакт не имеет функционального назначения

Таблица 2.5.6

Обозначение контакта	Функция
I	Ввод данных
O	Вывод данных
I/O	Двунаправленный канал данных
TCK	Контакты интерфейса JTAG
TDI	Контакты интерфейса JTAG
TDO	Контакты интерфейса JTAG
TMS	Контакты интерфейса JTAG
PD	Контакт «Chip Enable», он же «Power Down»
CE	Контакт «Chip Enable», он же «Power Down»
OE	Контакт «Output Enable»
GCK	Контакт глобального таймера (Global Clock)
CLK	Контакт глобального таймера (Global Clock)
GTS	Контакт глобального управления «третьим состоянием» (Global Third State), он же «Global Output Enable»
GSR	Контакт глобального сброса/установки регистров (Global Set/Reset)
GCLR	Контакт глобального сброса/установки регистров (Global Set/Reset)
V_{CCIO}	Питание для блоков ввода-вывода (Xilinx)
V_{CCINT}	Питание для всех прочих систем (Xilinx)
V_{CC}	Питание ПЛИС
GND	«Земля»
Input Only	В небольших ПЛИС серии CoolRunner-II этот контакт используется, как дополнительный контакт для ввода данных Он не привязан к какой-либо макроячейке и на него не накладывается никаких ограничений, кроме того, что он работает только на ввод
No connects	Контакт не имеет функционального назначения

2.6. БИС ЦИФРОВЫХ КВАДРАТУРНЫХ ПРЕОБРАЗОВАТЕЛЕЙ СИГНАЛОВ

2.6.1. Характеристики и классификация

2.6.1.1. Характеристика

Цифровые квадратурные преобразователи предназначены для выделения комплексной амплитуды сигнала, состоящей из синфазной и квадратурной компонент. Использование комплексного представления сигнала при цифровой обработке позволяет получить всю возможную информацию, передаваемую сигналом.

Квадратурные составляющие сигнала определяются следующим образом. В самом общем виде сигнал, имеющий амплитудную и фазовую (угловую) модуляцию, описывается формулой:

$$u(\mathrm{t}) = U(t)\cos[\omega_0 t + \varphi(t)]. \tag{6.1}$$

Это выражение можно представить в следующем виде:

$$u(t) = \mathrm{Re}\left\{U(t)e^{j[\omega_0 t + \varphi(t)]}\right\} = \mathrm{Re}[U(t)e^{j\varphi(t)}e^{j\omega_0 t}] = \mathrm{Re}[\dot{U}(t)e^{j\omega_0(t)}],$$
$$\text{где } \dot{U}(t) = U(t)e^{j\varphi(t)} \text{ — комплексная амплитуда} \tag{6.2}$$

Представим комплексную амплитуду в следующем виде:

$$\dot{U}(t) = U_c(t) + jU_s(t),$$
$$\text{где } U_c(t) = U(t)\cos\varphi(t),\ U_s(t) = U(t)\sin\varphi(t). \tag{6.3}$$

Низкочастотные процессы *Uc(t)* и *Us(t)* называются квадратурными составляющими процесса *u(t)* относительно колебания с частотой ω_0. С их помощью сигнал можно записать в виде:

$$u(t) = U_c(t)\cos\omega_0 - U_s(t)\sin\omega_0 t. \tag{6.4}$$

Представление сигнала квадратурными составляющими позволяет производить полноценную обработку без использования несущей (центральной) частоты ω_0, которая во многих случаях намного больше ширины спектра сигнала. Отказ от несущей частоты позволяет существенно снизить частоту дискретизации сигнала и тем самым упростить аппаратуру цифровой обработки.

В качестве примера использования квадратурных составляющих приведем алгоритм демодуляции амплитудно-модулированного сигнала. На вход блока ЦОС поступают отсчеты квадратурных составляющих сигнала, *i*-е отсчеты которых обозначим x_{ci} и x_{si}. Для выделения модулирующего сигнала в АМ колебаниях достаточно найти модуль комплексной огибающей A_{0i}, т.е. в блоке ЦОС должны быть произведены следующие операции:

- $X_c = x_{ci}^2$;
- $Y_c = y_{ci}^2$;
- $A_{cs} = X_c + Y_c$;
- $A_{0i} = \sqrt{A_{C5}}$.

Основной характеристикой цифровых квадратурных преобразователей является *производительность (Sample Rate)* — максимальная частота следования отсчетов оцифрованного сигнала при его обработке. Измеряется в *миллионах отсчетов в секунду (Million Samples Per Second — MSPS)*. Иногда производительность указывается в трех режимах работы преобразователя:

- *один поток (Single Channel Real)* — на вход поступают действительные отсчеты входного сигнала;
- *два потока (Diversity Channel Real)* — на вход попеременно поступают действительные отсчеты двух входных сигналов;
- *комплексный поток (Single Channel Complex)* — на вход попеременно поступают отсчеты входного сигнала, соответствующие действительной и мнимой составляющим.

2.6.1.2. Классификация

Существует два типа цифровых квадратурных преобразователей сигнала:

- с выделением квадратурных составляющих из аналогового сигнала;
- с выделением квадратурных составляющих из цифрового сигнала.

Квадратурные преобразователи частоты с выделением квадратурных составляющих из аналогового сигнала также называют квадратурными демодуляторами (Quadrature Demodulators). Этот вид преобразователей использует аналого-цифровое преобразование сигнала после выделения квадратурных составляющих и в силу особенностей аналоговой обработки сигнала обладает тем преимуществом, что от АЦП не требуется высокая частота дискретизации, поскольку производится оцифровка демодулированного сигнала, спектр которого сосредоточен в относительно низкочастотной области, определяемой граничной частотой ФНЧ (должно выполняться

условие $f_д \geq 2f_{НЧ}$). Недостатками такого преобразователя являются относительно высокий уровень нелинейных искажений квадратурных компонентов сигнала и наличие ложных гармоник на выходе формирователя квадратур гармонического сигнала.

Квадратурные преобразователи сигнала с выделением квадратурных составляющих из цифрового сигнала сначала осуществляют аналого-цифровое преобразование сигнала и только потом производят выделение квадратурных составляющих, используя для этого чисто цифровые методы. Эти преобразователи также называют *приемными сигнальными процессорами (Receive Signal Processors).* Преимуществом преобразователя являются отсутствие нелинейных искажений и гармоник, возникающих при аналоговой обработке сигнала, а к недостаткам следует отнести то, что требуется обеспечить усиление сигнала на промежуточной частоте до нескольких вольт и АЦП в такой системе должен иметь более высокое быстродействие и более широкую полосу пропускания по входу.

2.6.2. Основные принципы построения и структурные схемы

2.6.2.1. Квадратурные преобразователи на основе выделения квадратурных составляющих из аналогового сигнала

На рис. 2.6.1 приведена обобщенная структурная схема квадратурного преобразователя частоты с выделением квадратурных составляющих из аналогового сигнала.

Рассмотрим процесс квадратурного преобразования действительного сигнала в комплексную форму в квадратурных демодуляторах на примере формирователя квадратур с применением комплексного гетеродина. Входной сигнал *u(t)* в таком формирователе квадратур умножается на опорные колебания:

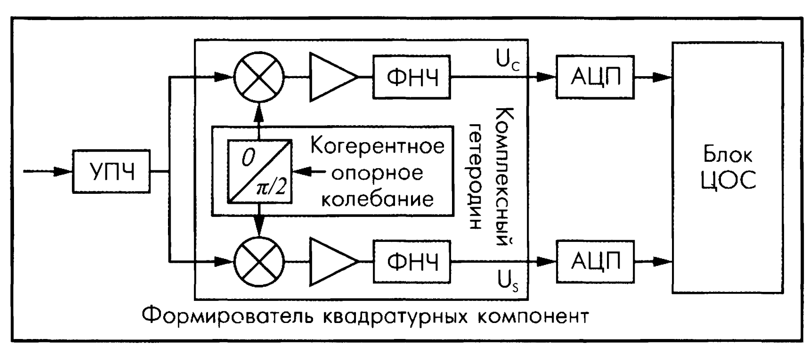


Рис. 2.6.1. Схема с формирователем квадратурных компонент (ФКК) перед АЦП

$$u_1(t) = U_0 \cos\omega_0 t,\ \ u_2(t) = -U_0 \sin\omega_0 t. \quad (6.5)$$

В результате умножения на сигнал $u_1(t)$ и последующего усиления сигнала в a раз на выходе усилителя образуется сигнал:

$$u_{\phi 1}(t) = \frac{\alpha U_0}{2}\{U_c(t) + [U_c(t)\cos(2\omega_0 t) - U_s(t)\sin(2\omega_0 t)]\}, \quad (6.6)$$

который представляет собой смесь низкочастотного и высокочастотного процессов. ФНЧ, включенный в схему после усилителя, подавляет высокочастотные компоненты и выделяет низкочастотные, поэтому на его выходе образуется составляющая $\alpha U_0 U_c(t)/2$, т.е. квадратурная составляющая процесса $U_c(t)$, умноженная на коэффициент $\alpha U_0/2$, который обычно полагают равным единице. Другая квадратурная составляющая $U_s(t)$ выделяется аналогичным образом.

Одной из разновидностей такой структуры является схема с логарифмическим усилителем перед ФКК (рис. 2.6.2), позволяющим сжать динамический диапазон (осуществить компрессию) сигнала.

Строго говоря, преобразователи этого типа не являются цифровыми устройствами. Более того, существуют ИМС, представляющие собой комбинацию УПЧ и ФКК и не имеющие при этом в своем составе АЦП.

2.6.2.2. Квадратурные преобразователи с выделением квадратурных составляющих из оцифрованного сигнала

Существует два основных подхода к построению квадратурных преобразователей частоты такого вида.

Первый подход (рис. 2.6.3) предусматривает использование преобразователя Гильберта (ПГ), осуществляющего поворот фазы сигнала на $\pi/2$. На вход цифрового ФКК поступают отсчеты цифрового сигнала, прошед-

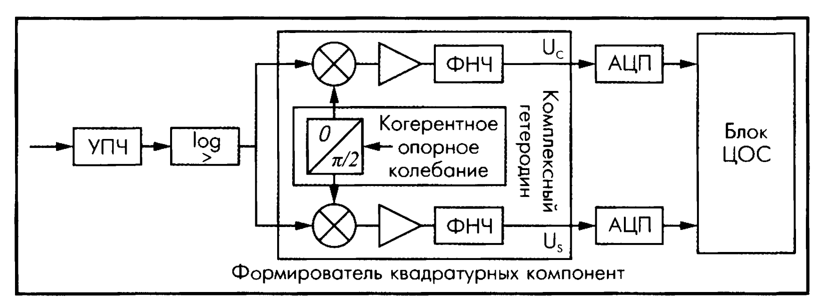


Рис. 2.6.2. Схема с логарифмическим усилителем и ФКК перед АЦП

шего через УПЧ и АЦП. С помощью ПГ также формируются отсчеты, соответствующие комплексной части этого сигнала. И те, и другие отсчеты поступают на комплексный перемножитель, являясь для него первым множителем. Вторым множителем является комплексный сигнал, поступающий от блока комплексных квадратурных выборок. Этот блок содержит в себе выборки, необходимые для получения комплексных квадратурных составляющих (рис. 2.6.3). Предполагается, что параметр k показывает количество цифровых отсчетов, соответствующее одному периоду аналогового сигнала, причем $k \geq 4$. Далее полученные составляющие проходят через децимационные фильтры, осуществляющие цифровую фильтрацию полученных составляющих.

Второй подход заключается в перемножении сигнала на дискретные отсчеты, соответствующие заданным точкам синусоидального и косинусоидального сигналов с последующей низкочастотной фильтрацией. Структурная схема такого формирователя отсчетов квадратурных сигналов показана на рис. 2.6.4 (для простоты на этом рисунке приведены данные для случая, когда одному периоду аналогового сигнала соответствуют четыре цифровых отсчета).

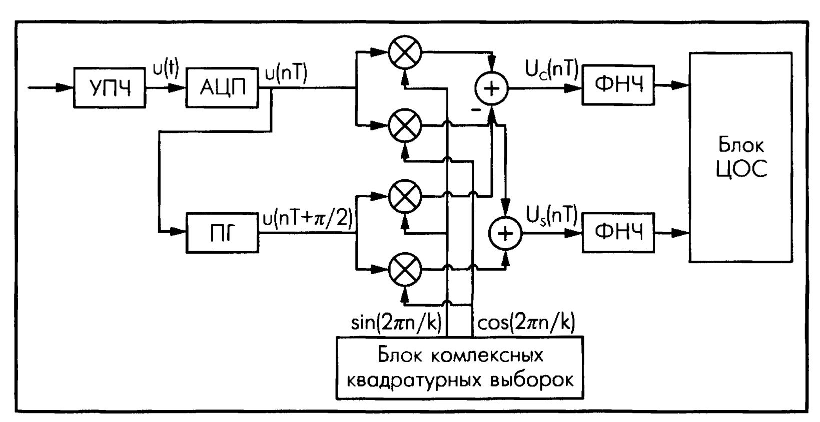


Рис. 2.6.3. Формирователь отсчетов квадратурных составляющих с преобразователем Гильберта

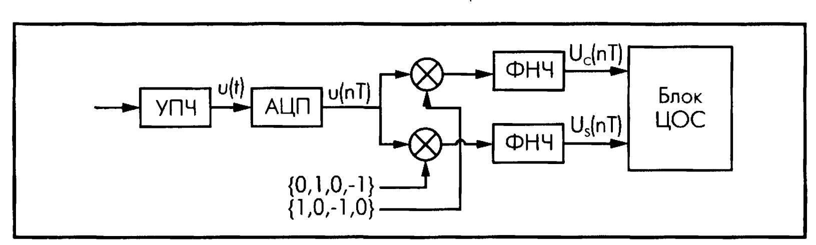


Рис. 2.6.4. Формирователь отсчетов квадратурных составляющих с низкочастотной фильтрацией

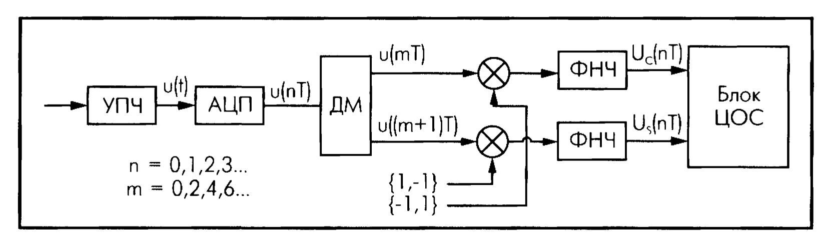


Рис. 2.6.5. Формирователь отсчетов квадратурных составляющих с низкочастотной фильтрацией и демультиплексором

Существует также модификация этой схемы, более простая в реализации на ИМС. В ней с помощью демультиплексора (ДМ) входные отсчеты разделяются на четные и нечетные, перемножители осуществляют смену знаков каждого второго отсчета на противоположный, весовые коэффициенты ФНЧ1 равны четным весовым коэффициентам ФНЧ в предыдущей схеме, тогда как у ФНЧ2 — нечетным. Таким образом, на выходах перемножителей, благодаря ДМ, мы получаем два ортогональных сигнала (так как каждому ненулевому отсчету любого из них соответствует нулевой отсчет другого), которые поступают на фильтры.

Такая схема имеет вид, показанный на рис. 2.6.5.

В настоящее время именно эта схема наиболее часто применяется при построении БИС, осуществляющих квадратурное преобразование сигналов.

2.6.3. Перечень основных фирм — производителей квадратурных преобразователей частоты

Таблица 2.6.1

Производитель	Характеристика
Analog Devices, Inc. (www.analog.com)	Один из крупнейших в мире производителей аналоговых и цифровых ИМС, лидер в области квадратурных преобразователей частоты
Texas Instruments, Inc. (www.ti.com)	Производитель широчайшего ассортимента ИМС, лидер в области обработки сигналов
Intersil Corporation (www.intersil.com)	Интенсивно развивающаяся компания, ранее специализировавшаяся на ИМС для ЖК-дисплеев, а теперь активно продвигающаяся на рынках телекоммуникаций, вычислительных систем и управления промышленным оборудованием
Zarlink (www.zarlink.com)	Специализируется на коммуникационном оборудовании для беспроводных сетей, много усилий прикладывает для снижения энергопотребления своих ИМС
Silicon Laboratories (www.silabs.com)	Относительно «молодая» (основана в 1996 г.) компания, специализирующаяся на высокопроизводительных аналоговых и аналого-цифровых ИМС, предназначенных для решения широкого круга задач

2.6.4. Примеры квадратурных преобразователей частоты

2.6.4.1. Квадратурные преобразователи с выделением квадратурных составляющих из аналогового сигнала

Таблица 2.6.2

Наименование	Промежуточная частота, МГц	Разрядность АЦП	Максимальное усиление, дБ	Напряжение питания, В	Корпус	Производитель
Si2110	950 – 2150	7 разр.	н/д	3.0 – 3.6 + 1.71 – 1.89	QFN44	Silicon Labs
AD8347	800 – 2700	Внеш.	69.5	2.7 – 5.5	TSSOP28	Analog Devices
AD8348	50 – 1000	Внеш.	44	2.7 – 5.5	TSSOP28	Analog Devices
AD607	до 500	Внеш.	н/д	н/д	SSOP20	Analog Devices
U2794B	70 – 1000	Внеш.	25	4.75 – 5.25	SSOP20	Atmel
MGCM02	до 200	Внеш.	100	2.7 – 3.3	BGA49	Zarlink

2.6.4.2. Квадратурные преобразователи с выделением квадратурных составляющих из оцифрованного сигнала

Таблица 2.6.3

Наименование	Кол-во ФКК	АЦП	Производительность (MSPS)	Выходные порты	Напряжение питания, В	Корпус	Производитель
AD6620	1	16 разр., 1·внеш.	67	16 разр., 2·парал.	3.0 – 3.6	PQFP80	Analog Devices
AD6652	4	12 разр., 2·внутр.	65	16 разр., 2·парал.	2.75 – 3.3 + 2.25 – 2.75	BGA256	Analog Devices
AD6635	8	16 разр., 4·внеш.	80	16 разр., 4·Чпарал.	2.25 – 2.75	BGA324	Analog Devices
HSP50016	1	16 разр., 1·внеш.	75	38 разр., 1·Чпосл.	4.75 – 5.25	PLCC44	Intersil
ISL5216	4	16 разр., 4·внеш.	95	32 разр., 1·Чпосл.	3.135 – 3.465 + 2.375 – 2.625	BGA196	Intersil
AFE8201	1	12 разр., 1·внутр.	80	McBSP 24 разр.,	3.14 – 3.47 + 1.6 – 2.0	TQFP48	Texas Instruments
GC4016	4	14 разр., 4·внеш.	100	1·Чпарал., 4·Чпосл.	3.0 – 3.6 + 2.3 – 2.7	BGA160	Texas Instruments

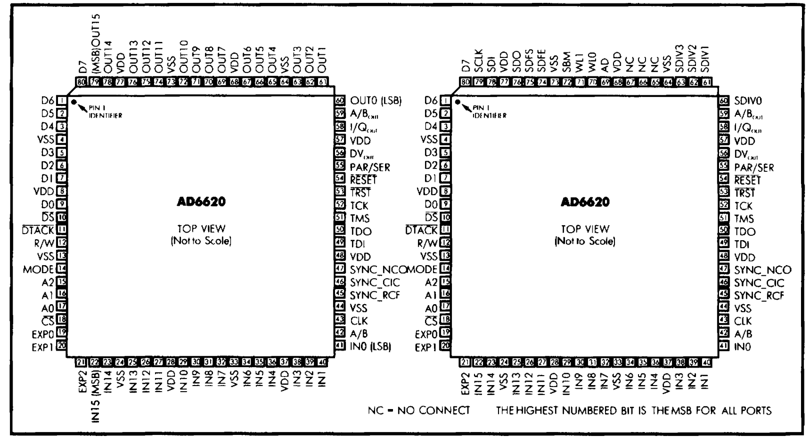


Рис. 2.6.6. Цоколевка AD6620

2.6.5. Пример цоколевки квадратурного преобразователя частоты

Рассмотрим цоколевку таких ИМС на примере AD6620. Эта микросхема поставляется в корпусе PQFP80. Производитель, фирма Analog Devices, приводит в своей технической документации цоколевку этого преобразователя, как показано на рис. 2.6.6. Слева приведена цоколевка для работы в режиме параллельного вывода, а справа — для последовательного.

Соответствие номеров контактов и назначений выводов для этой ИМС приведено в табл. 2.6.4.

2.6.6. Обозначения контактов квадратурных преобразователей частоты в документации

В табл. 2.6.5 обозначение *«xx»* говорит о том, что таких контактов может быть много и они нумеруются. На месте *«xx»* пишется номер контакта, если он есть. Обозначение *«zz»* говорит о том, что эти контакты могут иметь различное буквенное обозначение (например: *«A»*, *«B»*, *«C»* и так далее).

Таблица 2.6.4

Наименование	№ контакта (паралл.)	№ контакта (послед.)	Тип контакта	Описание назначения
D[7:0]	80,1,2,3,5,6,7,9	80,1,2,3,5,6,7,9	Ввод/вывод	Контакты для соединения с шиной данных внешнего управляющего микропроцессора
VSS	4,13,24,33, 44,64,73	4,13,24,33, 44,64,73	Ввод	«Земля»
VDD	8,28,37,48, 57,68,77	8,28,37,48, 57,68,77	Ввод	Питание преобразователя (3.3 В)
$\overline{DS}$	10	10	Ввод	Сигнал Data Strobe
$\overline{DTACK}$	11	11	Вывод	Сигнал подтверждения приёма данных
R/W	12	12	Ввод	Сигнал для определения направления передачи данных
MODE	14	14	Ввод	Выбор режима работы порта
A[2:0]	15,16,17	15,16,17	Ввод/вывод	Контакты для соединения с адресной шиной внешнего управляющего микропроцессора
$\overline{CS}$	18	18	Ввод	Сигнал Chip Select
EXP[2:0]	21,20,19	21,20,19	Ввод	Линии для приема оцифрованного входного сигнала (экспоненциальный множитель, использование не обязательно)
IN15(MSB)	22	22	Ввод	Линии для приема оцифрованного входного сигнала (мантисса)
IN[14:1]	23,25,26,27,29, 30,31,32,34,35, 36,38,39,40	23,25,26,27,29, 30,31,32,34,35, 36,38,39,40	Ввод	
IN0(LSB)	41	41	Ввод	
A/B	42	42	Ввод	Выбор канала
CLK	43	43	Ввод	Тактовый сигнал для преобразователя
SYNC_RCF	45	45	Ввод/вывод	Сигнал синхронизации для RCF
SYNC_CIC	46	46	Ввод/вывод	Сигнал синхронизации для CIC
SYNC_NCO	47	47	Ввод/вывод	Сигнал синхронизации для комплексного гетеродина
TDI	49	49	Ввод	Контакты интерфейса JTAG
TDO	50	50	Вывод	Контакты интерфейса JTAG
TMS	51	51	Ввод	Контакты интерфейса JTAG
TCK	52	52	Ввод	Контакты интерфейса JTAG
$\overline{TRST}$	53	53	Ввод	Контакты интерфейса JTAG
$\overline{RESET}$	54	54	Ввод	Сигнал сброса ИМС
PAR/SER	55	55	Ввод	Сигнал выбора режима управления ИМС: параллельный или последовательный
DV_{OUT}	56	56	Вывод	Сигнал подтверждения правильности принятых данных (в режиме параллельного порта)

Продолжение табл. 2.6.4

Наименование	№ контакта (паралл.)	№ контакта (послед.)	Тип контакта	Описание назначения
I/Q_{OUT}	58	58	Вывод	Сигнал, сообщающий о том, какому из квадратурных компонентов принадлежит текущий отсчет
A/B_{OUT}	59	59	Вывод	Сигнал, сообщающий о том, из какого канала поступил текущий отсчет
OUT0(LSB)	60	–	Вывод	Контакты для вывода данных через параллельный порт
OUT[14:1]	78,76,75,74,72, 71,70,69,67,66, 65,63,62,61	–	Вывод	
OUT15(MSB)	79	–	Вывод	
SCLK	–	79	Ввод/вывод	Тактовый сигнал для последовательного интерфейса обмена данными
SDI	–	78	Ввод	Линия для приёма данных через последовательный интерфейс
SDO	–	76	Вывод	Линия для передачи данных через последовательный интерфейс
SDFS	–	75	Ввод/вывод	Сигнал синхронизации обмена данными через последовательный интерфейс
SBM	–	72	Ввод	Сигнал, указывающий на то, какая из ИМС является ведущей, а какая – ведомой при обмене данными через последовательный интерфейс
WL[1:0]	–	71,70	Ввод	Указатель длины слова при обмене данными через последовательный интерфейс
AD	–	69	Ввод	Сигнал Append Data
NC	–	67,66,65	–	Do Not Connect. Этот контакт не следует ни к чему присоединять
SDIV[3:0]	–	63,62,61,60	Ввод	Контакты выбора коэффициента деления тактовой частоты SCLK

Таблица 2.6.5

Обозначение контакта	Функция
Axx	Контакты для соединения с адресной шиной внешнего управляющего микропроцессора
DATAxx,Dxx	Контакты для соединения с шиной данных внешнего управляющего микропроцессора
EXPxx	Линии для приёма оцифрованного входного сигнала (экспоненциальный множитель, использование не обязательно)
zzINxx	Линии для приёма оцифрованного входного сигнала (мантисса)
zzOUTxx	Контакты для вывода данных через параллельный порт
WLxx	Указатель длины слова (Word Length) при обмене данными через последовательный интерфейс
RNDxx	Контакты выбора кол-ва бит в слове
SDIVxx	Контакты выбора коэффициента деления тактовой частоты SCLK
$\overline{OE}$zz	Управление переводом линий канала *zz* в третье состояние
A/B	Выбор канала
AD	Сигнал Append Data
CLK	Тактовый сигнал для преобразователя
CDATA	Линия для ввода управляющих данных
CCLK	Тактовый сигнал для ввода управляющих данных
CSTB	Индикатор начала передачи очередного управляющего слова данных
$\overline{CS}$	Сигнал Chip Select
$\overline{DS}$	Сигнал Data Strobe
$\overline{DTACK}$	Сигнал подтверждения приёма данных
$\overline{FMT}$	Сигнал управления выбором формата выходных данных
I	Выводы квадратурных составляющих
Q	Выводы квадратурных составляющих
IQCLK	Тактовый сигнал для выводов квадратурных составляющих
IQSTROBE	Индикатор начала/окончания передачи очередного слова по каналам I/Q
$\overline{IQSTRT}$	Сигнал, инициирующий передачу данных через каналы I/Q
MODExx	Выбор режима работы порта
PAR/SER	Сигнал выбора режима управления ИМС: параллельный или последовательный
R/$\overline{W}$	Сигнал для определения направления передачи данных
$\overline{RESET}$	Сигнал сброса ИМС
SBM	Сигнал, указывающий на то, какая из ИМС является ведущей, а какая – ведомой при обмене данными через последовательный интерфейс
SCLK	Тактовый сигнал для последовательного интерфейса обмена данными
SDFS	Сигнал синхронизации обмена данными через последовательный интерфейс
SDI	Линия для приёма данных через последовательный интерфейс
SDO	Линия для передачи данных через последовательный интерфейс
SYNC_CIC	Сигнал синхронизации для CIC
SYNC_NCO	Сигнал синхронизации для комплексного гетеродина
SYNC_RCF	Сигнал синхронизации для RCF
TDI	Контакты интерфейса JTAG
TDO	Контакты интерфейса JTAG
TMS	Контакты интерфейса JTAG
TCK	Контакты интерфейса JTAG
$\overline{TRST}$	Контакты интерфейса JTAG
VSS	«Земля»
VDD	Питание преобразователя (3.3 В)
DVOUT	Сигнал подтверждения правильности принятых данных (в режиме параллельного порта)
I/QOUT	Сигнал, сообщающий о том, какому из квадратурных компонентов принадлежит текущий отсчёт
A/BOUT	Сигнал, сообщающий о том, из какого канала поступил текущий отсчёт
NC	Do Not Connect. Этот контакт не следует ни к чему присоединять

2.7. МИКРОСХЕМЫ КОДЕКОВ

2.7.1. Терминология и характеристики кодеков

Цифровое кодирование широко применяются в тех областях микроэлектроники, где важна передача информации без искажений. Примером таких областей являются системы мобильной связи, магистральные высокоскоростные линии передачи данных, защита информации от несанкционированного доступа и т.д.

Кодеком называется устройство, содержащее кодер и декодер. Применяется для повышения помехоустойчивости каналов передачи данных и для более эффективного использования каналов с ограниченной пропускной способностью.

Кодер — это устройство для осуществления *цифрового кодирования*, применяющегося на заключительном этапе перехода от аналогового сигнала к цифровому. При кодировании дискретные квантованные значения сигнала заменяются набором символов, как правило, двоичных, хотя существуют кодеры, работающие в других кодах. Информацию о том, какой символ передается, несет наличие или отсутствие сигнала. Такой процесс перехода от аналогового сигнала к цифровому называется *импульсно-кодовой модуляцией (ИКМ)* и наиболее часто используется в современной технике цифровой связи в силу своей высокой помехоустойчивости.

Декодер — это устройство для *декодирования* сигнала, т.е. для построения дискретного сигнала по заданному цифровому.

ИКМ кодеками (PCM codec) называют кодеки, использующие ИКМ и не использующие никаких корректирующих кодов. Они являются наиболее распространенным типом кодеков и чаще всего применяются для кодирования/декодирования аудиопотока, в частности человеческой речи.

Корректирующие коды (FEC — Forward Error Correction) являются одним из мощных средств борьбы с ошибками. Процесс *помехоустойчивого* (или *избыточного*) кодирования состоит в том, что наборы из k информационных символов кодируются последовательностями, состоящими из n символов, причем $n > k$. Наличие избыточных (или *проверочных*) символов позволяет отслеживать появление ошибок и при обнаружении исправлять их. Чем меньше доля используемых кодовых комбинаций от общего числа возможных (т.е. чем больше разница между n и k), тем больше избыточность и корректирующая способность кода.

Введение избыточности при кодировании требует расширения полосы пропускаемых частот (при условии сохранения скорости передачи информации), поэтому при разработке цифровой аппаратуры связи с применением корректирующего кода обычно стоит задача найти компромисс между помехоустойчивостью и скоростью передачи.

Разработано множество различных кодов, однако на практике применя-

ется относительно небольшая группа алгебраических помехоустойчивых кодов: коды Боуза-Чоудхури-Хоквингема (БЧХ), коды Рида-Соломона (PC) и сверточные коды. Наиболее широко применяются БЧХ циклические коды с обнаружением ошибок в стандартных протоколах HDLC, X.25/2(LAP-B, LAP-M), протоколах SLIP, PPP. Коды PC с исправлением ошибок находят применение в каналах радиосвязи. В каналах спутниковой связи, характеризующихся независимым характером ошибок, широко применяются сверточные коды.

Корректирующие коды очень редко применяются в ИМС кодеках. Это связано с тем, что в приемной аппаратуре, использующей канал с помехоустойчивым кодированием, нет необходимости применять кодер и вместо кодека обычно используют только декодер. Однако в приемо-передающей аппаратуре более целесообразным является разработка системы на одном кристалле, включающей кодер и декодер, чем реализация кодека на отдельной БИС.

2.7.1.1. Параметры кодеков

A- и *μ-законы* — алгоритмы компрессии/декомпрессии звуковых сигналов, предложенные в рекомендации CCITT G.711. Кодирование по закону μ широко используется в США и Японии, а кодирование по закону *A* — в Европе. Оба эти алгоритма преобразуют отсчеты исходной последовательности сигнала в формате ИКМ в байтовые отсчеты. Каждый отсчет исходной последовательности преобразуется в один байт.

Адаптивная дифференциальная ИКМ (АДИКМ) — в *ADPCM* (*Adaptive Delta PCM*). Разновидность ИКМ, когда отсчеты представляются не в абсолютной форме, а в виде относительных изменений амплитуды. Это позволяет сократить разрядность отсчета, однако не позволяет точно представить сигналы с быстро меняющейся амплитудой.

Кодовое расстояние — понятие, используемое для оценки обнаруживающей и исправляющей способности кода. Обозначается как d_{min} и является наименьшим из *расстояний Хэмминга* для любых двух кодовых последовательностей. *Расстоянием Хэмминга* называется *число позиций, в которых две последовательности отличаются друг от друга.* В случае двоичных последовательностей для определения расстояния Хэмминга используется посимвольное сложение по модулю 2. При декодировании ошибка обнаруживается, если количество ошибочных символов на длине блока не превышает $d_{min} - 1$. Ошибка также будет исправлена при $t \leq [(d_{min} - 1)/2]$, где квадратные скобки означают целую часть числа, а t — позицию ошибочного символа на временной оси по отношению к началу блока.

Относительная скорость кода — параметр, вводимый для оценки избыточности кода. Вычисляется по формуле $R = k/n$.

Энергетический выигрыш кода (ЭВК) — параметр, применяемый для сравнения разных кодов. Для оценки эффективности помехоустойчивого кодирования сравнивают отношение $E_б/N_0$ (энергии, приходящейся на один бит,

к спектральной плотности мощности шума) в системе с кодированием и в базовой системе без кодирования, а затем определяют разницу в значениях $E_б/N_0$ при заданной вероятности ошибки. Эта разница измеряется в децибелах и называется ЭВК.

2.7.1.2. Основные узлы кодеков

Буферный регистр — ОЗУ, предназначенное для промежуточного хранения данных и работающее по принципу FIFO (*First In First Out*, т.е. «первый вошел — первый вышел»).

Полный декодер — это такой декодер, который декодирует каждую принятую последовательность в ближайшее к ней по расстоянию Хэмминга (см. *кодовое расстояние*) кодовое слово, выбирая то слово, условная вероятность передачи которого максимальна. Полный декодер также называют *декодером максимального правдоподобия* и применяют в случаях, когда лучше угадывать сообщение, чем не иметь вообще никакой оценки.

Неполный декодер — это такой декодер, который декодирует только те принятые последовательности, которые содержат число ошибок, меньшее или равное допустимому. Остальные принятые слова, содержащие более допустимого числа ошибок, декодер объявляет нераспознаваемыми. Такие конфигурации ошибок при неполном декодировании называются неисправляемыми. Большинство используемых декодеров являются неполными декодерами.

Компаратор — устройство, осуществляющее сравнение двух сигналов, поступающих на его входы. Один из сигналов называется пороговым. Состояние выхода компаратора изменяется при переходе входным напряжением порогового значения.

Управляющее устройство (УУ) работает на тактовой частоте кодека и осуществляет все внутренние обменные операции. Обычно тактовая частота кратна скорости передачи сигнала. В состав УУ можно также включить блок мгновенной перестройки алгоритма сигнального процессора в соответствии с прототипом соединения. Эти дополнительные возможности позволяют сделать кодек более универсальным.

Установочный вход — вход УУ, предназначенный для долговременной настройки сигнального процессора на различные алгоритмы работы.

Цифро-аналоговый преобразователь — основной блок, определяющий качество преобразования сигнала. При реализации кодека в виде БИС технологическая подстройка эталонов ЦАП невозможна, поэтому точность изготовления ЦАП во многом определяет основные параметры интегрального кодека.

Сигнальный процессор предназначен для двух различных задач обработки сигнала. В подавляющем большинстве случаев в кодеках используется только один СП, осуществляющий обработку сигнала как в кодере, так и в декодере. Основной задачей СП является обеспечение кодирования и

декодирования сигнала заданным способом. Другая задача СП связана с повышением технологичности изготовления интегрального ЦАП. Данные о погрешностях реализации ЦАП могут быть занесены в программируемую память УУ и использованы для уточнения кода сигнала путем вычислений с помощью СП. В таком случае можно ослабить требования к точности изготовления ЦАП, исправляя погрешности производства с помощью СП и УУ.

Фильтр приемный/передающий — приемный фильтр производит обработку сигнала с декодера, а передающий — обрабатывает аналоговый сигнал перед поступлением его в кодер. Однако в общем случае присутствие этих фильтров в БИС не обязательно и в базовую структурную схему кодека они не включены. Эти фильтры являются аналоговыми и порой бывают слишком громоздки для включения в схему. В случае если фильтры все же входят в состав БИС, такое устройство называют *кофидек*.

2.7.2. Классификация помехоустойчивых кодов

Помехоустойчивые коды можно разбить на две большие группы: *линейные* и *нелинейные*.

Линейные коды образуют векторное пространство и обладают следующим важным свойством: два кодовых слова можно сложить, используя подходящее определение суммы, и получить третье кодовое слово. Это свойство приводит к двум важным следствиям:

- упрощаются процедуры кодирования и декодирования, позволяя выразить каждое кодовое слово в виде «линейной» комбинации небольшого числа выделенных кодовых слов, так называемых базисных векторов;
- упрощается задача вычисления параметров кода, поскольку расстояние между двумя кодовыми словами при этом эквивалентно расстоянию между кодовым словом, состоящим целиком из нулей, и некоторым другим кодовым словом. Поэтому при вычислении параметров линейного кода достаточно рассмотреть, что происходит при передаче кодового слова, состоящего целиком из нулей. Вычисление параметров упрощается еще и потому, что расстояние Хэмминга между данным кодовым словом и нулевым кодовым словом равно числу ненулевых элементов данного кодового слова.

Нелинейные коды отличаются от линейных незамкнутостью кодового множества относительно некоторого линейного оператора, например сложения или умножения слов кода, что усложняет их построение и реализацию по сравнению с линейными кодами, но позволяет получить более высокие характеристики помехоустойчивости.

При большой длине кодовых последовательностей применяются линейные коды, а при относительно коротких кодах нелинейные коды предпочти-

тельнее, поскольку сложность их построения и реализации примерно такая же, как у коротких линейных кодов, а характеристики лучше.

2.7.2.1. Линейные коды

Все применяемые линейные коды делятся на две категории (рис. 2.7.1):

- *блоковые коды* (при их применении кодирование и декодирование производятся в пределах определенного участка кодовой последовательности — блока). В свою очередь, блоковые коды делятся на *циклические* и *нециклические*. Основное свойство циклических кодов состоит в том, что если кодовая комбинация $v = (v_0, v_1, ..., v_{n-1})$ принадлежит коду *V*, то ее циклический сдвиг на произвольное число символов также является разрешенным кодовым словом;
- *древовидные коды* (в них обработка символов производится непрерывно, без разделения на блоки). Также их называют *непрерывными*.

Рассмотрим наиболее часто применяемые линейные коды.

Один из наиболее широко применяемых корректирующих кодов — *код Рида-Соломона*. Коды Рида-Соломона — это подкласс линейных недвоичных блоковых циклических кодов размерности $q = 2^m$ (где *m* — целое), обеспечивающих минимальное расстояние между словами при заданной длине блока, равное теоретическому пределу. Коды Рида-Соломона используют

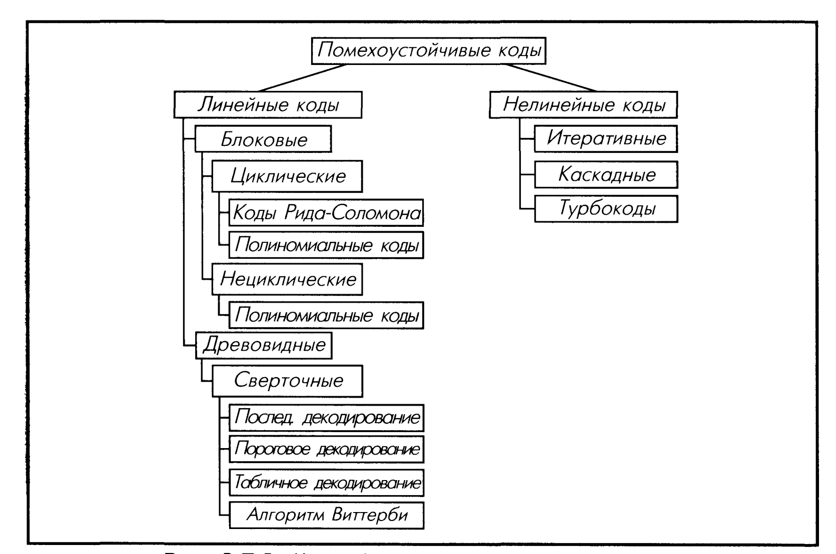


Рис. 2.7.1. Классификация помехоустойчивых кодов

для исправления пакетных ошибок, а также в каскадных системах кодирования в качестве внешних кодов.

Способность кода Рида-Соломона корректировать несколько ошибок обусловлена тем, что к исходным данным добавляется несколько избыточных символов и принятое кодовое слово делится не на один, а на несколько многочленов, давая соответствующее число синдромов. Пусть, например, добавлены два символа. Тогда одновременное решение двух получившихся уравнений дает значения двух неизвестных, одна из которых определяет положение ошибочного символа в кодовом слове и называется *локатором*, а другая дает структуру ошибки и именуется *корректором*. Для восьмибитовых (однобайтных) символов полная длина кодового слова должна составлять $2^8 - 1 = 255$ символов, из них 239 — информационных и 16 — проверочных. Для уменьшения объема расчетов и других целей код можно укоротить, заменив часть кодовых слов нулевыми кодовыми комбинациями на передаче и исключая соответствующие символы на приеме.

В классе блоковых кодов можно выделить большой класс *полиномиальных кодов*. Эти коды обладают некоторыми важными преимуществами: аппаратная реализация кодеков для таких кодов относительно проста, причем для декодирования существует несколько алгоритмов; это семейство содержит много кодов, кодовое расстояние которых близко к наилучшему. Полиномиальные коды могут быть как *циклическими*, так и *нециклическими*.

Кодовую комбинацию принято представлять в виде многочлена по степеням формальной переменной x, коэффициенты которого — символы кодового слова v: $v(x) = v_0 + v_1x + ... + v_{n-1}x^{n-1}$. Сложение многочленов производится поэлементно, и коэффициенты складываются по модулю 2, а при умножении многочлен x^n заменяется единицей. Следует заметить, что вышеупомянутая циклическая перестановка является результатом простейшего умножения данного многочлена на x.

Многочлен $g(x)$ степени $n - k$, на который делится без остатка двучлен $1 + x^n$, называется *порождающим многочленом*. Свойство делимости кодовых слов циклического кода на порождающий многочлен используют для обнаружения ошибок в принимаемых словах. Если $z(x) = v(x) + e(x)$ — принятое слово, содержащее многочлен ошибки $e(x) = e_0 + e_1x + ... + e_{n-1}x^{n-1}$, то в результате деления $e(x)$ на $g(x)$ получится остаток $s(x)$, который называется *синдромом*. Он имеет степень не выше $(n - k - 1)$ и в отсутствие ошибок равен 0.

Наиболее важный и применяемый подкласс непрерывных кодов образуют *сверточные* коды, отличающиеся от других непрерывных кодов методом построения и более широкой областью применения. Процесс кодирования таким кодом можно представить как специальную линейную операцию — свертку входной последовательности с импульсным откликом кодера. Сверточные коды при вычислении выходного символа учитывают текущий входной символ и несколько предшествующих. Общее число учитываемых символов K называется *кодовым ограничением*. Сверточные коды применяют при низком соотношении сигнал/шум, когда

исправляющей способности блоковых кодов при разумной длине блока оказывается недостаточно.

В отличие от блоковых кодов, для многих из которых удается найти эффективные алгебраические методы конструирования и декодирования, большинство используемых сверточных кодов были найдены компьютерным моделированием значительного числа вариантов и выбором из них «хороших» кодов. По характеру использования информации, поступающей на вход декодера, алгоритмы декодирования сверточных кодов делятся на следующие группы:

- *последовательное декодирование*. Информация, полученная в процессе декодирования, используется для оптимизации поиска наиболее правдоподобных продолжений пути. Алгоритм чувствителен к пакетным искажениям символов в канале и широкого распространения не получил;
- *пороговое декодирование*. В декодере имеется аналог кодера, в котором по принятым символам формируется копия проверочной последовательности. В формирователе синдрома образуется последовательность синдромов. Анализируя ненулевые синдромы, корректор исправляет ошибку в информационном символе;
- *табличное декодирование*. Декодирование производится на основе таблицы, которая ставит в соответствие каждой недопустимой последовательности ближайшую к ней допустимую;
- *алгоритм Виттерби*. Обычно в декодере производится *жесткое* решение о принятых сигналах, при котором выбирается кодовое слово, характеризующееся тем, что количество символов, в которых оно отличается от принятого слова, меньше, чем у других кодовых слов, входящих в словарь. Данный же алгоритм предполагает *мягкое* решение, содержащее информацию о надежности оценок. Декодирование состоит в прослеживании пути с максимальной апостериорной вероятностью. На каждом шаге вычисляются метрики декодированного пути, пропорциональные расстоянию между принятым сигналом и сигналом, соответствующим данной ветви кодера. В результате сравнения выбирают меньшую метрику и считают ее метрикой данного состояния для следующего шага. Глубина прослеживания в 5-6 раз превышает длину кодового ограничения. Окончательное решение выносится на основе сравнения метрик «выживших» путей. Согласно статистике, при реальных соотношениях сигнал/шум выигрыш от применения мягкого решения достигает почти 2 дБ (для восьмиуровневого квантования).

2.7.2.2. Нелинейные коды

Различные коды обладают разными корректирующими способностями. Для получения более совершенных кодов можно использовать комбинации двух и более кодов. Одними из таких классов кодов являются *итеративные* (или *ите-*

рированные) *коды.* Они получаются путем расположения информационных символов в виде таблицы (рис. 2.7.2).

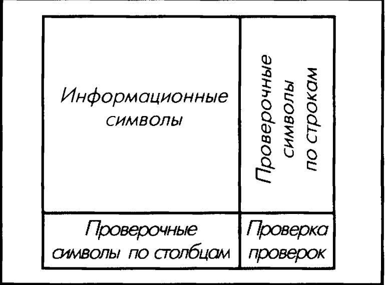


Рис. 2.7.2. Расположение символов итеративного кода

Каждая строка этой таблицы кодируется каким-либо кодом, а затем кодируется каждый столбец, причем необязательно тем же самым кодом. Символы, расположенные в правом нижнем углу таблицы, получаются в результате проверки проверочных символов. Они могут быть построены на основе проверки по строкам, и тогда будут удовлетворять проверке по столбцам, и наоборот. Минимальное кодовое расстояние итеративного кода равно произведению кодовых расстояний итерируемых кодов. Такие коды часто используются в низкоскоростных системах передачи дискретных сообщений.

Для повышения эффективности кодирования в современной технике связи широко применяют *каскадные* коды — последовательное кодирование символов двумя различными кодами (рис. 2.7.3). Коды называются *внутренними* и *внешними* в зависимости от того, какое положение по отношению к каналу передачи они занимают. Внешний код — обычно код Рида-Соломона; в качестве внутреннего могут использоваться различные коды — сверточные, короткие блоковые и др. Для сравнения в табл. 2.7.1 приведен результирующий выигрыш кодирования при двух значениях вероятности ошибки. Здесь под ЭВК (энергетический выигрыш кода) понимают параметр, принимаемый для сравнения разных кодов.

В середине 90-х годов был предложен новый класс кодов — так называемые *турбокоды,* которые еще на 1.5–2.5 дБ приблизились к теоретиче-

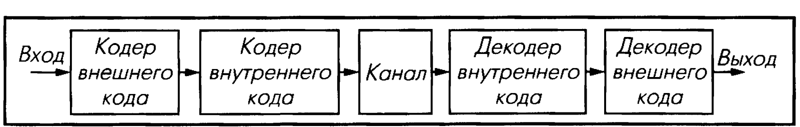


Рис. 2.7.3. Структурная схема организации каскадного (последовательного) кодирования

Таблица 2.7.1

Вариант кодирования/декодирования	ЭВК (дБ)	
	10^{-5}	10^{-8}
Рида-Соломона + Виттерби (каскадное кодирование)	6.5...7.5	8.5...9.5
Рида-Соломона + короткий блоковый (каскадное кодирование)	4.5 ..5.5	6.5...7.5
Виттерби	4...5,5	5...6.5
Блоковый код (жесткое решение)	3...4	4 5...5.5
Сверточный код (пороговое декодирование)	1.5...3	2.5...4.0

скому порогу и обеспечили декодирование при расчетных значениях ЭВК 0.3...0.7 дБ над порогом. Основная идея турбокода — кодирование исходной символьной последовательности не одним, а несколькими кодерами, однако соединенными не последовательно, как в каскадном кодировании, а *параллельно*. При таком соединении становится возможным устранить одну из причин более низкой эффективности каскадного кода — кодирование внутренним кодером как информационных, так и проверочных битов внешнего кодера. Параллельное кодирование исключает ситуацию, когда второй код применяется не только к информационным, но и к проверочным символам, сформированным первым кодированием. Это позволяет повысить исправляющую способность кодирования.

Изучение турбокодов показало, что их пороговые характеристики выше, чем у сверточных и каскадных, но только в области относительно невысокого ЭВК (до вероятности ошибки не ниже 10^{-5}). Поэтому наиболее перспективным применением турбокода считается использование его в качестве внутреннего кода для каскадного кодирования.

2.7.3. Принципы построения и структурные схемы кодеков

Типовая структурная схема кодека, реализованного в виде БИС, показана на рис. 2.7.4. В такой схеме все алгоритмы кодирования/декодирования реализуются во входящем в состав БИС сигнальном процессоре.

Рассмотрим функционирование кодирующей части этого устройства. Отфильтрованный аналоговый сигнал поступает на вход блока аналоговой обработки. В простейшем случае этот блок осуществляет функции вы-

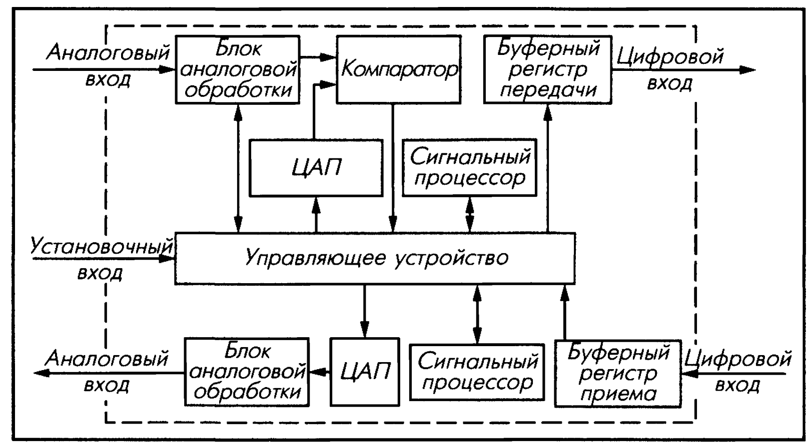


Рис. 2.7.4. Базовая структурная схема БИС кодека

борки, запоминания, усиления и нормирования сигнала. Однако могут быть использованы и другие, более сложные, алгоритмы. Далее сигнал поступает на управляющее устройство и компаратор, где с помощью ЦАП и УУ подбираются единичные эталонные напряжения, с заданной точностью совпадающие с входным сигналом. Здесь же производится определение кода этого сигнала. УУ передает этот код в сигнальный процессор для цифровой обработки сигнала, после чего обработанный сигнал возвращается в УУ, а оттуда поступает в буферный регистр передачи, осуществляющий передачу данных в заданном цифровом формате через цифровой выход.

Рассмотрим функционирование декодера, входящего в кодек.

Сигнал с цифрового входа поступает в буферный регистр приема, а затем через УУ — в сигнальный процессор. Процессор производит цифровую обработку сигнала по заданному алгоритму и возвращает в УУ последовательность импульсов, поступающую оттуда на вход ЦАП. ЦАП выполняет цифро-аналоговое преобразование этого сигнала, и аналоговый сигнал поступает в блок аналоговой обработки. После этого сигнал передается на аналоговый выход, где он может быть воспринят внешним устройством (чаще всего — приемным фильтром, если он не входит в состав БИС).

Рассмотрим особенности выполнения турбокодера. Его типовая структурная схема содержит несколько параллельных ветвей, состоящих из каскадно соединенных перемежителя и кодера. В качестве последнего могут использоваться блоковые кодеры Хэмминга, Рида-Соломона, сверточные кодеры, построенные по схеме *рекурсивного* (имеющего обратную связь с выхода на вход) систематического кодера. Рекурсивный сверточный кодер приобретает важное свойство, необходимое для турбокодирования: он становится систематическим, так как входная последовательность напрямую проходит на один из выходов. Если теперь в распределительном устройстве на входе добавлять к каждой входной последовательности из k битов хвостовую часть из $(n-k)$ битов, переводящую кодер в исходное нулевое состояние, его можно рассматривать как блоковый кодер с длиной блока n.

Функция перемежителя, работающего по псевдослучайному закону, — обеспечить рандомизацию (случайный выбор) входной последовательности для каждого кодера, что повышает корректирующую способность.

В практических схемах турбокодеров обычно используются два кодера и один перемежитель. Рассмотрим случай, когда за основу берется простейший сверточный кодер с R = 1/2 и K = 3 (рис. 2.7.5). Результирующая относительная скорость кода R = 1/3 (на каждый информационный бит приходится по одному проверочному от каждого из кодеров).

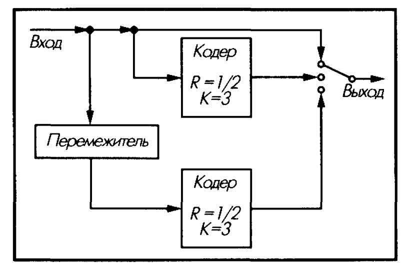


Рис. 2.7.5. Пример схемы турбокодера

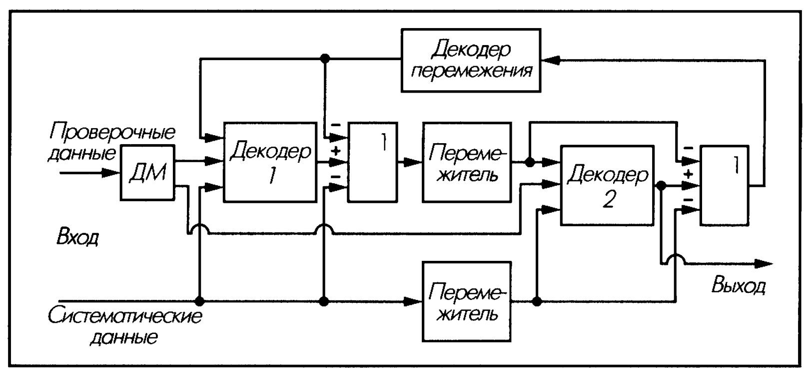


Рис. 2.7.6. Пример схемы турбодекодера

Она может быть увеличена за счет «перфорирования» некоторых проверочных битов с выходов обоих кодеров, но это повлечет за собой снижение корректирующей способности.

Описанному турбокодеру соответствует декодер, схема которого приведена на рис. 2.7.6. Исходная информационная последовательность и первая проверочная последовательность с выхода демультиплексора (ДМ) поступают на вход первого декодера. На его выходе формируется *мягкое* решение о принятой последовательности, и оно вместе с проверочными битами второго кодера поступает на вход второго декодера. Ключевой особенностью турбокодирования является итеративное повторение циклов декодирования в замкнутой петле, при котором результат каждой итерации совместно с проверочными битами служит исходным сигналом для следующей.

2.7.4. Перечень основных фирм, выпускающих кодеки

В табл. 2.7.2 приведен список основных фирм — производителей производителей кодеков, присутствующих на рынке электронных компонентов.

2.7.5. Примеры современных кодеров, декодеров и кодеков

2.7.5.1. ИКМ кодеки

Таблица 2.7.3

2.7.5.2. Кодеры и декодеры корректирующих кодов

Таблица 2.7.4

Таблица 2.7.2

Производитель	Характеристика
Texas Instruments» (www.ti.com)	Мировой лидер в технологиях аналоговой и цифровой обработки сигналов, производитель чрезвычайно широкого ассортимента цифровых БИС и СБИС
ST Microelectronics (www.st.com)	Один из гигантов полупроводниковой промышленности, лидирующий в области заказных решений, в т.ч. для систем беспроводной связи.
National Semiconductors (www.national.com)	Лидирует в области аналоговых устройств, выпускает высокопроизводительные ИМС для систем связи. Основные направления: беспроводная связь, автоматизированный контроль и измерительная аппаратура.
Motorola (www.motorola.com)	Одна из старейших компаний в полупроводниковой промышленности, специализирующаяся на производстве продуктов для систем беспроводной связи, а также разнообразных моделей микроконтроллеров и микропроцессоров. В текущий момент большая часть производственных мощностей компании в области ИМС выделена в дочернее предприятие Freescale Semiconductor, Inc.
Winbond (www.winbond.com)	Тайваньская компания, специализирующаяся на разработке и производстве БИС, применяемых в беспроводной связи, мультимедиа и хранении информации, в т.ч. для систем с низким энергопотреблением.
CML Microcircuits (www.cmlmicro.com)	Английская фирма, производящая специализированные ИМС для цифровых систем связи и телефонии.
Zilog (www.zilog.com)	Компания производит МК, МП, кодеки, DSP и другие ИМС, базирующиеся на популярных 8- и 16-битных архитектурах Z8, Z80 и eZ80.

2.7.6. Пример цоколевки ИКМ кодека

Рассмотрим цоколевку ИКМ кодека на примере ETC5064N. Эта микросхема поставляется в корпусе PLCC20. Производитель, фирма ST Microelectronics приводит в своей технической документации цоколевку этого ИКМ кодека, как показано на рис. 2.7.7.

Соответствие номеров контактов и назначений выводов для этой ИМС приведено в табл. 2.7.5.

2.7.7. Обозначения контактов ИКМ кодеков в документации

В табл. 2.7.6 обозначение *«XX»* говорит о том, что таких контактов много и они нумеруются. На месте *«XX»* пишется номер контакта или его буквенное обозначение.

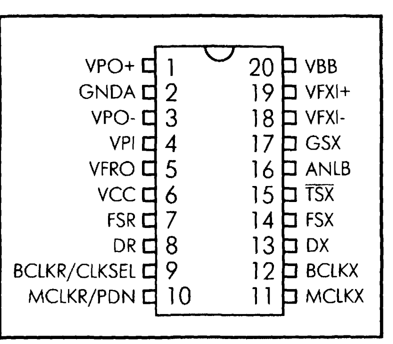


Рис. 2.7.7. Цоколевка ETC5064N

Таблица 2.7.3

Наименование	Режимы работы	Полоса пропускания	Тактовая частота, кГц	Скорость передачи сигнала, кБ/сек	Фильтры	Модуляция	Рабочее напряжение, $V_п$, В	Корпус	Производитель
MC145484	А-закон, 8 бит μ-закон, 8 бит	200 Гц –3.4 кГц	256/512/1536/ 1544/2048/ 2560/4096	64	Приемный передающий	ИКМ	4.5-5 5	SOG20 SSOP20	Motorola
MC14LC 5540	А-закон, 8 бит μ-закон, 8 бит	200 Гц –3 4 кГц	20480-24320 (÷256)	64/32/ 24/16	Приемный передающий	АДИКМ	2 7-5 25	PDIP28, SOG28 TQFP32	Motorola
TLV320 AIC1110	А-закон, 8 бит μ-закон, 8 бит линейный, 15 бит	100 Гц –4 кГц	128/2048	н/д	Приемный передающий	ИКМ	2 7-3.3	TQFP32 BGA32	Texas Instruments
TLV320 AIC1106	μ-закон, 8 бит линейный, 13 бит	300 Гц –3.4 кГц	2048	н/д	Приемный Передающий	ИКМ	2 7-3 3	TSSOP20	Texas Instruments
ETC5054	μ-закон, 8 бит	200 Гц – 3.4 кГц	1536/1544/ 2048	н/д	Приемный передающий	ИКМ	4.75-5 25	DIP16, SO16 PLCC20	ST Microelectronics
STw5094	А-закон, 8 бит μ-закон, 8 бит линейный, 14 бит	60 Гц –8 кГц	512/1536/ 2048/2560	8/16	Приемный передающий	ИКМ	2.7-3 3	TFBGA36	ST Microelectronics
TP3054	μ-закон, 8 бит	200 Гц – 3.4 кГц	1536/1544/ 2048	н/д	Приемный передающий	ИКМ	4.75-5.25	DIP16, SO16 PLCC20	National Semiconductor
TP3094	А-закон, 8 бит μ-закон, 8 бит А-закон, 32 бит μ-закон, 32 бит	200 Гц – 3 4 кГц	1536/1544/ 2048/4096/ 8192	8	Приемный передающий	ИКМ	4 75-5 25	PLCC44	National Semiconductor
W681360	линейный, 13 бит	200 Гц – 3.4 кГц	256/512/1536/1544/ 2048/2560/4096/4800	8	Приемный передающий	ИКМ	2.7-5 25	SOG20, SSOP20 TSSOP20	Winbond
W681512	А-закон, 8 бит μ-закон, 8 бит	200 Гц – 3 4 кГц	256/512/1536/1544/ 2048/2560/4096	8	Приемный передающий	ИКМ	4 5-5 5	SOG20, SSOP20 TSSOP20	Winbond
Z87010	μ-закон, 8 бит	н/д	16384	32	Н/д	АДИКМ	4.5-5.5	PLCC44, QFP44	Zilog
Z87L10	А-закон, 8 бит	н/д	16384	32	Н/д	АДИКМ	3 0-3 6	QFP44	Zilog

Таблица 2.7.4

Наименование	Тип ИМС	Код	Назначение	Разрядность АЛУ сигнального процессора	Архитектура сигнального процессора	ОЗУ +память для хранения программ	Буферные регистры	Рабочее напряжение, В	Тип корпуса	Производитель
W9960CF	Кодек	БЧХ	Цифровое видео	16 бит	RISC	1K·8 бит + 4.5K·22 бит	32·16 бит	3.3	PQFP208	Winbond
SDD3	Декодер	PC, Витерби	Спутниковая связь	32 бит	RISC	1K·8 бит + 4K·8 бит	н/д	3.3	QFP100	Philips
SAA7207H	Декодер	PC	Цифровое ТВ	8 бит	н/д	н/д	н/д	5.0	QFP44	Philips

Таблица 2.7.5

Наименование	№ контакта	Тип контакта	Описание назначения
VPO+	1	Вывод	Неинвертирующий выход усилителя мощности
GNDA	2	Ввод	«Земля» для аналоговой части кодека
VPO–	3	Вывод	Инвертирующий выход усилителя мощности
VPI	4	Ввод	Инвертирующий вход усилителя мощности
VFRO	5	Вывод	Выход приемного фильтра
VCC	6	Ввод	Питание положительной полярности
FSR	7	Ввод	Сигнал Frame Sync Receive, сообщающий о начале приема кадра данных
DR	8	Ввод	Контакт для приема данных.
BCLKR/CLKSEL	9	Ввод	Тактовый сигнал для синхронизации приема битов данных. Альтернативное назначение этого контакта – выбор тактовой частоты, на которой работает кодек
MCLKR/PDN	10	Ввод	Тактовый сигнал, используемый кодеком. Альтернативное назначение – перевод кодека в режим сниженного энергопотребления
MCLKX	11	Вывод	Тактовый сигнал, генерируемый кодеком
BCLKX	12	Вывод	Тактовый сигнал для синхронизации передачи битов данных
DX	13	Вывод	Контакт для передачи данных
FSX	14	Вывод	Сигнал Frame Sync Transmit, сообщающий о начале передачи кадра данных
TSX	15	Вывод	Сигнал, говорящий о том, что в текущий момент кодек занят процессом кодирования. Контакт работает в режиме open-drain, т.е. поддерживает подсоединение к нему нескольких устройств. Если этот контакт не используется, то он должен быть заземлен
ANLB	16	Ввод	Контакт для контроля аналоговой обратной связи. Единица соответствует соединению входа передающего фильтра с VPO+, а ноль – с выходом передающего предусилителя
GSX	17	Вывод	Контакт, соединенный с аналоговым выходом усилителя передаваемого сигнала. Предназначен для контроля усиления извне
VFXI–	18	Ввод	Инвертирующий вход усилителя передаваемого сигнала
VFXI+	19	Ввод	Неинвертирующий вход усилителя передаваемого сигнала
VBB	20	Ввод	Питание отрицательной полярности

Таблица 2.7.6

Обозначение	Функция
GND, V_{SS}	«Земля»
VEXT	Контакт для присоединения внешнего питания
VDSP	Питание сигнального процессора
V_{DD}, VCCA	Питание аналоговой части кодека
V_{AG}, GNDA	«Земля» для аналоговой части кодека
V_{CC}	Питание положительной полярности
V_{BB}	Питание отрицательной полярности
C_{XX-}, C_{XX+}, CAP_{XX}	Контакты для подключения внешних емкостей
TG	Выход операционного усилителя. Также является входом для передающего полосового фильтра
TI–	Инвертирующий аналоговый вход операционного усилителя
TI+	Неинвертирующий аналоговый вход операционного усилителя
RO, VFRO	Выход приемного сглаживающего фильтра
AXO–	Инвертирующий выход вспомогательного усилителя мощности
AXO+	Неинвертирующий выход вспомогательного усилителя мощности
PI, VPI	Инвертирующий вход основного усилителя мощности
PO–,VPO–	Инвертирующий выход основного усилителя мощности
PO+,VPO+	Неинвертирующий выход основного усилителя мощности
FS	Сигнал Frame Sync, сообщающий о начале передачи или приема кадра данных
FSR	Сигнал Frame Sync Receive, сообщающий о начале приема кадра данных
FST,FSX	Сигнал Frame Sync Transmit, сообщающий о начале передачи кадра данных
BCLKT, BCLKX	Тактовый сигнал для синхронизации передачи битов данных
BCLKR	Тактовый сигнал для синхронизации приема битов данных
DT, DX	Контакт для передачи данных
DR	Контакт для приема данных
SPC	Тактовый сигнал сигнального процессора
$\overline{PDI}$,PDN	Сигнал для управления переходом кодека в режим «Power-Down» и обратно
$\overline{SCPEN}$	Контакт, предназначенный для включения управляющего последовательного порта (Serial Control Port – SCP). Это позволяет обмениваться данными с кодеком через SCP
SCPCLK	Тактовый сигнал для SCP
SCP Tx	Контакт для вывода данных кодеком через SCP
SCP Rx	Контакт для ввода данных в кодек через SCP
Mu/A	Контакт для выбора закона сжатия (м- или А-закон)
CLKSEL	Сигнал, предназначенный для выбора тактовой частоты, на которой работает кодек, из заданных заранее значений
MCLKX	Тактовый сигнал, генерируемый кодеком
MCLKR	Тактовый сигнал, получаемый от внешнего источника
GSX	Контакт, соединенный с аналоговым выходом усилителя передаваемого сигнала. Предназначен для контроля усиления извне
VFXI–	Инвертирующий вход усилителя передаваемого сигнала
VFXI+	Неинвертирующий вход усилителя передаваемого сигнала
$\overline{RESET}$	Сигнал сброса кодека
$\overline{TSX}$	Сигнал, говорящий о том, что в текущий момент кодек занят процессом кодирования
ANLB	Контакт для контроля аналоговой обратной связи
DNC, NC	Do Not Connect. Контакт не следует к чему-либо подключать
TP	Test Pin. Контакт используется для заводского тестирования

СПИСОК ЛИТЕРАТУРЫ

1. *Кондратьев И. Чтобы память была крепче // Computerworld. № 45, 1996.*
2. *Косолапов В. Динамическая память: новый виток конкуренции // Электроника: НТБ. № 4, 2000.*
3. *Микушин А.В. Цифровые устройства и микропроцессоры: курс лекций (http://www.sibsutis.ru/~mavr/content.htm).*
4. *Краткий обзор SSRAM // www.gaw.ru.*
5. *Баев Б.П. Микропроцессорные системы бытовой техники. Учебник для вузов. — 2-е изд., испр. и доп. — М.: Горячая линия – Телеком, 2005.*
6. *Микушин А.В. Цифровые устройства и микропроцессоры: курс лекций (http://www.sibsutis.ru/~mavr/content.htm).*
7. *Каршенбойм И. Контроллеры Fast Ethernet для встроенных применений // Компьютеры и технологии. № 10, 2000.*
8. *Юдинцев В. Возможности ПЛИС растут. Не упустите их! //Электроника: НТБ. № 3, 2002.*
9. *Майская В. Программируемые логические микросхемы // Электроника: НТБ. № 3, 2005.*
10. *Соловьёв В., Климович А. Введение в проектирование комбинационных схем на ПЛИС // ChipNews,№ 5,2003.*
11. *Матюшин О.Т. Архитектура и функционирование ПЛИС: Учебное пособие. — М.: Изд-во МЭИ, 2003.*
12. *www.plis.ru.*

Примеры ИМС ЦАП ведущих фирм-производителей

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
AD9779	Analog Devices	16	1 ГГц	3.13...3.47	2	300 мВт	Ток	Пар.	QFP
AD9786	Analog Devices	16	500 МГц	...	2	-	Ток	Пар.	QFP
AD9777	Analog Devices	16	400 МГц	3.1...3.5	2	410мВт	Ток	Пар.	QFP
AD9726	Analog Devices	16	400 МГц	3.13...3.47	2	652 мВт	Ток	LVDS, Пар.	QFP
AD768	Analog Devices	16	40 МГц	4.75...5.25	2	600 мВт	Ток	Пар.	SOIC
AD5666	Analog Devices	16	3 МГц	...	2	-	Напр.	Посл., SPI	SOP
AD5668	Analog Devices	16	3 МГц	...	2	-	Напр.	Посл., SPI	SOP
AD5678	Analog Devices	16	3 МГц	...	2	-	Напр.	Посл., SPI	SOP
AD5543	Analog Devices	16	2.47 МГц	4.5...5.5	2	55 мкВт	Ток	Посл.	SOIC, SOP
AD5660	Analog Devices	16	2.3 МГц	2.7...5.5	2	5 мВт	Напр.	Посл., SPI	SOP, SOT
AD5545	Analog Devices	16	2 МГц	4.5...5.5	2	55 мкВт	Ток	Посл.	SOP
AD5546	Analog Devices	16	2 МГц	2.7...5.5	2	55 мкВт	Ток	Пар.	SOP
AD5547	Analog Devices	16	2 МГц	4.5...5.5	2	-	Ток	Пар.	SOP
AD5541	Analog Devices	16	1.5 МГц	4.5...5.5	2	6.05 мВт	Напр.	Посл., SPI	SOIC
AD5542	Analog Devices	16	1.5 МГц	4.5...5.5	2	6.05 мВт	Напр.	Посл., SPI	SOIC
AD5061	Analog Devices	16	1.3 МГц	2.7...5.5	2	6 мВт	Напр.	Посл., SPI	SOT
AD5062	Analog Devices	16	1.3 МГц	2.7...5.5	2	3.5 мВт	Напр.	Посл., SPI	SOT
AD5764	Analog Devices	16	1.26 МГц	11.4...15.75	2	-	Напр.	Посл., SPI	QFP
AD5662	Analog Devices	16	1.2 МГц	2.7...5.5	2	1.25 мВт	Напр.	Посл., SPI	SOP, SOT
AD5544	Analog Devices	16	500 кГц	4.5...5.5	2	1.25 мВт	Напр.	Посл., SPI	SOP
AD766	Analog Devices	16	390 кГц	4.75...13.2	2	150 мВт	Напр.	Посл.	DIP
AD5063	Analog Devices	16	333 кГц	2.7...5.5	2	3.85 мВт	Напр.	Посл., SPI	SOP
AD660	Analog Devices	16	167 кГц	13.5...16.5	2	625 мВт	Напр.	Byte, Посл.	DIP, SOIC
AD669	Analog Devices	16	167 кГц	13.5...16.5	2	625 мВт	Напр.	Пар.	DIP, SOIC
AD7846	Analog Devices	16	143 кГц	11.4...15.75	2	155 мВт	Напр.	Пар.	DIP, LCC
AD7849	Analog Devices	16	143 кГц	14.25...15.75	2	163 мВт	Напр.	Посл.	DIP, SOIC
AD5060	Analog Devices	16	100 кГц	2.7...5.5	2	-	Напр.	Посл., SPI	SOT
AD5570	Analog Devices	16	83 кГц	11.4...16.5	2	150 мВт	Напр.	SPI	SOP
AD420	Analog Devices	16	400 Гц	12...36	2	176 мВт	Ток	Посл., SPI	DIP, SOIC
AD421	Analog Devices	16	125 Гц	2.95...5.05	2	1.95 мВт	Ток	Посл.	DIP, SOIC
AD9734	Analog Devices	10	1.2 ГГц	3.13...3.47	2	550 мВт	Ток	LVDS, Пар.	BGA
ADV7123	Analog Devices	10	330 МГц	3...5.25	2	485 мВт	Ток	Пар.	QFP

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
AD9751	Analog Devices	10	300 МГц	3...3.6	2	165 мВт	Ток	Пар.	QFP
ADV7127	Analog Devices	10	240 МГц	4.75...5.25	2	310мВт	Ток	Пар.	SOIC, SOP
AD9705	Analog Devices	10	175 МГц	1.7...3.6	2	-	Ток	Пар.	CSP, SOP
AD9740	Analog Devices	10	165 МГц	2.7...3.6	2	145 мВт	Ток	Пар.	CSP, SOIC, SOP
AD9750	Analog Devices	10	125 МГц	4.5...5.5	2	230 мВт	Ток	Пар	SOIC, SOP
AD9760	Analog Devices	10	125 МГц	2.7...5.5	2	175 мВт	Ток	Пар.	SOIC, SOP
AD9763	Analog Devices	10	125 МГц	3...5.5	2	450 мВт	Ток	Пар.	QFP
ADV7122	Analog Devices	10	80 МГц	4.75...5.25	2	625 мВт	Ток	Пар.	LCC, QFP
ADV7128	Analog Devices	10	80 МГц	4.75...5.25	2	625 мВт	Ток	Пар.	SOIC
AD9761	Analog Devices	10	40 МГц	2.7...5.5	2	250 мВт	Ток	Пар.	SOP
AD5440	Analog Devices	10	21.3 МГц	2.5...5.5	2	3.3 мкВт	Ток	Пар.	SOP
AD5433	Analog Devices	10	20.4 МГц	2.5...5.5	2	25 мкВт	Ток	Пар.	CSP, SOP
AD5451	Analog Devices	10	2.7 МГц	2.5...5.5	2	55 мкВт	Ток	Посл., SPI	SOT
AD5432	Analog Devices	10	2.47 МГц	3...5.5	2	25 мкВт	Ток	Посл., SPI	SOP
AD5439	Analog Devices	10	2.47 МГц	2.5...5.5	2	3.5 мкВт	Ток	Посл., SPI	SOP
AD5611	Analog Devices	10	1.7 МГц	2.7...5.5	2	550 мкВт	Напр.	Посл., SPI	SC70
AD5612	Analog Devices	10	1.7 МГц	2.7...5.5	2	500 мкВт	Напр.	I2C/Посл.	SC70
AD7533	Analog Devices	10	1.7 МГц	5...16.5	2	30 мВт	Ток	Пар.	DIP, LCC, SOIC
AD7804	Analog Devices	10	667 кГц	3...5.5	2	66 мВт	Напр.	Посл.	DIP, SOIC
AD7805	Analog Devices	10	667 кГц	3...5.5	2	66 мВт	Напр.	Пар.	DIP, SOIC, SOP
AD7808	Analog Devices	10	667 кГц	3...5.5	2	99 мВт	Напр.	Посл.	DIP, SOIC
AD7809	Analog Devices	10	667 кГц	3...5.5	2	99 мВт	Напр.	Пар.	QFP
AD5583	Analog Devices	10	200 кГц	3...16.5	2	52.5 мВт	Напр.	Пар.	SOP
AD5310	Analog Devices	10	167 кГц	2.7...5.5	2	1.25 мВт	Напр.	Посл., SPI	SOP, SOT
AD5318	Analog Devices	10	167 кГц	2.5...5.5	2	4.5 мВт	Напр.	Посл., SPI	SOP
AD7399	Analog Devices	10	167 кГц	2.7...5.5	2	27 мВт	Напр.	Посл., SPI	SOIC, SOP
AD5331	Analog Devices	10	143 кГц	2.5...5.5	2	1.25 мВт	Напр.	Пар.	SOP
AD5333	Analog Devices	10	143 кГц	2.5...5.5	2	2.25 мВт	Напр.	Пар.	SOP
AD5335	Analog Devices	10	143 кГц	2.5...5.5	2	4.5 мВт	Напр.	Byte	SOP
AD5336	Analog Devices	10	143 кГц	2.5...5.5	2	4.5 мВт	Напр.	Пар.	SOP
ADV7129	Analog Devices	8	360 МГц	4.75...5.25	2	3W	Ток	Пар.	QFP

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
ADV7125	Analog Devices	8	330 МГц	3.135...5.25	2	485 мВт	Ток	Пар.	QFP
AD9704	Analog Devices	8	175 МГц	2.5...3.6	2	-	Ток	Пар.	CSP, SOP
AD9748	Analog Devices	8	165 МГц	2.7...3.6	2	145 мВт	Ток	Пар.	CSP, SOIC, SOP
AD9708	Analog Devices	8	125 МГц	2.7...5.5	2	175 мВт	Ток	Пар.	SOIC, SOP
AD9709	Analog Devices	8	125 МГц	3...5.5	2	450 мВт	Ток	Пар.	QFP
ADV7120	Analog Devices	8	80 МГц	4.75...5.25	2	625 мВт	Ток	Пар.	DIP, LCC, QFP
AD5428	Analog Devices	8	21.3 МГц	2.5...5.5	2	3.3 мкВт	Ток	Пар.	SOP
AD5424	Analog Devices	8	20.4 МГц	2.5...5.5	2	25 мкВт	Ток	Пар.	SOP
AD7528	Analog Devices	8	5.6 МГц	5...15	2	30 мВт	Ток	Пар.	DIP, LCC, SOIC
AD7524	Analog Devices	8	4 МГц	5...15	2	30 мВт	Ток	Пар.	DIP, LCC, SOIC
AD7628	Analog Devices	8	2.9 МГц	10.8...15.75	2	37.5 мВт	Ток	Пар.	DIP, LCC, SOIC
AD5450	Analog Devices	8	2.7 МГц	2.5...5.5	2	55 мкВт	Ток	Посл., SPI	SOT
AD5425	Analog Devices	8	2.47 МГц	2.5...5.5	2	25 мкВт	Ток	Посл., SPI	SOP
AD5426	Analog Devices	8	2.47 МГц	3...5.5	2	25 мкВт	Ток	Посл., SPI	SOP
AD5429	Analog Devices	8	2.47 МГц	2.5...5.5	2	3.5 мкВт	Ток	Посл., SPI	SOP
AD8801	Analog Devices	8	1.7 МГц	2.7...5.5	2	20 мВт	Напр.	Посл., SPI	DIP, SOIC
AD8802	Analog Devices	8	1.7 МГц	2.7...5.5	2	20 мВт	Напр.	Посл., SPI	DIP, SOIC, SOP
AD8803	Analog Devices	8	1.7 МГц	2.7...5.5	2	20 мВт	Напр.	Посл., SPI	DIP, SOIC
AD8804	Analog Devices	8	1.7 МГц	2.7...5.5	2	20 мВт	Напр.	Посл., SPI	DIP, SOIC, SOP
AD5601	Analog Devices	8	1.7 МГц	2.7...5.5	2	550 мкВт	Напр.	Посл., SPI	SC70
AD5602	Analog Devices	8	1.7 МГц	2.7...5.5	2	500 мкВт	Напр.	I2C/Посл. , Посл.	SC70
AD557	Analog Devices	8	1.25 МГц	4.5...5.5	2	125 мВт	Напр.	Пар.	DIP, LCC
AD558	Analog Devices	8	1.25 МГц	4.5...16.5	2	375 мВт	Напр.	Пар.	DIP, LCC
AD8600	Analog Devices	8	1 МГц	4.75...7	2	350 мВт	Напр.	Пар.	LCC
AD7304	Analog Devices	8	1 МГц	2.7...5.5	2	60 мВт	Напр.	Посл., SPI	DIP, SOIC, SOP
AD7305	Analog Devices	8	1 МГц	2.7...5.5	2	60 мВт	Напр.	Пар.	DIP, SOIC, SOP
AD7801	Analog Devices	8	833 кГц	2.7...5.5	2	12.9 мВт	Напр.	Пар.	SOIC, SOP
AD7302	Analog Devices	8	833 кГц	2.7...5.5	2	24.8 мВт	Напр.	Пар.	DIP, SOIC, SOP
AD7303	Analog Devices	8	833 кГц	2.7...5.5	2	6.93 мВт	Напр.	Посл., SPI	DIP, SOIC, SOP
AD8842	Analog Devices	8	500 кГц	4.75...5.25	2	135 мВт	Напр.	Посл., SPI	DIP, SOIC

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
AD5300	Analog Devices	8	250 кГц	2.7...5.5	2	1.4 мВт	Напр.	Посл., SPI	SOP, SOT
AD7228	Analog Devices	8	200 кГц	5...16.5	2	310мВт	Напр.	Пар.	DIP, LCC, SOIC
CS4360	Cirrus Logic	24	192 кГц	3.3, 5	6	116мВт	Напр.	Посл.	28-pin TSSOP
CS4361	Cirrus Logic	24	192 кГц	3.3, 5	6	116мВт	Напр.	Посл.	20-pin TSSOP
CS4382	Cirrus Logic	24	192 кГц	3.3, 5	8		Напр.	Посл.	48-pin LQFP
CS4384	Cirrus Logic	24	192 кГц	3.3, 5	8		Напр.	Посл.	48-pin LQFP
CS4385	Cirrus Logic	24	192 кГц	3.3, 5	8		Напр.	Посл.	48-pin LQFP
CS43122	Cirrus Logic	24	192 кГц	5	2		Напр.	Посл.	28-pin SOIC
CS4334	Cirrus Logic	24	96кГц	5	2		Напр.	Посл.	8-pin SOIC
CS4340A	Cirrus Logic	24	192 кГц	3.3, 5	2	50 мВт	Напр.	Посл.	16-pin SOIC
CS4341	Cirrus Logic	24	96кГц	3.3, 5	2	33 мВт	Напр.	Посл.	16-pin SOIC, 16-pin TSSOP
LTC1668	Linear Technology	16	50 МГц	3.3, 5	1		Ток	Посл.	SSOP-28
LTC1667	Linear Technology	14	50 МГц	3.3, 5	1		Ток	Посл.	SSOP-28
LTC1666	Linear Technology	12	50 МГц	3.3, 5	1		Ток	Посл.	SSOP-28
LTC2604	Linear Technology	16	100 кГц		4	10 мВт	Напр.	Посл. SPI	SSOP-16
LTC1657	Linear Technology	16	50 кГц		1	3 мВт	Напр.	Пар.	SSOP-28, N-28
LTC2601	Linear Technology	16	100 кГц		1	1.875 мВт	Напр.	Посл. SPI	DFN-10
LTC2609	Linear Technology	16	142 кГц		4	0.75 мВт	Напр.	Посл. I2C	SSOP-16
LTC2607	Linear Technology	16	142 кГц		2	0.78 мВт	Напр.	Посл. I2C	DFN-12
LTC2606	Linear Technology	16	100 кГц		1	0.81 мВт	Напр.	Посл. I2C	DFN-10
LTC2602	Linear Technology	16	100 кГц		2	6.5 мВт	Напр.	Посл. SPI	MSOP-8
LTC1657L	Linear Technology	16	50 кГц		1	3.25 мВт	Напр.	Пар.	SSOP-28, N-28

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
LTC1655L	Linear Technology	16	50 кГц		1	1.6 мВт	Напр.	Посл. SPI	N-8, SO-8
LTC1650	Linear Technology	16	250 кГц		1	50 мВт	Напр.	Посл. SPI	N-8, SW-16
LTC1655	Linear Technology	16	50 кГц		1	2.6 мВт	Напр.	Посл. SPI	N-8, SO-8
LTC2600	Linear Technology	16	100 кГц		8	20 мВт	Напр.	Посл. SPI	SSOP-16
LTC1821	Linear Technology	16	500 кГц		1	40 мВт	Напр.	Пар.	SSOP-36
LTC2605	Linear Technology	16	100 кГц		8	6 мВт	Напр.	Посл. SPI	SSOP-16
LTC1660	Linear Technology	10	33 кГц	2.7...5.5	8	1 мВт	Напр.	Посл. SPI	SSOP-16, N-16
LTC1669	Linear Technology	10	33 кГц	2.7...5.5	1	0.625 мВт	Напр.	Посл. I2C	SOT-23, MSOP-8
LTC1661	Linear Technology	10	33 кГц	2.7...5.5	2	0.26 мВт	Напр.	Посл. SPI	MSOP-8, N-8
LTC1662	Linear Technology	10	1 кГц	2.7...5.5	2	0.26 мВт	Напр.	Посл. SPI	MSOP-8, N-8
LTC1664	Linear Technology	10	53 кГц	2.7...5.5	4	1 мВт	Напр.	Посл. SPI	SSOP-16, N-16
LTC1663	Linear Technology	10	33 кГц	2.7...5.5	1	0.625 мВт	Напр.	Посл. I2C	SOT-23, MSOP-8
MAX5875	Maxim	16	200 МГц	1.8	2	260мВт	Напр.	Пар.	68/QFN-10x10
MAX5885	Maxim	16	200 МГц	3.3	1	135мВт	Напр.	Пар.	48/QFN-7x7
MAX5895	Maxim	16	500 МГц	1.8	2	511мВт	Напр.	Пар.	68/QFN-10x10
MAX5891	Maxim	16	600 МГц	1.8	1	255мВт	Напр.	Пар., LVDS	68/QFN-10x10
MAX5888A	Maxim	16	500 МГц	3.3	1	130мВт	Напр.	Пар., LVDS	68/QFN-10x10
MAX5888	Maxim	16	500 МГц	3.3	1	130мВт	Напр.	Пар., LVDS	68/QFN-10x10
MAX5878	Maxim	16	250 МГц	1.8	2	294мВт	Напр.	Пар., LVDS	68/QFN-10x10
MAX5898	Maxim	16	500 МГц	1.8	2	340мВт	Напр.	Interleaved, LVDS	68/QFN-10x10
MAX5858A	Maxim	10	300 МГц	3	2	438мВт	Напр.	Пар.	48/TQFP-EP-7x7

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
MAX5180	Maxim	10	40 МГц	2.7...3.3	2	21мВт	Напр.	Пар.	28/QSOP
MAX5858	Maxim	10	300 МГц	3	2	504мВт	Напр.	Пар.	48/TQFP-EP-7x7
MAX5854	Maxim	10	165 МГц	2.7...3.6	2	190мВт	Напр.	Пар.	40/QFN-6x6
MAX5853	Maxim	10	80 МГц	2.7...3.6	2	173мВт	Напр.	Пар.	40/QFN-6x6
MAX5185	Maxim	10	40 МГц	2.7...3.3	2	21мВт	Напр.	Пар.	28/QSOP
MAX5184	Maxim	10	40 МГц	2.7...3.3	1	18мВт	Напр.	Пар.	24/QFN-4x4
MAX5183	Maxim	10	40 МГц	2.7...3.3	2	21мВт	Напр.	Пар.	28/QSOP
MAX5181	Maxim	10	40 МГц	2.7...3.3	1	18мВт	Напр.	Пар.	24/QSOP
MAX5182	Maxim	10	40 МГц	2.7...3.3	2	21мВт	Напр.	Пар.	28/QSOP
MCP4821	Microchip	12	250 кГц		1		Напр.	2 SPI	8/MSOP 8/PDIP 8/SOIC
MCP4822	Microchip	12	250 кГц		2		Напр.	2 SPI	8/MSOP 8/PDIP 8/SOIC
MCP4921	Microchip	12	250 кГц		1		Напр.	SPI	8/MSOP 8/PDIP 8/SOIC
MCP4922	Microchip	12	250 кГц		2		Напр.	SPI	14/PDIP 14/SOIC 14/TSSOP
TC1320	Microchip	8	100 кГц		1		Напр.	SMB	8/MSOP 8/SOIC
TC1321	Microchip	10	100 кГц		1		Напр.	SMB	8/MSOP 8/SOIC
DAC0800	National Semiconductor	8	10МГц		1		Напр.	Parallel	16/MDIP, SOIC NARROW
DAC0802	National Semiconductor	8	10МГц		1		Напр.	Parallel	16/MDIP, SOIC NARROW
DAC0808	National Semiconductor	8	7 МГц		1		Напр.	Parallel	16/MDIP, SOIC NARROW
DAC081S101	National Semiconductor	8	333 кГц		1		Напр.	Serial	6/SOIC, 8TSOT
DAC0830	National Semiconductor	8	1 МГц		1		Напр.	Parallel	20/MDIP
DAC0832	National Semiconductor	8	1 МГц		1		Напр.	Parallel	20/MDIP, 20/SOIC

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
DAC101S101	National Semiconductor	10	200 кГц		1		Напр.	Serial	6/SOIC, 8TSOT
DAC121S101	National Semiconductor	12	125 кГц		1		Напр.	Serial	6/SOIC, 8TSOT
DAC14135	National Semiconductor	14	33 МГц		1		Напр.	Parallel	48/TSSOP
UDA1330ATS	Phillips	20	55 кГц	2.7...5.5	2		Напр.	I2C/Посл.	16/SSOP
UDA1334ATS	Phillips	24	100 кГц	2.4...3.6	2		Напр.	I2C/Посл.	16/SSOP
UDA1334BTS	Phillips	24	100 кГц	1.8...3.6	1		Напр.	I2C/Посл.	16/SSOP
UDA1334TS	Phillips	24	100 кГц	1.8...3.6	1		Напр.	I2C/Посл.	16/SSOP
UDA1351H	Phillips	20	100 кГц	2.7...3.6	2		Напр.	I2C/Посл.	QFP44
UDA1352HL	Phillips	20	55 кГц	2.7...3.6	2		Напр.	I2C/Посл.	LQFP48
UDA1334BT	Phillips	24	100 кГц	1.8...3.6	1		Напр.	I2C/Посл.	SO16
TDA9935	Phillips	14	80 МГц	3.3	2		Напр.	Пар.	HTQFP80
TDA8444	Phillips	6	55 кГц		8	250 мВт	Напр.	I2C/Посл.	16/DIP, SO16
DAC1220	Texas Instruments	20	0.5 кГц		1	2.5 мВт	Напр.	SPI	16SSOP/QSOP
DAC5687	Texas Instruments	16	500 МГц		2		Ток	Пар.	100HTQFP
DAC5686	Texas Instruments	16	500 МГц		2	445 мВт	Ток	Пар.	100HTQFP
DAC8580	Texas Instruments	16	16 МГц		1	175 мВт	Напр.	SPI	16TSSOP
DAC8802	Texas Instruments	16	4 МГц		2	25 мВт	Ток	SPI	16TSSOP
DAC8820	Texas Instruments	16	4 МГц		1	25 мВт	Ток	Пар.	28SSOP
DAC8581	Texas Instruments	16	3 МГц		1	175 мВт	Напр.	Посл. I2C	16TSSOP
DAC8831	Texas Instruments	16	2 МГц		1	15 мкВт	Напр.	SPI	14SOIC
DAC8811	Texas Instruments	16	2 МГц		1	25 мкВт	Ток	SPI	8MSOP
DAC8812	Texas	16	2 МГц		2	25 мкВт	Ток	SPI	16TSSOP

Part#	Фирма-производитель	Разрядность	Частота преобразования	Напряжение питания, В	Число каналов	Потр. Мощность	Тип выхода	Интерфейс	Тип корпуса
	Instruments								
DAC8814	Texas Instruments	16	2 МГц		4	28 мкВт	Ток	SPI	28SSOP
DAC908	Texas Instruments	8	200 МГц		1	170 мВт	Ток	Пар.	28SOIC
THS5641A	Texas Instruments	8	100 МГц		1	100 мВт	Ток	Пар.	28SOIC
TLC7524	Texas Instruments	8	10 МГц		1	5 мВт	Ток	Пар.	16PDIP
TLC7528	Texas Instruments	8	10 МГц		2	8 мВт	Ток	Пар.	20PDIP
TLC7628	Texas Instruments	8	10 МГц		2	20 мВт	Ток	Пар.	20PDIP
TLV5632	Texas Instruments	8	283 кГц		8	18 мВт	Напр.	SPI	20SOIC
TLV5629	Texas Instruments	8	283 кГц		8	18 мВт	Напр.	SPI	20SOIC
TLV5626	Texas Instruments	8	278 кГц		2	4 мВт	Напр.	SPI	8SOIC
TLV5624	Texas Instruments	8	233 кГц		1	1 мВт	Напр.	SPI	8MSOP

Примеры ИМС АЦП ведущих фирм-производителей

Быстродействующие										
Модель	Фирма-производитель	Разрядность	Частота преобразования, МГц	Число каналов	Напр питания, В	Потр мощн , Вт	Интерфейс	Входной диапазон, В	SNR (дБ)	Тип корпуса
AD9445-105	Analog Devices	14	105	1	+3 3 +5	-	Паралл	2.2 3 2	-	QFP
AD6645-105	Analog Devices	14	105	1	+3 3. +5	1 75	Паралл	2 2	75	QFP
AD9445-125	Analog Devices	14	125	1	+3.3 .. +5	-	Паралл	2.2 3 2	-	QFP
AD9446-100	Analog Devices	16	100	1	+3 3 +5	-	Паралл	2 2 . 3 2	-	QFP
THS0842	Texas Instruments	8	40	2	+3 6	0 32	Паралл			48TQFP
ADS831	Texas Instruments	8	80	1	+5	0 32	Паралл			20SSOP/ QSOP
MAX108	Maxim	8	1500	1			Паралл		46.8	192/ESBGA-25x25
MAX1215	Maxim	12	250	1	+1 8 +3.3		Паралл		65 5	68/QFN-10x10
MAX19586	Maxim	16	80	1	+1.8 +3.4		Паралл		79.2	56/QFN-Thin
LTC2220	Linear Technology	12	185	1	+3 3	0 91	Паралл	1		64-Pin 9mm × 9mm QFN
LTC2224	Linear Technology	12	135	1	+3 3	0 63	Паралл	1		48-Pin 7mm × 7mm QFN
LTC2255	Linear Technology	14	125	1	+2.85 3.4	0 4	Паралл	2	72 4	32-Pin (5mm × 5mm) QFN
MCP3001	Microchip	10	0 2	1	+2 7 ..5 5	0 003	SPI™	5		8/PDIP 300mil 8/SOIC 150mil 8/TSSOP
MCP3208	Microchip	12	0 1	8	+2 7 5 6	0 004	SPI™	5		16/PDIP 16/SOIC 150mil 16/SOIC150
ADC081500	National Semiconductor	8	1500	1	+1 8 2 0	1	Паралл			128LQFP EXP PAD
ADC081000	National Semiconductor	8	1000	1	+1 8 2.0	1 43	Паралл			128LQFP EXP PAD
ADC11DL066	National Semiconductor	12	66	1	+1 8 2 0	0 686	Паралл			64TQFP
TDA8769	Phillips	12	105	1	+5		Паралл	1 9		SOT545-2

Модель	Фирма-производитель	Разрядность	Частота дискретизации, кГц	Число каналов	Напр. питания, В	Потребление, Вт	Интерфейс	Входной диапазон, В	SNR (дБ)	Тип корпуса
AD7760	Analog Devices	24	2500	1	+2.5, +3.3...+5	-	Паралл.	4	-	QFP
AD7762	Analog Devices	24	625	1	+2.5...+5.5	-	Паралл.		-	QFP
AD7763	Analog Devices	24	625	1	+1.65...+5	-	Посл., SPI		-	QFP
ADS1210	Texas Instruments	24	16	1	+5	0.0275	Посл., SPI		-	18PDIP 18SOP
ADS1210	Texas Instruments	24	16	4	+5	0.0276	Посл., SPI		-	24PDIP 24SOIC 28SSOP
MAX11040	Maxim	24	64	4	+3.0...+3.6	-	Посл.	2.2		32/TQFP-5x5
CS5321	Cirrus Logic	24	4	1	+5		Посл.	± 4.5		
LTC2447	Linear Technology	24	8	8	+4.5...5.5		Посл.	5		QFN 5mm x 7mm
LTC2449	Linear Technology	24	8	16	+4.5...5.5		Посл.	5		QFN 5mm x 7mm
MCP3905	Microchip	16	28	2	+4.5...5.5	0.02	Посл.	5		24/SSOP
ADS1210	Texas Instruments	24	16	1	+4.75...5.25	0.03	Посл., SPI	± 5		18PDIP 18SOP
ADS1224	Texas Instruments	24	0.24	4	+2.7...5.5	1.35E-03	Посл., SPI	± 5		20TSSOP
АЦП для звукотехники										
Модель	Фирма-производитель	Разрядность	Частота дискретизации, кГц	Число каналов	Напр. питания, В	Потребление, Вт	Интерфейс	Входной диапазон, дБ	SNR (дБ)	Тип корпуса
AD1871	Analog Devices	24	96	2	+5		Посл.	105	105	
AD1877	Analog Devices	16	48	2	+5		Посл.	92	90	
UDA1361TS	Phillips	24	96	2	+2.4...3.6		Посл.			
PCM1750	Texas Instruments	18	192	2	± 5	0.21			90	28SOIC
PCM1803	Texas Instruments	24	96	2	+3.3...5	0.055			103	20SSOP

КОРПУСА ИМС РАЗЛИЧНОЙ СТЕПЕНИ ИНТЕГРАЦИИ ДЛЯ СКВОЗНОГО И ПОВЕРХНОСТНОГО МОНТАЖА

1. Корпуса для монтажа в отверстия

Корпус	Расшифровка наименования	Материал	Краткое описание	Шаг выводов (мм)	Кол-во выводов
DIP, PDIP, CDIP	Dual In-line Package Plastic DIP Ceramic DIP	Керамика Пластик	Микросхема в прямоугольном корпусе с двумя рядами загнутых вниз контактов по обе стороны корпуса, вставляемая (или впаиваемая) этими контактами в соответствующие отверстия в печатной плате	2,54	8, 14, 16, 18, 20, 22, 24, 28, 32, 36, 40, 42, 48, 64
HDIP	Heatsink DIP	Пластик	Корпус типа DIP, часть выводов которого объединены (в середине или на краю корпуса), образуя теплоотвод	1,778 2,54	12, 14, 20, 24, 28, 32
SDIP	Shrink DIP	Керамика Пластик	Корпус типа DIP с уменьшенным шагом выводов	1,778	22, 24, 28, 30, 40, 42, 54, 56, 64, 90
WDIP	DIP with Window	Керамика Пластик	Корпус типа DIP с прозрачным окном, используемым для очистки памяти типа EPROM с помощью облучения ультрафиолетом	1,778 2,54	24, 28, 32, 40, 42, 64
QIP	Quad In-line Package	Керамика Пластик	Микросхема в прямоугольном корпусе с двухсторонним (четырёхрядным) расположением загнутых вниз контактов	1,27 2,54	12
SIP	Single In-line Package	Керамика Пластик	Прямоугольный корпус с односторонним расположением выводов	1,27 1,50 1,70 1,778 2,54	3, 4, 5, 6, 7, 8, 10, 12, 14, 15, 16, 23
HSIP, SIP-TAB	Heatsink SIP	Керамика Пластик	Корпус типа SIP, часть выводов которого объединены (в середине или на краю корпуса), образуя теплоотвод	1,27 1,50 1,70 1,778 2,54	3, 4, 5, 6, 7, 8, 10, 12, 14, 15, 16, 23
ZIP	Zigzag In-line Package	Керамика Пластик	Прямоугольный корпус с односторонним зигзагообразным расположением выводов	1,5 1,27 0,635	16, 20, 21, 24, 28, 32, 40
HZIP, ZIP-TAB	Heatsink ZIP	Керамика Пластик	Корпус типа ZIP, часть выводов которого объединены (в середине или на краю корпуса), образуя теплоотвод	1,5 1,27 0,635	16, 20, 21, 24, 28, 32, 40
PGA	Pin Grid Array	Керамика	Керамический корпус с матричным расположением на нижней плоскости корпуса выводов, направленных вертикально вниз	2,54	68, 72, 88, 120, 121, 135, 179, 240, 257, 299, 401

2. Корпуса для поверхностного монтажа

Корпус	Расшифровка наименования	Материал	Краткое описание	Шаг выводов (мм)	Кол-во выводов
SO, SOP, SOIC, SOG	Small Outline Package Small Outline Small Outline IC Small Outline G-leaded	Пластик	Микросхема в прямоугольном корпусе с изогнутыми (G-образными) выводами, расположенными по бокам микросхемы. Ширина корпуса составляет около 15 мм	1,27	8, 14, 16, 18, 20, 24, 28, 32, 40, 44, 50, 54
SOL, SOW	Small Outline Large Small Outline Wide	Пластик	Корпус, напоминающий SOP, однако более широкий (порядка 30 мм)	1,27	8, 14, 16, 18, 20, 24, 28, 32, 40, 44, 50, 54
SOJ	Small Outline J-leaded	Пластик	Корпус, аналогичный SOP. Единственное отличие заключается в том, что его выводы имеют J-образную форму	1,27	8, 14, 16, 18, 20, 24, 28, 32, 40, 44, 50, 54
HSOP	Heatsink SOP	Пластик	Корпус типа SOP с теплоотводом в виде пластины на корпусе или объединения нескольких выводов	1,27	8, 14, 16, 18, 20, 24, 28, 32, 40, 44, 50, 54
WSOP	SOP with Window	Пластик	Корпус типа SOP с прозрачным окном, используемым для очистки памяти типа EPROM с помощью облучения ультрафиолетом	1,27	8, 14, 16, 18, 20, 24, 28, 32, 40, 44, 50, 54
SSOP, SSOL	Shrink SOP Shrink SOL	Пластик	Корпус типа SOP/SOL с уменьшенным шагом выводов	1,00 0,80 0,65 0,635 0,50	8, 14, 16, 18, 20, 22, 24, 28, 30, 36, 38, 44, 48, 56, 60, 64, 70, 104
TSOP-I	Thin SOP	Пластик	Корпус типа SOP с выводами по короткой стороне и толщиной не более 1,27мм	0,50	20, 24, 32
TSOP-II	Thin SOP	Пластик	Корпус типа SOP с выводами по длинной стороне и толщиной не более 1,27мм	1,27 0,8	20, 24, 26, 28, 32, 40, 44, 48
TSSOP, MSOP	Thin Shrink SOP Micro SOP	Пластик	Корпус типа SOP толщиной не более 1,27мм и уменьшенным шагом выводов	0,65 0,6	8, 14, 16, 20, 24, 28, 30, 32, 38, 48, 56, 64
SVP	Small Vertical Package	Пластик	Корпус, похожий на SIP, но с L-образными выводами для поверхностного монтажа	0,65	4, 7, 8, 10, 12, 14, 15, 16, 18, 24, 28, 32
DFP, DFP-F, FP	Dual Flat Package with Flat Leads	Керамика	Керамический корпус с двусторонним расположением прямых (неформованных) выводов	1,27 0,762	20, 22, 24, 28, 32

2. Корпуса для поверхностного монтажа

QFP, PQFP,CQFP	Quad Flat Package Plastic QFP Ceramic QFP	Керамика Пластик	Квадратный корпус с четырехсторонним расположением G-образных выводов	1,27 1,00 0,8 0,65 0,635 0,5 0,4	32, 38, 40, 44, 48, 54, 56, 60, 64, 72, 80, 88, 100, 112, 120, 128, 132, 136, 144, 160, 168, 176, 208, 240, 256, 296, 304, 384
HQFP	Heatsink QFP	Керамика Пластик	Корпус типа QFP с теплоотводом в виде пластины на корпусе или объединения части выводов	1,27 1,00 0,8 0,65 0,635 0,5 0,4	28, 56, 64, 68, 80, 100, 136, 160, 208, 256
TQFP	Thin Quad Flat Package	Керамика Пластик	Корпус типа QFP толщиной не более 1,27мм	1,27 1,00 0,8 0,65 0,635 0,5 0,4	44, 64, 80, 100, 120, 168
QFP-F, FPG	Quad Flat Package with Flat Leads	Керамика	Керамический корпус типа QFP с прямыми (неформованными) выводами	1,27 1,00 0,8 0,635	24, 64, 80, 132
QFJ, PLCC	Quad Flatpack J-lead Plastic Leaded Chip Carrier	Керамика Пластик	Корпус типа QFP с J-образными выводами, предназначенный для помещения в специальные гнёзда с целью облегчить изъятие или замену микросхемы	1,27	18, 20, 28, 32, 44, 52, 68, 84
QFN, LCC	Quad Flatpack No-lead Leadless Chip Carrier	Керамика Пластик	Квадратный корпус без выводов с площадками для пайки с четырех сторон	1,27	20, 22, 24, 28, 40, 84
BGA	Ball Grid Array	Керамика Пластик	Квадратный корпус с матричным расположением выводов (шарики припоя) на нижней полости корпуса	2,54	зависит от конфигурации и производителя

УДК 621.375(03)

Богатырев Е. А., Ларин В. Ю., Лякин А. Е.

Энциклопедия электронных компонентов. Большие интегральные схемы / Под ред. А.Н. Еркина. – Т. 1. – М.: ООО «МАКРО ТИМ», 2006. – 224 с.

ISBN 5-9900833-1-9 (978-5-9900833-1-8)

Книга начинает серию энциклопедических справочников по современной элементной базе электронной техники. Отличительной особенностью справочника является широкое использование ссылок на электронные базы компонентов фирм-производителей. В книге приводятся все необходимые сведения, позволяющие понять принципы работы, систему классификации, терминологию, типовые параметры и схемы включения, а вся фактическая информация о конкретных микросхемах содержится в виде ссылок на сайты производителей. Такой подход позволил в книге небольшого формата разместить данные о 10 видах современных БИС: ЦАП, АЦП, синтезаторах частот, ИМС памяти, микропроцессорах, микроконтроллерах, цифровых сигнальных процессорах, программируемых логических матрицах, схемах с квадратурной обработкой и кодеках. Приведены необходимые теоретические понятия и даны примеры конкретных схем включения. Книга может быть использована как учебное пособие по курсу ЭК, в качестве руководства по выбору элементной базы для менеджера, занимающегося поставками ЭК, а также может быть полезна как краткий справочник для разработчиков РЭА.

ISBN 5-9900833-1-9 (978-5-9900833-1-8)

Ответственный редактор А.Н. Еркин
Верстка С.А. Биленко
Графика П.Б. Куркин
Литературное редактирование Л.Д. Рубан

ООО «МАКРО ТИМ»
111141 Москва, Зеленый проспект, 2/19, стр. 3
Тел. (495)306-9119, факс (495)306-0283
E-mail: chipnews@macroteam.ru

Подписано в печать 11.09.2006. Формат 84x108/16. Бумага офсетная. Печать офсетная.
Объем 18,0 п.л. Усл. печ. л. 15,4. Тираж 3000 экз. Изд. № 55. Заказ №1200.
Типография ООО «Лига-Принт»
Москва, 12-ая Парковая, 11